



**UNIVERSIDAD AUTÓNOMA DEL
ESTADO DE HIDALGO**

INSTITUTO DE CIENCIAS BÁSICAS E INGENIERÍA

Área Académica de Computación y Electrónica

Licenciatura en Ingeniería en Electrónica

***Diseño de 74LS377 octal D flip-flop with Enable
para el uso introductorio a la tecnología 6G***

T E S I S

***QUE PARA OBTENER EL GRADO DE
LICENCIADO EN INGENIERÍA EN ELECTRÓNICA***

P R E S E N T A:

JOVANNY SERRANO LÓPEZ

DIRECTOR DE TESIS:

DR. JOSÉ LUIS GONZÁLEZ VIDAL



Universidad Autónoma del Estado de Hidalgo

Instituto de Ciencias Básicas e Ingeniería

School of Engineering and Basic Sciences

Dirección

Office of the Director

Mineral de la Reforma, Hgo., a 30 de julio de 2026

Número de control: ICBI-D/1332/2026

Asunto: Autorización de impresión.

MTRA. OJUKY DEL ROCÍO ISLAS MALDONADO DIRECTORA DE ADMINISTRACIÓN ESCOLAR DE LA UAEH

Con Título Quinto, Capítulo II, Capítulo V, Artículo 51 Fracción IX del Estatuto General de nuestra Institución, por este medio, le comunico que el Jurado asignado al egresado de la Licenciatura en Ingeniería en Electrónica **Jovanny Serrano López**, quien presenta el trabajo de titulación "**Diseño de 74LS377 octal D flip – flop with Enable para el uso introductorio a la tecnología 6G**", ha decidido, después de revisar fundamento en lo dispuesto en el Título Tercero, Capítulo I, Artículo 18 Fracción IV; dicho trabajo en la reunión de sinodales, **autorizar la impresión del mismo**, una vez realizadas las correcciones acordadas.

A continuación, firman de conformidad los integrantes del Jurado:

Presidente: Ing. Emmanuel Gutiérrez Rojas

Secretario: Ing. Osvaldo Yanick Avendaño Ugarte

Vocal: Dr. José Luis González Vidal

Suplente: M. C. Víctor Eduardo Pedraza Vera

Sin otro particular por el momento, reciba un cordial saludo.

Atentamente
"Amor, Orden y Progreso"

Dr. Gabriel Vergara Rodríguez
Director del ICBI



GVR/MMM

"Amor, Orden y Progreso"



Ciudad del Conocimiento, Carretera Pachuca-Tulancingo
Km. 4.5 Colonia Carboneras, Mineral de la Reforma, Hidalgo,
México. C.P 42184
Teléfono: 52 (771) 71 720 00 Ext. 40001
direccion_icbi@uaeh.edu.mx, vergara@uaeh.edu.mx

uaeh.edu.mx



Agradecimientos

Agradezco a mi esposa y a mi familia por el gran apoyo y esfuerzo a lo largo de este proceso y todos sus consejos día con día para cumplir este sueño

También agradezco al Dr. José Luis González Vidal por el apoyo a lo largo de esta investigación y durante mis estudios para concluir con éxito este gran proyecto y al Laboratorio de Microelectrónica de la UAEH-ICBI.

Y por último agradezco a la UAEH por todas las oportunidades y herramientas que me brindaron para poder concluir esta ingeniería y estoy muy contento

Jovanny Serrano López

Índice

Contenido

Índice	4
Índice de figuras	5
1. Introducción	6
1.3 Antecedentes.....	7
1.4 Planteamiento del problema	7
1.5 objetivo general	8
1.6 objetivos específicos.....	8
1.7 justificación	9
1.8 Propuestas de solución.....	9
1.9 Limitaciones.....	10
2. Marco teórico.....	11
Circuitos digitales	11
Capítulo 1 Diseño del Flip-Flop.....	16
Ecuaciones de los transistores MOSFET en la región de saturación.....	35
Ecuaciones para el voltaje de umbral	35
Ecuación para el voltaje electrotérmico	36
Ecuación para el potencial de Bulk	37
Ecuación para la capacitancia para óxido de compuerta.....	37
Cálculo para voltaje de umbral NMOS	38
Cálculo para voltaje de umbral PMOS	38
Cálculos de las corrientes de los NMOS y PMOS	39
Capítulo 2 Layout del Flip-Flop	42
Transistor NMOS.....	42
Transistor PMOS	43
Capítulo 3 Conclusiones	52
Bibliografía	55

Índice de figuras

Fig. 1 Diagrama esquemático de la compuerta lógica AND con, transistores CMOS	19
Fig. 2 Diagrama esquemático de la compuerta lógica AND con una entrada invertida, transistores CMOS	21
Fig. 3 Diagrama esquemático de la compuerta lógica NAND con transistores CMOS	23
Fig. 4 Diagrama esquemático de la compuerta lógica NOT o INVERSOR con transistores CMOS.	25
Fig. 5 Diagrama esquemático del Buffer invertido con transistores CMOS.	27
Fig. 6 Símbolo del Flip-Flop D.	28
Fig. 7 Diagrama esquemático del Flip-Flop D con compuertas NAND CMOS.	29
Fig. 8 Simulación del Flip-Flop D con compuertas NAND CMOS	29
Fig. 9 Diagrama esquemático del Flip-Flop D con transistores CMOS	30
Fig. 10 Simulación del Flip-Flop D con transistores CMOS	31
Fig. 11 Diagramas esquemáticos del a) Flip-Flop D en bloque y b) diagrama interno con transistores CMOS	32
Fig. 12 Simulación del Flip-Flop D en bloque con transistores CMOS	33
Fig. 13 Diagrama esquemático del circuito integrado 74LS377 [2].	34
Fig. 14 Tablas de estados del circuito integrado 74LS377.	34
Fig. 15 Símbolo lógico y distribución de terminales del circuito integrado 74LS377.	35
Fig. 16 Curvas características de corriente transistor MOSFET NMOS	42
Fig. 17 Curvas características de corriente transistor MOSFET NMOS	42
Fig. 18 Layout del NMOS.	44
Fig. 19 Layout del PMOS.	45
Fig. 20 Layout del Inversor CMOS.	46
Fig. 21 Layout de la compuerta AND CMOS con dos entradas.	47
Fig. 22 Layout de la compuerta NAND CMOS con dos entradas.	48
Fig. 23 Layout de la compuerta NOR CMOS con dos entradas.	49
Fig. 24 Layout del Flip flop tipo D.	50
Fig. 25 Layout del circuito integrado 74LS377.	52

1. Introducción

Se define como Flip Flop al circuito secuencial más simple que podemos construir que conmuta o cambia entre dos estados. Constituye una celda básica de memoria capaz de guardar 1 bit de información. El Flip Flop es un circuito lógico biestable, es decir posee dos estados estables, denominados SET (1 o activación) y RESET (0 o desactivación), en los cuales se puede mantener indefinidamente. Esto es lo que permite el almacenamiento de un bit. Los Flip Flops se implementan con compuertas lógicas y son los bloques básicos de construcción de contadores, registros y otros circuitos de control secuencial. También se emplean en ciertos tipos de memorias [1].

Los Flip-Flops son componentes fundamentales en el diseño de sistemas secuenciales debido a su capacidad de almacenar información. También se les conoce con varios nombres, como:

- Elemento básico de memoria.
- Cerrojos o candados.
- Multivibradores biestables o binarios

El flip-Flop D se utiliza para almacenar datos en circuitos digitales, especialmente en registros, memorias y en situaciones donde se necesita retener temporalmente un dato antes de que se pueda procesar o transmitir [1].

La sexta generación de conexión móvil tiene el propósito de reemplazar el 5G y tendrá características como una mejor velocidad con menor latencia. Se quiere lograr conexiones más estables con una excelente transmisión de datos [1].

1.3 Antecedentes

En este capítulo se describirá el planteamiento del problema, la justificación, se plantearán los objetivos. A su vez se dará una descripción general del flip-flop tipo D y del circuito integrado 74LS377 y también de los futuros sistemas inalámbricos de sexta generación [1, 2].

1.4 Planteamiento del problema

En la actualidad, la quinta generación de redes de comunicación móviles aun no es una realidad en todos los lugares del mundo. Sin embargo, su implementación y aplicaciones ya se encuentra estudiada casi en su totalidad, es por esto que, actualmente los grupos de investigación tienden a investigar la implementación teórica de la siguiente generación, la cual corresponde a 6G [3-4], Entre las ventajas que tiene la 6G se encuentra la inteligencia artificial, que con la realidad extendida tendrá beneficios como la eficiencia energética; además se quiere disminuir la latencia que se ha convertido en el problema fundamental para sectores como el automotriz y el de la salud (aplicaciones médicas), que necesitan de transmisiones en tiempo real con velocidades de descarga y subida muy altas, donde se permita el intercambio de datos sin retardos.

En el campo de las telecomunicaciones tiene un gran aporte porque se busca expandir el espectro hasta los 3000 GHz. Esto supone un gran desafío técnico, porque se tendrá que crear nuevos dispositivos como antenas y sistema digitales de muy alta velocidad [3-4].

1.5 objetivo general

- Diseñar un circuito integrado 74LS377 con transistores de la tecnología CMOS, que sea capaz de trabajar en la nueva tecnología 6G.

1.6 objetivos específicos

- Reducir la latencia en el envío de datos para transmisiones en tiempo real mediante el circuito integrado 74LS377.
- Minimizar el tamaño del circuito integrado 74LS377, para maximizar la conmutación entre la entrada y salida de datos
- Cálculos de dimensiones de ancho y longitud de compuerta de los transistores NMOS y PMOS empleados en los Flip-Flops.
- Simulación de los transistores NMOS y PMOS empleados en los Flip-Flops.
- Diseño del layouts de los transistores NMOS y PMOS y en los Flip-Flops.
- Explorar más campos de aplicación en la tecnología tales como la medicina, la física y la ingeniería en electrónica.

1.7 justificación

Actualmente la tecnología exige mayores competencias y desafíos en áreas vitales del desarrollo humano. Tales como: la ingeniería, medicina, industria, entre otras. Sin embargo; a pesar de la existencia actual de la tecnología 5G; las limitantes que conllevan en el uso de la misma han hecho necesaria la investigación y el desarrollo de modelos estructurales para la implementación de la T6G así como la necesidad de la resolución de problemas diarios en una velocidad a tiempo real, a través de la creación de modelos que ayuden al envío y recepción de datos con la mínima latencia en el mundo tecnológico y virtual ahorrando recursos de manera inteligente que se auto optimicen y se auto administren.

1.8 Propuestas de solución

Diseño del modelo del circuito integrado 74ls377 mejorado para trabajar en frecuencias muy altas en rangos de GHZ

El circuito integrado utiliza tecnología TTL para implementar lógica flip-flop de tipo D. La información en las entradas D que cumplen los requisitos de tiempo de configuración se transfiere a las salidas Q. Cuando la entrada del reloj está en el nivel alto o bajo, la señal de entrada D no tiene efecto en la salida. Los circuitos están diseñados para evitar el falso reloj por transiciones en la entrada G \. Se garantiza que responderá a las frecuencias de reloj que van de 0 a 30MHz, mientras que la frecuencia máxima del reloj es típicamente de 40MHz. La disipación de potencia típica es de 10 mW por flip-flop.

1.9 Limitaciones

Una de las limitaciones es la arquitectura de los dispositivos ya que al minimizar el circuito integrado los costos serán elevados

Falta de modelos tecnológicos que sean capaces de soportar este nuevo circuito integrado y la nueva frecuencia.

La tecnología para la fabricación del circuito integrado 74LS377

2. Marco teórico

Circuitos digitales

Los circuitos digitales constituyen la base de los sistemas electrónicos modernos, utilizados en computadoras, dispositivos móviles, sistemas de control electrónica de consumo y telecomunicaciones. A diferencia de los circuitos analógicos, que operan con señales continuas, los circuitos digitales trabajan con señales discretas, generalmente representadas mediante niveles binarios (0 y 1). Este enfoque permite mayor precisión, inmunidad al ruido y facilidad en el procesamiento de la información.

En la ingeniería, los circuitos digitales se diseñan utilizando compuertas lógicas, que son dispositivos electrónicos capaces de realizar operaciones booleanas básicas como AND, OR y NOT. Estas compuertas constituyen los bloques fundamentales para la construcción de sistemas más complejos, como sumadores, multiplexores, decodificadores y registros.

Los circuitos digitales pueden clasificarse en dos grandes categorías: combinacionales y secuenciales. Los circuitos combinacionales generan salidas que dependen únicamente de las entradas actuales, mientras que los secuenciales consideran también estados previos, incorporando elementos de memoria como flip-flops. Esta característica permite el desarrollo de sistemas más complejos, como contadores y máquinas de estados finitos.

El diseño de circuitos digitales implica el uso de herramientas como el álgebra de Boole, mapas de Karnaugh y lenguajes de descripción de hardware (HDL), que facilitan la optimización y simulación de sistemas. Asimismo, la integración a gran escala ha permitido la creación de circuitos integrados (IC), donde millones de transistores pueden encontrarse en un solo chip, dando origen a microprocesadores y sistemas embebidos.

Entre las principales ventajas de los circuitos digitales se encuentran su alta confiabilidad, facilidad de almacenamiento y procesamiento de datos, así como su compatibilidad con sistemas computacionales. No obstante, presentan limitaciones como el consumo energético en altas frecuencias y la necesidad de conversión cuando interactúan con señales analógicas.[5]

Características del CI 74LS377

"El circuito integrado 74LS377 pertenece a la familia lógica TTL Low-Power Schottky y ha sido fabricado por diferentes compañías semiconductoras debido a la estandarización de la serie 74xx, entre las que destacan Texas Instruments, ON Semiconductor, Nexperia, STMicroelectronics, Fairchild Semiconductor, Motorola Semiconductor Products, Su arquitectura corresponde a un registro octal basado en ocho flip-flops tipo D sincronizados por una señal de reloj común y controlados mediante una entrada de habilitación. Debido a su compatibilidad entre fabricantes, el dispositivo puede encontrarse bajo diferentes nomenclaturas comerciales como SN74LS377, manteniendo la misma función lógica y distribución de terminales." El 74LS377 es un registro octal formado por ocho flip-flops tipo D con entrada de habilitación (Enable). Pertenece a la familia lógica TTL Low Power Schottky (LS) y se utiliza para almacenar temporalmente datos digitales de 8 bits. Está compuesto por ocho biestables D sincronizados mediante un reloj común (Clock) y una señal de habilitación común.

El 74LS377 es un circuito integrado secuencial que implementa un registro paralelo de 8 bits [2]. Cada entrada de datos $D_0 - D_7$ está conectada a un flip-flop tipo D independiente, cuyas salidas correspondientes son $Q_0 - Q_7$. La transferencia de información ocurre únicamente en el flanco de subida del reloj ($\uparrow\text{CLK}$) cuando la entrada de habilitación Enable se encuentra activa.

Su funcionamiento puede expresarse mediante la ecuación lógica:

$$Q_n(t + 1) = \{D_n \text{ si } Enable = 0 \text{ y ocurre un flanco positivo de CLK } Q_n(t), \text{ si } Enable = 1$$

Es decir, cuando la habilitación está activa, el dispositivo captura el dato presente en sus entradas y lo almacena; cuando está deshabilitado, mantiene el último estado almacenado.

Características principales

- Tipo: Registro paralelo de datos de 8 bits.
- Elementos internos: 8 flip-flops tipo D.
- Disparo: Por flanco positivo del reloj.
- Entrada Enable: Controla la carga de datos.
- Tecnología: TTL Low Power Schottky.
- Alimentación típica: 5 V DC.
- Encapsulado común: DIP de 20 terminales.

Tabla funcional simplificada

Enable	CLK	Entrada D	Salida Q
1	↑	X	Mantiene dato
0	↑	0 o 1	Almacena dato
0	Sin cambio	X	Mantiene dato

En esta familia TTL, la habilitación normalmente es activa en estado bajo.

Aplicaciones típicas

- Registros internos en sistemas digitales.
- Memorias temporales de datos.
- Interfaces entre unidades de procesamiento.
- Controladores digitales.
- Sistemas basados en microprocesadores.

Tecnología 6G

La tecnología 6G (sexta generación de redes móviles) representa la próxima evolución en los sistemas de telecomunicaciones inalámbricas, con una implementación estimada hacia el año 2030. Su desarrollo surge como respuesta a la creciente demanda de conectividad global, alta velocidad de transmisión de datos y procesamiento inteligente en tiempo real. Desde una perspectiva de ingeniería, el 6G no solo busca mejorar el rendimiento del 5G, sino transformar la arquitectura de red mediante la integración de inteligencia artificial, nuevas bandas de frecuencia y sistemas altamente distribuidos.

Una de las principales características del 6G es su capacidad para alcanzar velocidades de transmisión de hasta 1 Tbps, lo que permitirá el manejo eficiente de grandes volúmenes de información. Asimismo, se proyecta una latencia extremadamente baja, del orden de microsegundos, lo que facilitará aplicaciones críticas en tiempo real, como cirugías remotas, automatización industrial avanzada y vehículos autónomos. Además, el 6G permitirá la conexión masiva de dispositivos, consolidando el concepto de Internet de Todo (IoE), donde objetos, sensores y sistemas estarán completamente interconectados.

Desde el punto de vista tecnológico, el 6G se apoya en el uso de frecuencias de Tera hercios (THz), que ofrecen un mayor ancho de banda, aunque presentan retos importantes en términos de propagación de la señal. También incorpora tecnologías como el edge computing, que permite procesar datos cerca del usuario para reducir la latencia, y el uso de inteligencia artificial integrada en la red, lo que posibilita sistemas autooptimizados y adaptativos. Adicionalmente, se contempla la integración de redes no terrestres, como satélites y drones, para lograr una cobertura global continua.

Las aplicaciones del 6G abarcan diversos sectores, incluyendo la salud, la industria, el transporte y el entretenimiento. Entre ellas destacan la telemedicina avanzada, la realidad extendida (XR), las ciudades inteligentes y los sistemas autónomos. Sin embargo, su desarrollo enfrenta desafíos importantes, como el alto consumo energético, la necesidad de nuevas infraestructuras, la seguridad de la información y la estandarización a nivel global.[6]

Flip-flops

Los flip-flops son dispositivos electrónicos fundamentales en los circuitos digitales, ya que actúan como elementos de almacenamiento de información binaria. A diferencia de los circuitos combinacionales, cuya salida depende únicamente de las entradas actuales, los flip-flops pertenecen a los circuitos secuenciales, ya que su salida depende tanto de las entradas como de su estado previo. Esta característica les permite almacenar un bit de información, lo que los convierte en componentes esenciales en sistemas de memoria, contadores, registros y procesadores.

Desde el punto de vista de la ingeniería, los flip-flops están diseñados a partir de compuertas lógicas básicas y funcionan generalmente sincronizados mediante una señal de reloj (clock), que controla el momento en el cual se actualiza su estado. Existen varios tipos de flip-flops, entre los más importantes se encuentran el SR (Set-Reset), JK, D (Data) y T (Toggle), cada uno con características específicas de funcionamiento.

El flip-flop SR es el más básico y permite establecer (set) o reiniciar (reset) el estado de salida. Sin embargo, presenta una condición inválida cuando ambas entradas están activas simultáneamente. Para solucionar esta limitación, el flip-flop JK introduce una mejora que elimina estados indeterminados, permitiendo alternar su salida cuando ambas entradas están activas. Por otro lado, el flip-flop tipo D simplifica el diseño al tener una sola entrada de datos, evitando condiciones ambiguas, lo que lo hace ampliamente utilizado en registros y memorias. Finalmente, el flip-flop tipo T permite cambiar su estado (toggle) en cada pulso de reloj cuando su entrada está activa, siendo útil en contadores digitales.

En términos de aplicación, los flip-flops son esenciales en la construcción de sistemas digitales complejos, ya que permiten el almacenamiento y sincronización de datos. Se utilizan en memorias RAM, registros de desplazamiento, divisores de frecuencia y sistemas de control digital. Su diseño y análisis se basa en herramientas como el álgebra de Boole y diagramas de tiempo, lo que facilita su implementación en circuitos integrados.

los flip-flops son indispensables en el diseño de sistemas digitales, ya que permiten almacenar, sincronizar y procesar información. Su uso es fundamental en circuitos integrados, microprocesadores y sistemas de control, constituyendo la base del funcionamiento de la electrónica digital moderna.[7]

Capítulo 1 Diseño del Flip-Flop

Para el diseño de las compuertas lógicas y el Flip-flop de esta sección, que internamente conforman circuito integrado del CI 74LS377 octal D flip-flop with Enable, se utilizó el software NI Multisim 14.0.

Compuertas Lógicas

Compuerta lógica AND de dos entradas

La compuerta lógica AND de dos entradas es un dispositivo digital fundamental utilizado en sistemas electrónicos de procesamiento de información, cuya función principal es realizar una operación lógica de conjunción. Su comportamiento se basa en la lógica booleana, donde la salida adquiere un nivel lógico alto (1 lógico) únicamente cuando ambas entradas presentan simultáneamente un nivel alto; en cualquier otra combinación de entradas, la salida permanece en un nivel lógico bajo (0 lógico) [5].

Desde el punto de vista del diseño de circuitos integrados, una compuerta AND puede implementarse mediante diferentes tecnologías electrónicas, siendo común su desarrollo mediante transistores MOSFET dentro de la tecnología CMOS (Complementary Metal-Oxide-Semiconductor). En esta configuración, la compuerta se construye utilizando redes complementarias de transistores tipo PMOS y NMOS, encargadas de controlar el flujo de corriente entre la alimentación y la salida del circuito.

La expresión booleana que describe su operación es:

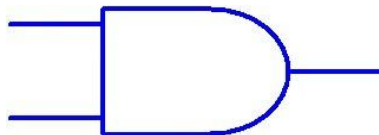
$$Y = A.B$$

donde A y B representan las entradas lógicas, mientras que Y corresponde a la salida del sistema. La tabla de verdad asociada es:

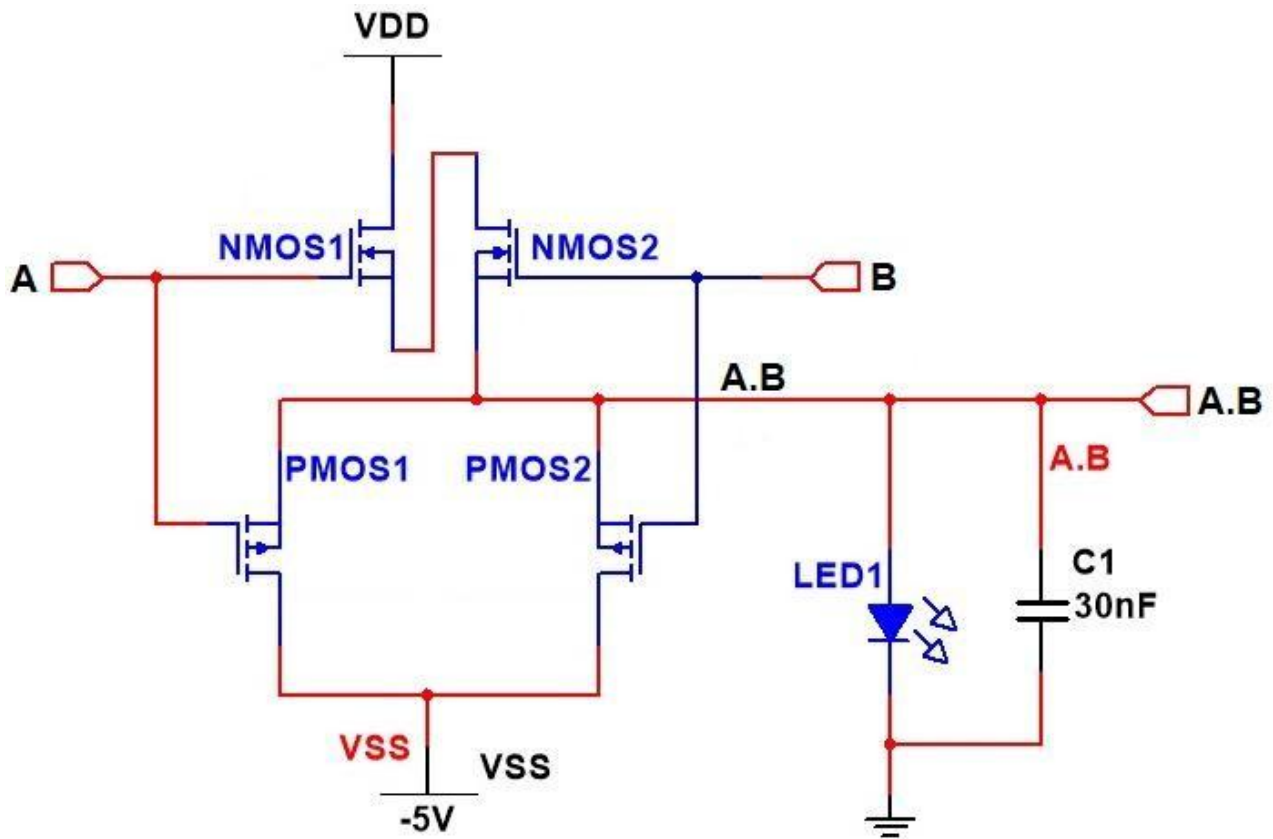
A	B	A.B
0	0	0
0	1	0
1	0	0
1	1	1

En aplicaciones de electrónica integrada, la compuerta AND de dos entradas constituye un bloque funcional esencial para la construcción de unidades aritméticas, sistemas de control digital, procesadores, memorias y circuitos de lógica programable. Su diseño debe considerar parámetros eléctricos como el tiempo de propagación, consumo de potencia, capacidad de carga (*fan-out*) y margen de ruido, debido a que estos factores influyen directamente en la eficiencia y confiabilidad del circuito integrado.

El símbolo y estructura interna de la compuerta AND con transistores NMOS y PMOS se muestran en la figura 1.



a) Símbolo de la compuerta lógica AND.



b) Diagrama esquemático de la compuerta lógica AND.

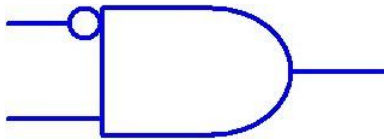
Fig. 1 Diagrama esquemático de la compuerta lógica AND con, transistores CMOS.

Compuerta lógica AND con una entrada invertida

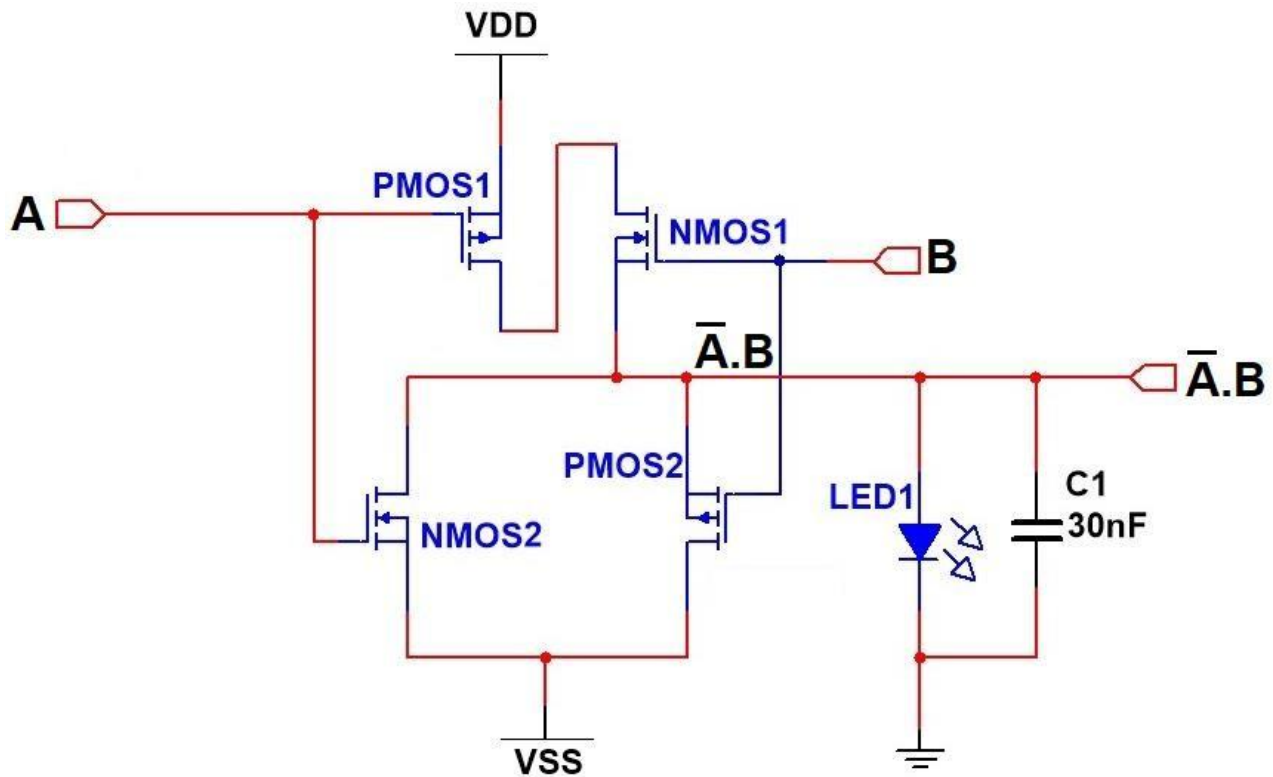
La compuerta de la figura 2 representa una AND, pero con una de las entradas invertida. Su comportamiento está basado en la AND normal, pero se debe considerar la inversión de una de sus entradas o que una entrada funciona en estado bajo.

La tabla de verdad asociada es:

A	B	A	A.B
0	0	1	0
0	1	1	1
1	0	0	0
1	1	0	0



a) Símbolo de la compuerta lógica AND con una entrada invertida.



b) Diagrama esquemático de la compuerta lógica AND con una entrada invertida.

Fig. 2 Diagrama esquemático de la compuerta lógica AND con una entrada invertida, transistores CMOS.

Compuerta lógica NAND de dos entradas

La compuerta lógica NAND de dos entradas es un elemento fundamental dentro de la electrónica digital y los sistemas de lógica combinacional. Su funcionamiento se basa en la combinación de una operación lógica AND seguida de una inversión lógica (NOT), por lo que su nombre proviene de la expresión en inglés NOT AND. Esta compuerta produce una salida en nivel lógico alto (1 lógico) cuando al menos una de sus entradas presenta un nivel lógico bajo (0 lógico), mientras que únicamente genera una salida en nivel lógico bajo (0 lógico) cuando ambas entradas se encuentran simultáneamente en nivel alto (1 lógico) [5].

La operación lógica de la compuerta NAND de dos entradas se representa mediante la siguiente expresión booleana:

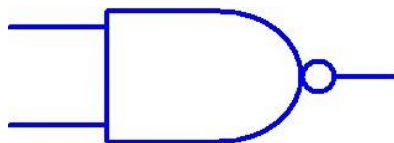
$$Y = \overline{A.B}$$

donde A y B representan las señales binarias de entrada, el operador corresponde a la operación lógica AND y la barra superior indica la negación o complemento lógico. La variable Y representa la señal de salida obtenida.

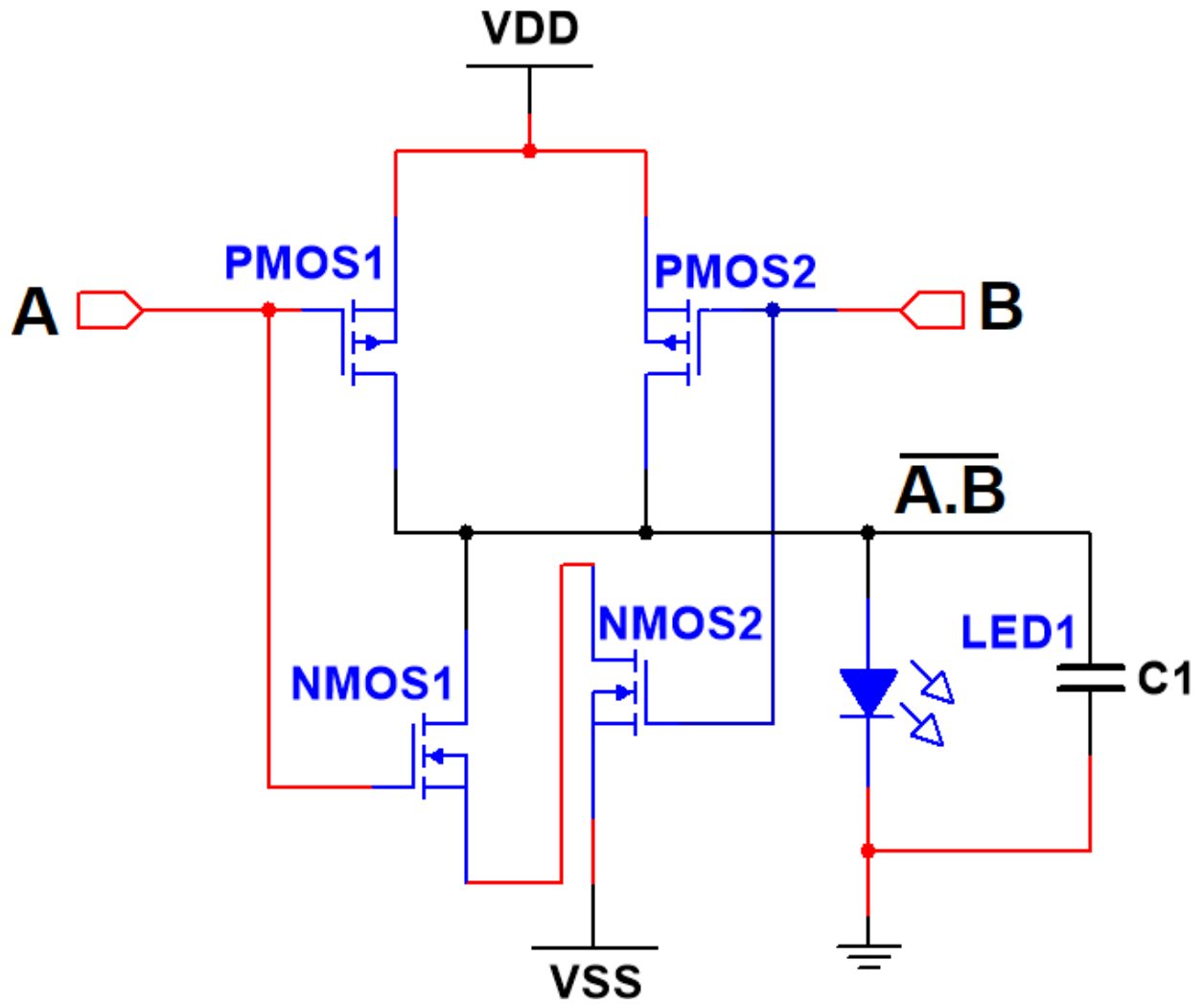
La tabla de verdad correspondiente es:

A	B	$\bar{A} \cdot \bar{B}$
0	0	1
0	1	1
1	0	1
1	1	0

El símbolo y estructura interna de la compuerta NAND con transistores NMOS y PMOS se muestran en la figura 3.



a) Símbolo de la compuerta lógica NAND con dos entradas.



b) Diagrama esquemático de la compuerta lógica NAND.

Fig. 3 Diagrama esquemático de la compuerta lógica NAND con transistores CMOS.

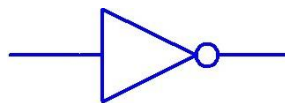
Compuerta lógica NOT (inversor)

La compuerta lógica NOT, también conocida como inversor lógico, es un componente fundamental dentro de los sistemas digitales cuya función principal es complementar o invertir el estado lógico de una señal de entrada. Su operación consiste en producir una salida con un nivel lógico contrario al valor aplicado en su entrada; es decir, cuando la entrada se encuentra en estado alto (1 lógico), la salida será un estado bajo (0 lógico), y cuando la entrada es baja (0 lógico), la salida será alta (1 lógico) [5].

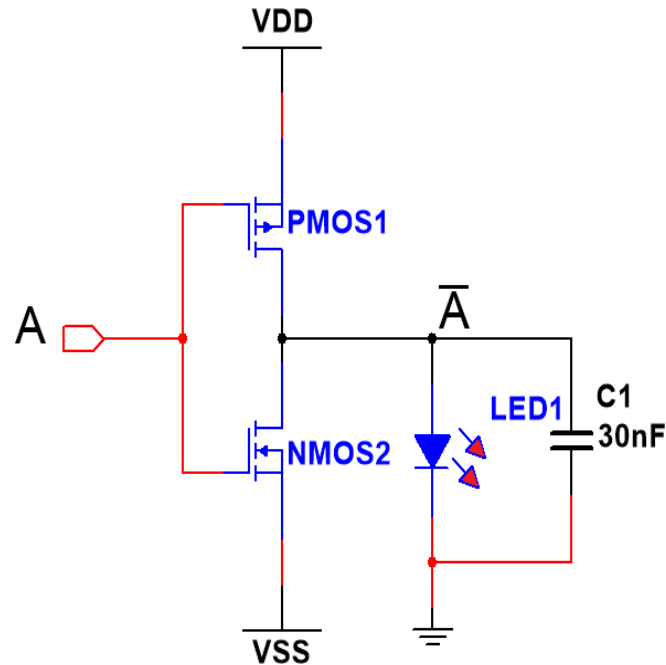
La tabla de verdad del inversor es:

A	$\bar{A}$
0	1
1	0

El símbolo y estructura interna de la compuerta NOT con transistores NMOS y PMOS se muestran en la figura 4.



a) Símbolo de la compuerta lógica NOT.



b) Diagrama esquemático de la compuerta lógica NOT.

Fig. 4 Diagrama esquemático de la compuerta lógica NOT o INVERSOR con transistores CMOS.

Compuerta lógica Buffer invertido

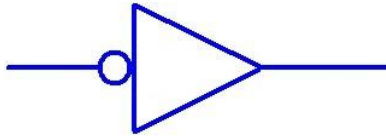
El buffer invertido, también conocido como inversor con capacidad de amplificación digital, es un elemento fundamental dentro de los sistemas electrónicos digitales, aunque técnicamente es un inversor, su función consiste en entregar a la salida una señal lógica complementaria respecto a la entrada aplicada. Este dispositivo combina las características de un inversor lógico (NOT) con la capacidad de un buffer, permitiendo mejorar la calidad de la señal, aumentar la capacidad de conducción y proporcionar aislamiento entre diferentes etapas de un circuito digital [5].

A diferencia de un buffer convencional, cuya salida mantiene el mismo estado lógico que la entrada, el buffer invertido genera una salida opuesta. Por lo tanto, cuando la entrada se encuentra en nivel lógico alto (1 lógico), la salida cambia a nivel bajo (0 lógico); mientras que cuando la entrada es baja (0 lógico), la salida se establece en nivel alto (1 lógico).

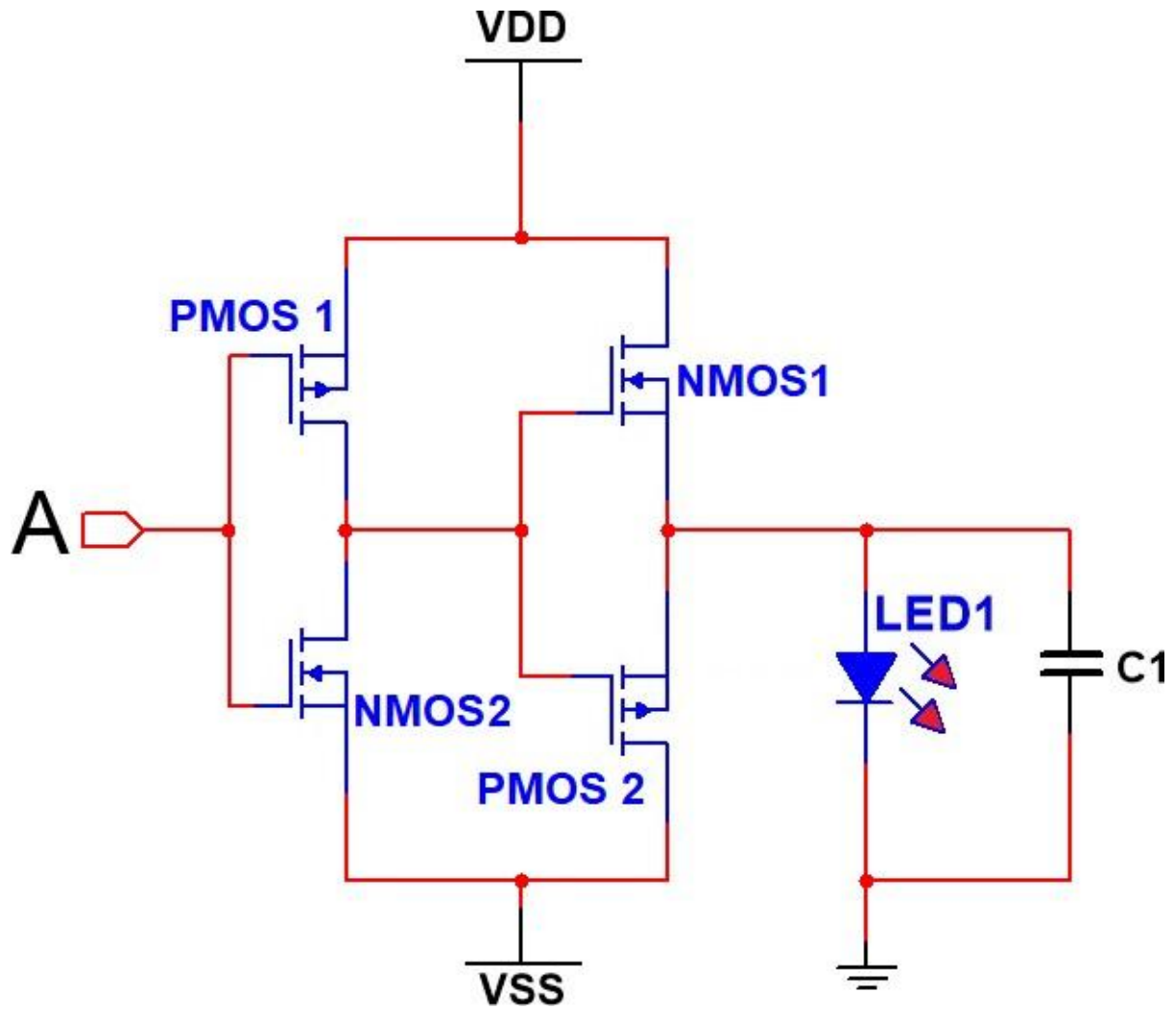
La tabla de verdad del buffer invertido es:

A	$\bar{A}$
0	1
1	0

El símbolo y estructura interna del Buffer con transistores NMOS y PMOS se muestran en la figura 5.



a) Símbolo de la compuerta lógica NAND con dos entradas.



b) Diagrama esquemático de la compuerta lógica Buffet Invertido.

Fig. 5 Diagrama esquemático del Buffer invertido con transistores CMOS.

Flip-flop tipo D

El flip-flop tipo D es un elemento fundamental dentro de los sistemas digitales secuenciales, utilizado para el almacenamiento temporal de información binaria y la sincronización de señales dentro de circuitos electrónicos. Este dispositivo pertenece a la familia de elementos biestables, debido a que posee dos estados estables de operación que permiten conservar un valor lógico hasta que ocurre un evento de activación [5].

El funcionamiento del flip-flop tipo D se basa en la transferencia de una señal de entrada de datos hacia la salida, pero con la característica adicional de que el dato almacenado aparece complementado. Es decir, cuando la entrada de datos presenta un nivel lógico alto (1 lógico), la salida almacenada será un nivel lógico bajo (0 lógico); y cuando la entrada es baja (0 lógico), la salida será alta (1 lógico).

A diferencia de un circuito combinacional, el flip-flop incorpora una característica de memoria digital, ya que mantiene el estado de salida incluso cuando la señal de entrada cambia, hasta recibir una nueva señal de sincronización mediante un pulso de reloj (*clock*). Su símbolo se muestra en la figura 6 y, otra característica fundamental es que internamente está constituido por cinco compuertas NAND, como se muestra en la figura 7 y, su simulación se muestra en a figura 8.



Fig. 6 Símbolo del Flip-Flop D.

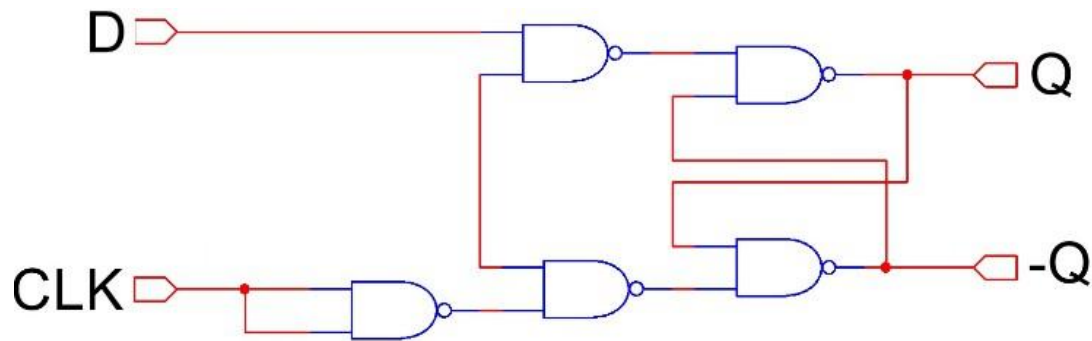


Fig. 7 Diagrama esquemático del Flip-Flop D con compuertas NAND CMOS.

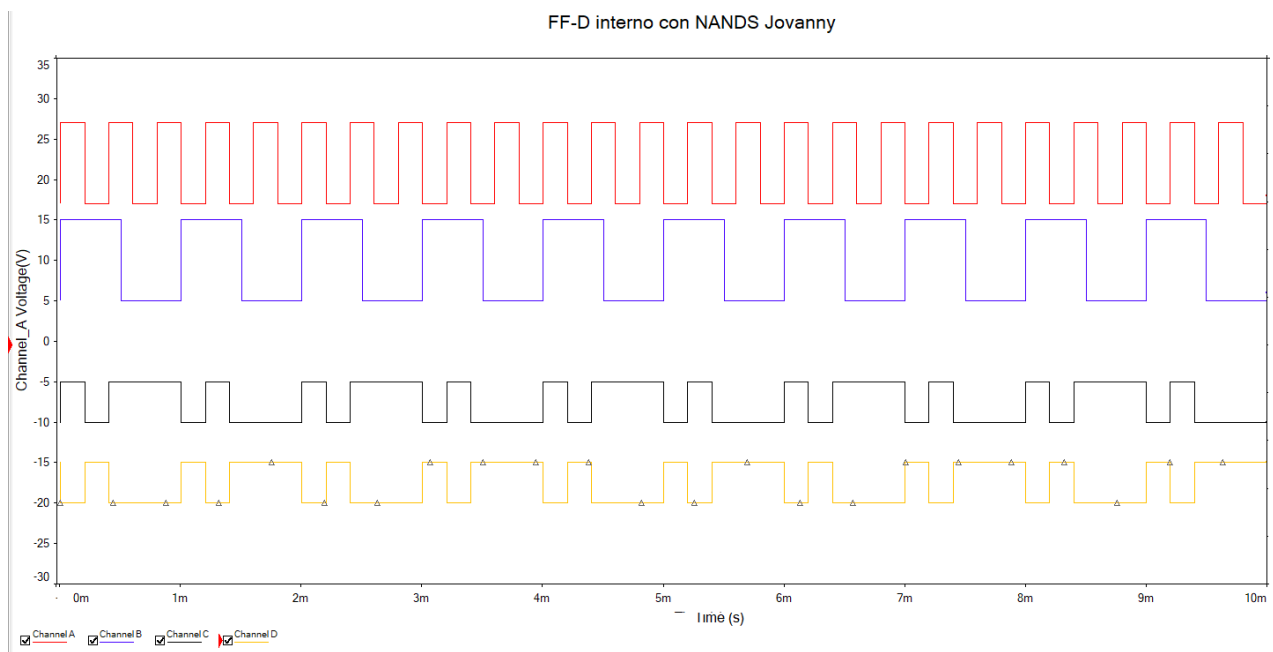


Fig. 8 Simulación del Flip-Flop D con compuertas NAND CMOS.

El Flip-Flop fue diseñado con cinco compuertas NAND con transistores de la tecnología CMOS (figura 9), para comprobar su funcionamiento, y su simulación se muestra en la figura 10; se puede observar que las figuras 8 y 10 son muy similares, debido a que ambos están basados en compuertas NAND, a diferencia de que el circuito de la figura 7 está conformada con compuertas NAND y el circuito de la figura 9 fue diseñado con transistores NMOS y PMOS de la biblioteca del Software NI Multisim 14.0.

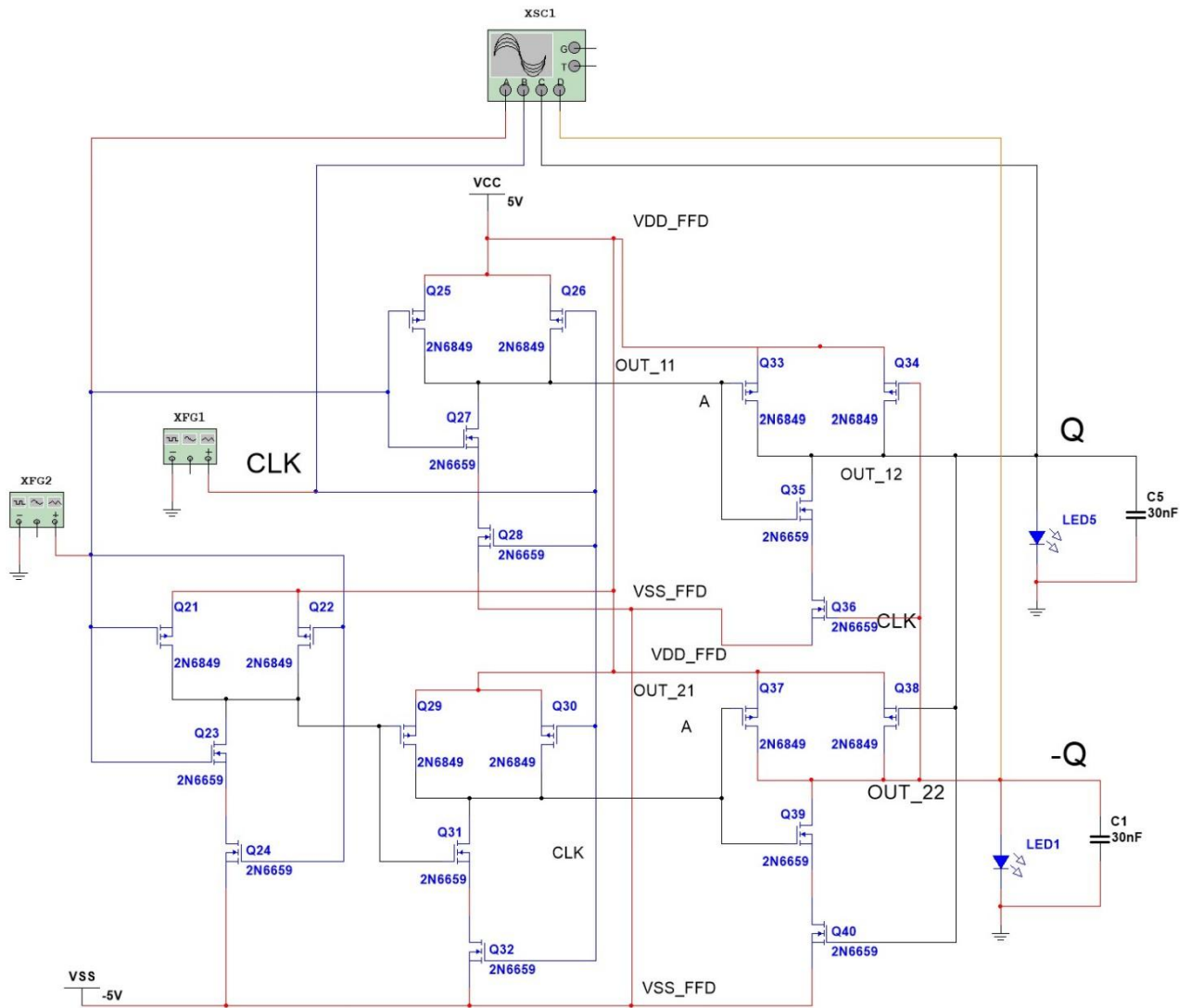


Fig. 9 Diagrama esquemático del Flip-Flop D con transistores CMOS.

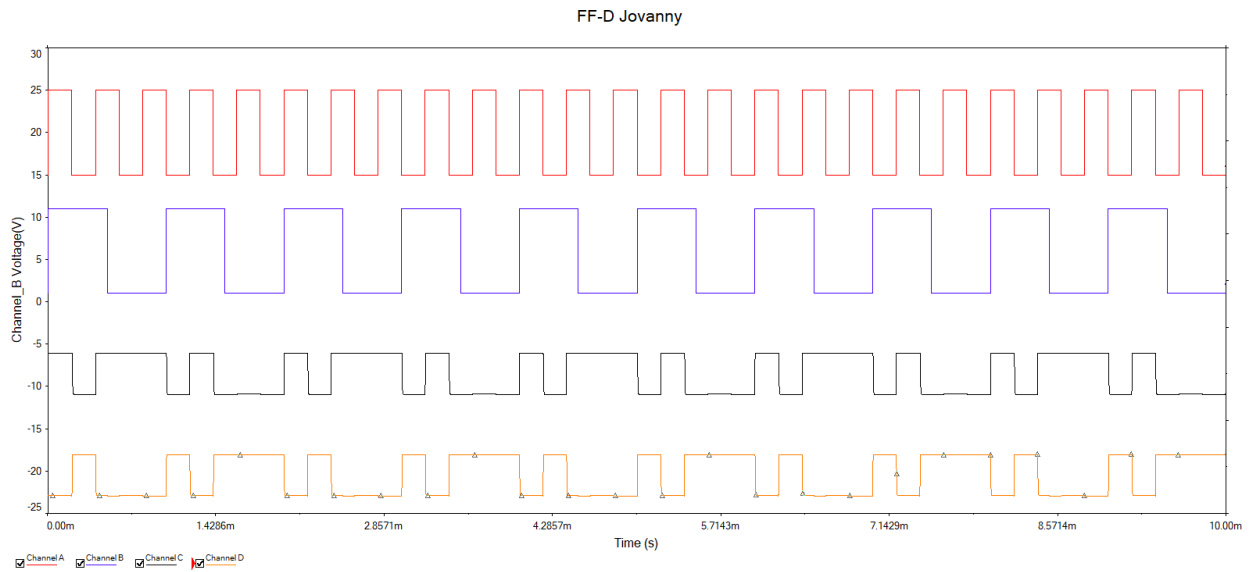
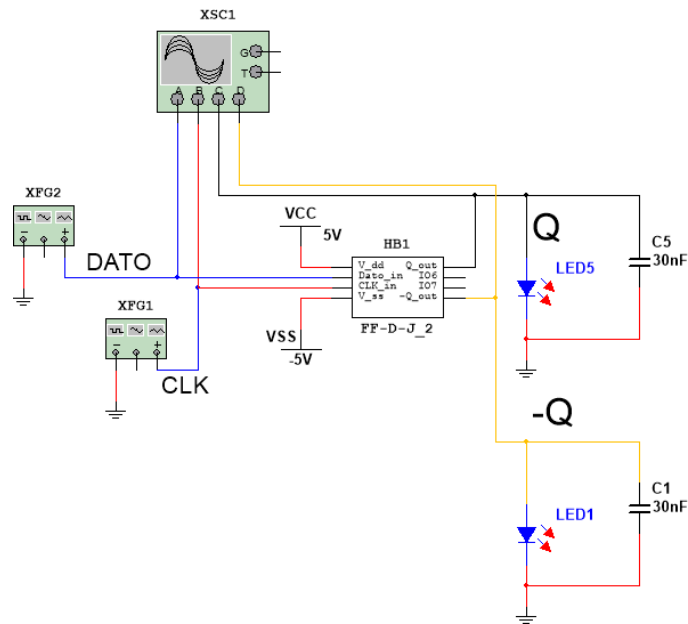
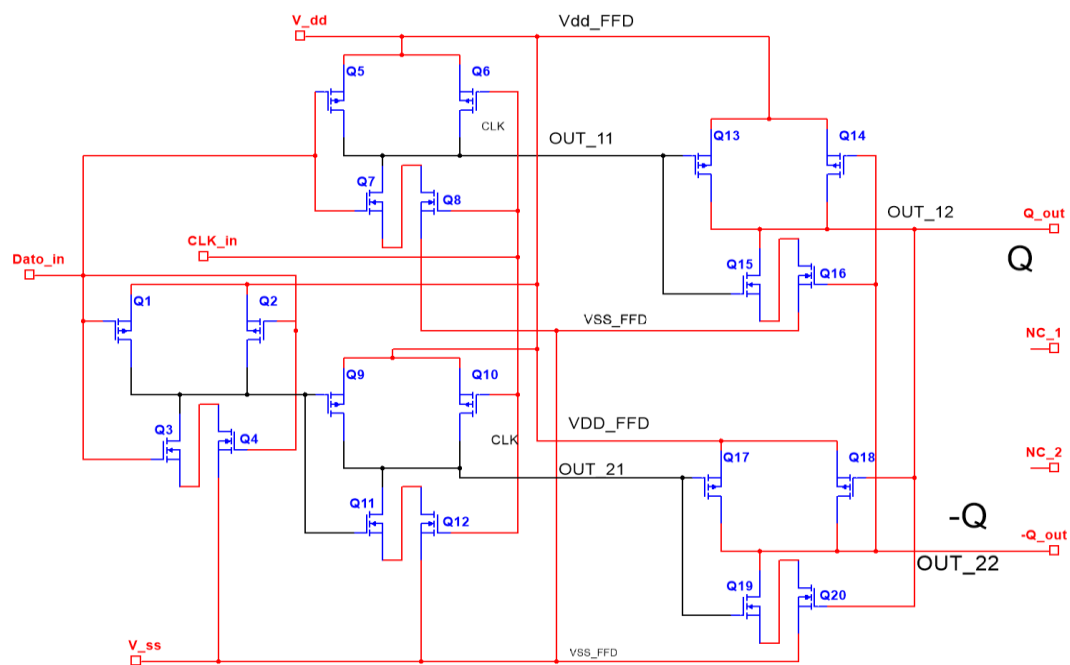


Fig. 10 Simulación del Flip-Flop D con transistores CMOS.

Como parte de la optimización de espacio y para facilitar el diseño en el simulador, cuando se tienen circuitos que se utilizarán varias veces se crean bloques jerárquicos, en los cuales se coloca un circuito y se copia las veces que se sean necesaria; para este caso se creó un bloque jerárquico del Flip-Flop Tipo D con transistores CMOS, mostrado en la figura 11 y en la figura 12 se muestra su respectiva simulación, para demostrar su correcto funcionamiento y se verifica que sea igual al circuito original.



a) Diagrama esquemático del bloque del Flip-Flop D CMOS.



b) Diagrama esquemático interno del bloque del Flip-Flop D con transistores CMOS.

Fig. 11 Diagramas esquemáticos del a) Flip-Flop D en bloque y b) diagrama interno con transistores CMOS.

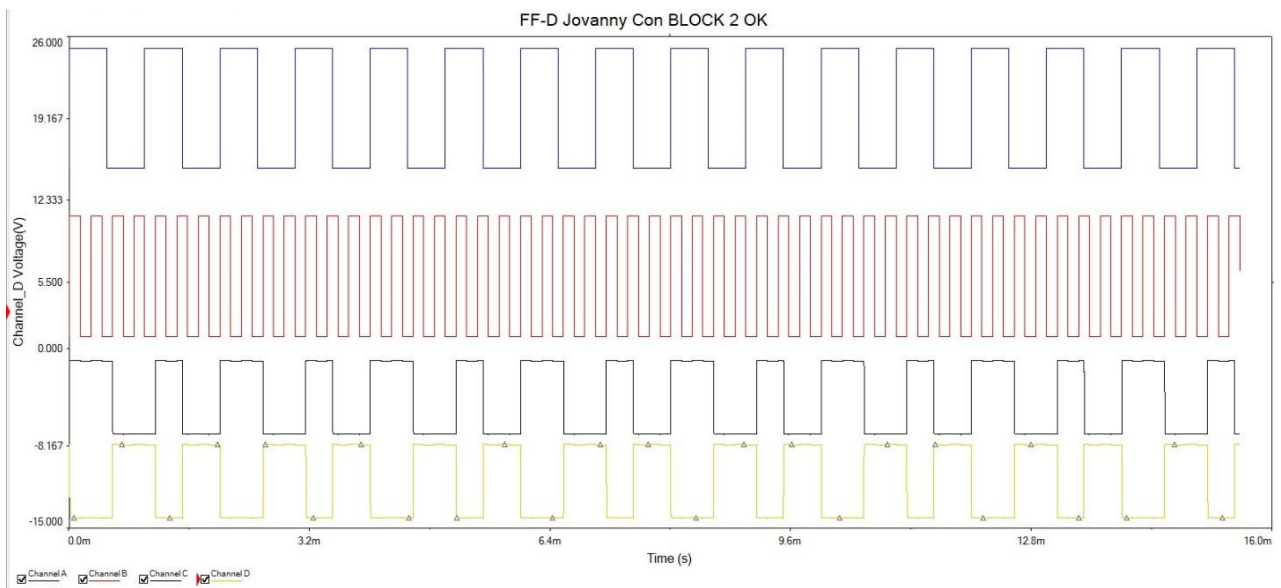


Fig. 12 Simulación del Flip-Flop D en bloque con transistores CMOS.

El diagrama esquemático completo del CI 74LS377 se muestra en la figura 13, y la Figura 14 muestran sus tablas de verdad, la figura 15 muestra su diagrama lógico y su distribución de terminales [2].

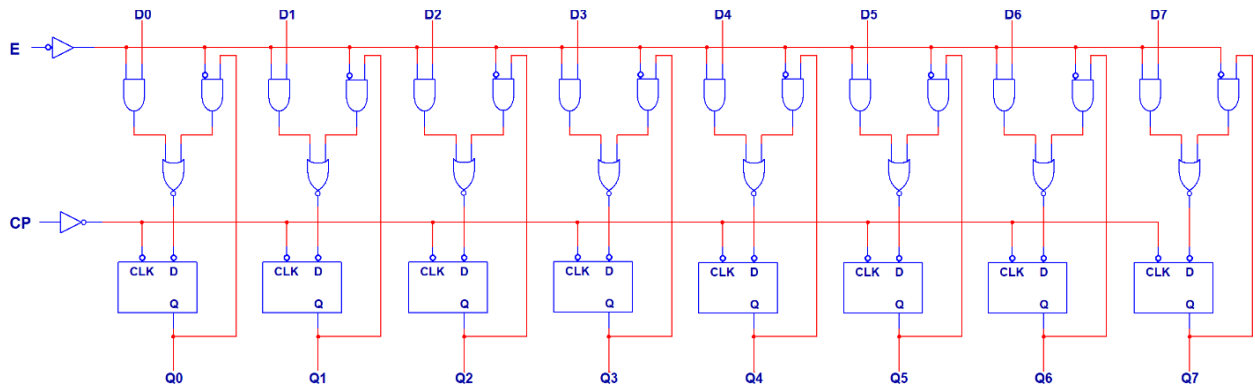


Fig. 13 Diagrama esquemático del circuito integrado 74LS377 [2].

Descripción de terminales

Terminales	Descripción
$\overline{E}$	Enable Input (Active LOW)
D0–D7	Data Inputs
CP	Clock Pulse Input (Active Rising Edge)
Q0–Q7	Flip-Flop Outputs

Tabla de verdad

Inputs			Output
$\overline{E}$	CP	D_n	Q_n
H	X	X	No Change
L	↗	H	H
L	↗	L	L

H = Nivel de voltaje ALTO
L = Nivel de voltaje BAJO
X = No importa

Fig. 14 Tablas de estados del circuito integrado 74LS377.

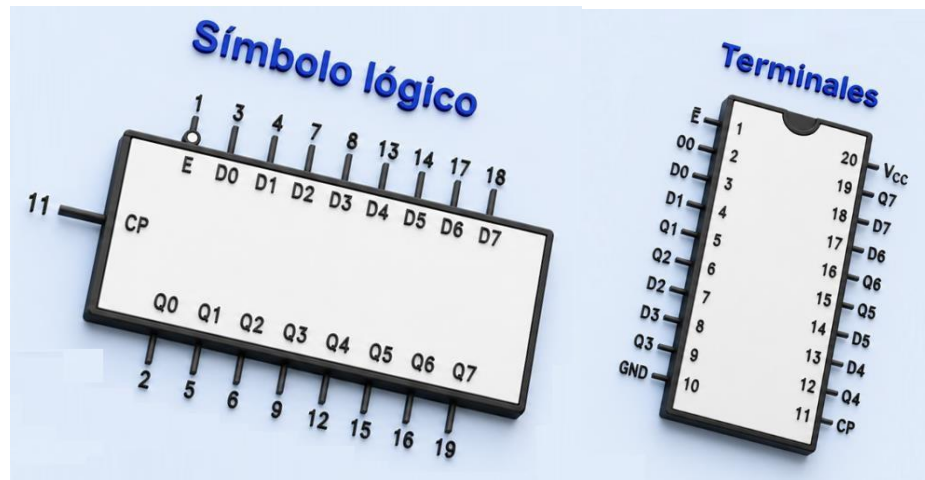


Fig. 15 Símbolo lógico y distribución de terminales del circuito integrado 74LS377.

Ecuaciones de los transistores MOSFET en la región de saturación

En esta sección se muestra el desarrollo matemático que da la formalidad de ingeniería en electrónica, se muestran las ecuaciones y los cálculos del voltaje de umbral, el voltaje electrotérmico, el potencial del Bulk (sustrato), la capacitancia para el óxido de compuerta y las corrientes de drenador tanto para el transistor NMOS y el PMOS.

Ecuaciones para el voltaje de umbral

$$\text{Voltaje de umbral} = 2\phi_b + \frac{\sqrt{(2\varepsilon_{si}qNA)(2\phi_b)}}{C_{ox}} + V_{fb}$$

$$\text{Potencial de Bulk} = \phi_b = \frac{kT}{q} \ln\left(\frac{N_A}{n_i}\right)$$

$$\text{Capacitancia del óxido de compuerta} = C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}}$$

$$\beta_n = kn \left(\frac{W}{L}\right) = \frac{\mu_n \varepsilon_{ox}}{t_{ox}} \left(\frac{W}{L}\right) = 8.63875 \times 10^{-5} \text{ A/V}^2$$

$$\beta_p = kp \left(\frac{W}{L}\right) = \frac{\mu_p \varepsilon_{ox}}{t_{ox}} \left(\frac{W}{L}\right) = 3.10635 \times 10^{-5} \text{ A/V}^2$$

donde:

- K_n : ganancia del semiconductor n
- K_p : ganancia del semiconductor p
- n_A : densidad de los aceptadores
- V_{pb} : voltaje de banda plana
- V_t : voltaje de umbral
- n_i : concentración intrínseca del silicio ($1.45 \times 10^{10} \text{ cm}^{-3}$ a 300°K)
- t_{ox} : espesor del aislante de la compuerta
- β_n : constante beta para el transistor NMOS
- β_p : constante beta para el transistor PMOS
- ϵ_{ox} : permitividad de dióxido de silicio ($3.4515 \times 10^{-13} \text{ F/cm}$)
- ϵ_{si} : permitividad del silicio ($1.06 \times 10^{-12} \text{ F/cm}$)
- μ_p : movilidad superficial de los portadores mayoritarios (huecos $180 \text{ cm}^2/\text{V}\cdot\text{sec}$)
- μ_n : movilidad superficial de los portadores mayoritarios (electrones $500 \text{ cm}^2/\text{V}\cdot\text{sec}$)
- T : temperatura en grados Kelvin
- K : constante de Boltzmann ($1.38 \times 10^{-23} \text{ J/K}$)
- q : carga del electrón ($1.6 \times 10^{-19} \text{ c}$)

Ecuación para el voltaje electrotérmico

$$\frac{KT}{q} = \frac{(1.38 \times 10^{-23} \text{ J/K}) * 300^\circ\text{K}}{1.6 \times 10^{-19} \text{ c}} \approx 0.347 \text{ v a } 300^\circ\text{K}$$

donde:

- T : temperatura en grados Kelvin
- K : constante de Boltzmann ($1.38 \times 10^{-23} \text{ J/K}$)
- q : carga del electrón ($1.6 \times 10^{-19} \text{ c}$)

Ecuación para el potencial de Bulk

$$\phi_b = \frac{kT}{q} \ln\left(\frac{N_A}{n_i}\right)$$

Considerando que $N_A=N_D=10^{16} \text{ cm}^{-3}$

$$\phi_b = (0.347V) \ln \frac{10^{16} \text{ cm}^{-3}}{1.45 \times 10^{10} \text{ cm}^{-3}} = 0.347V$$

Ecuación para la capacitancia para óxido de compuerta

Considerando $t_{ox}=20 \times 10^{-7} \text{ cm}$

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} = \frac{3.4515 \times 10^{-13} \frac{F}{cm}}{20 \times 10^{-9} cm} = 17.257 \mu F/cm^2$$

Cálculo para voltaje de umbral NMOS

considerando $V_{fb} = -0.9V$

$$V_{Tn} = 2\phi_b + \frac{\sqrt{(2\varepsilon_{si}qNA)(2\phi_b)}}{C_{ox}} + V_{fb}$$

$$V_{Tn} = 2(0.347v) + \frac{\sqrt{(2(1.06 \times 10^{-12} \frac{F}{cm})(1.6 \times 10^{-19}c)(10^{16}cm^{-3}))(2(0.347 v))}}{17.257 \mu F/cm^2} - 0.9v = 75mV$$

Cálculo para voltaje de umbral PMOS

considerando $V_{fb} = -0.2V$

$$V_{Tp} = V_{fb} - |2\phi_{fbp}| - \frac{\sqrt{(2\varepsilon_{si}qNA)(|2\phi_{fbp}|)}}{C_{ox}}$$

$$V_{Tp} = -0.2v - |2(0.347V)| - \frac{\sqrt{(2(1.06 \times 10^{-12} \frac{F}{cm})(1.6 \times 10^{-19}c)(10^{16}cm^{-3}))(2(0.347 v))}}{17.257 \mu F/cm^2}$$

$$V_{Tp} = -1.175 V$$

Cálculos de las corrientes de los NMOS y PMOS

MOSFET canal n:

$$I_{ds} = \frac{1}{2} \mu_n C_{ox} \frac{w}{L} (V_{gs} - V_T)^2$$

Donde:

- I_{ds} = corriente entre drenador y la fuente
- μ_n = movilidad superficial de los portadores= $500 \text{ cm}^2/\text{V}_{\text{sec}}$
- C_{ox} =capacitancia del óxido de la compuerta
- W = ancho del canal
- L = longitud del canal
- V_{gs} = voltaje entre la compuerta y la fuente =5v
- V_T = voltaje de umbral
- V_{ds} = voltaje entre drenador y la fuente

$$I_{ds} = \frac{1}{2} (500 \text{ cm}^2/\text{V}_{\text{sec}}) (1.72575 \times 10^{-7}) (1) (5 - 0.075)^2$$

$$I_{ds} = 1.04 \text{ mA}$$

MOSFET canal p:

$$I_{ds} = \frac{1}{2} \mu_p C_{ox} \frac{W}{L} (V_{gs} - |V_T|)^2$$

Donde:

- I_{ds} = corriente entre drenador y la fuente
- μ_p = movilidad superficial de los portadores = $180 \text{ cm}^2/\text{V}_{\text{sec}}$
- C_{ox} = capacitancia del oxido de la compuerta
- W = ancho del canal
- L = longitud del canal
- V_{gs} = voltaje entre la compuerta y la fuente
- $|V_T|$ = voltaje de umbral
- V_{ds} = voltaje entre drenador y la fuente

$$I_{ds} = \frac{1}{2} (180) (1.72575 \times 10^{-7}) (1) (5 - 0.17)^2$$

$$I_{ds} = 0.227 \text{ mA}$$

En las figuras 16 y 17 se muestran las curvas características de los transistores NMOS y PMOS, que demuestran su correcto funcionamiento. Las figuras muestran el comportamiento de I_D y V_{DS} para diferentes valores de V_{GS} .

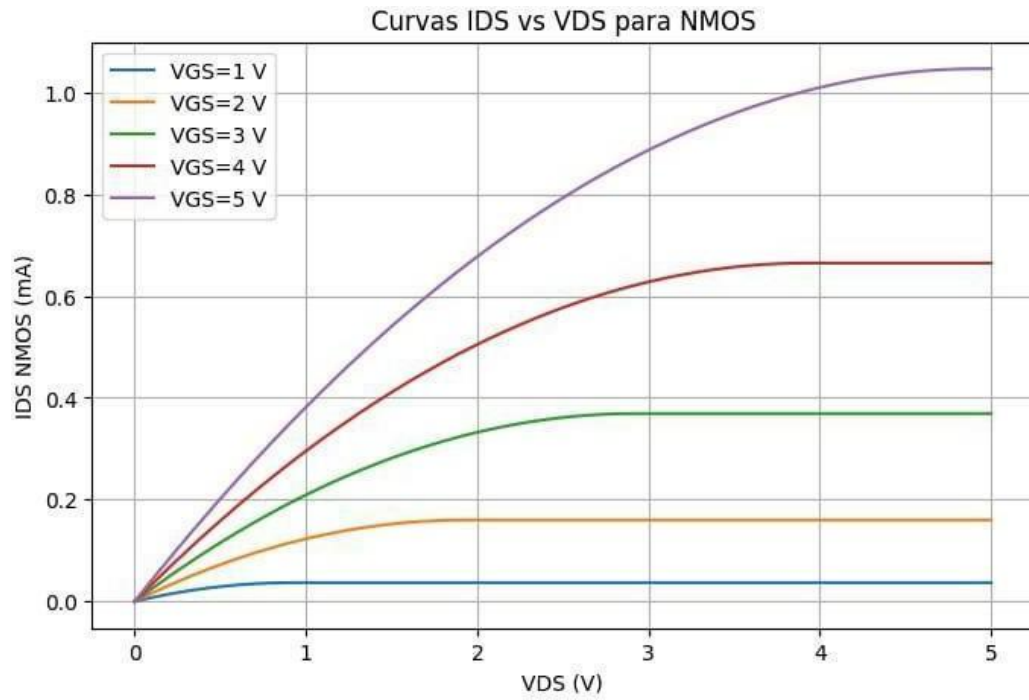


Fig. 16 Curvas características de corriente transistor MOSFET NMOS.

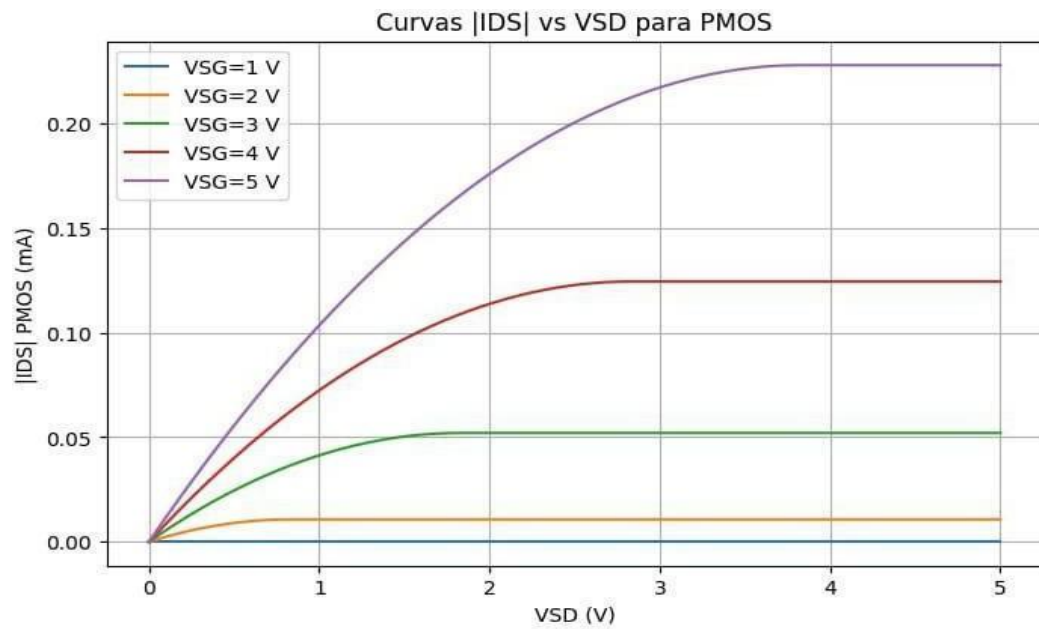


Fig. 17 Curvas características de corriente transistor MOSFET NMOS.

Capítulo 2 Layout del Flip-Flop

Para el diseño del circuito integrado del CI 74LS377 octal D flip-flop with Enable, se utilizó el software L-Edit The Layout Editor de Tanner EDA V16.01.

Transistor NMOS

El transistor NMOS es un dispositivo semiconductor utilizado para controlar el flujo de corriente mediante la aplicación de un voltaje en la compuerta. Está formado por una fuente, un drenador, una compuerta y un sustrato. Su funcionamiento se basa en la creación de un canal de conducción de electrones entre la fuente y el drenador cuando el voltaje compuerta-fuente (V_{GS}) supera el voltaje umbral (V_{TN}) [11].

Los transistores NMOS son ampliamente utilizados en circuitos digitales y analógicos debido a su alta velocidad de conmutación, baja resistencia de conducción y facilidad de integración en tecnologías CMOS. Estas características los convierten en elementos fundamentales para la fabricación de microprocesadores, memorias y circuitos integrados modernos [12]. Actualmente, los dispositivos NMOS desempeñan un papel esencial en sistemas electrónicos avanzados, incluyendo equipos de telecomunicaciones, dispositivos móviles, aplicaciones de inteligencia artificial y tecnologías emergentes de comunicación como 5G y 6G, donde se requiere un alto desempeño con un consumo energético reducido [13].

La figura 18 muestra el layout de transistor NMOS y su corte seccional, en el que se muestran las diferentes capas de materiales utilizados en su diseño, como lo son la región Active, Poly, Metal1, Metal2, Poly Contac, Active Contac, Via1, P Select, N Select, Gird Layer.

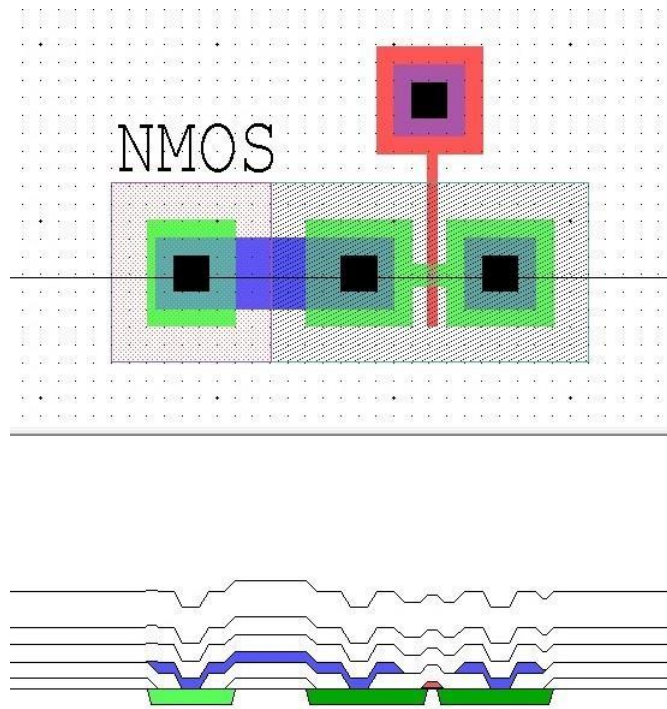


Fig. 18 Layout del NMOS.

Transistor PMOS

El transistor PMOS es un dispositivo semiconductor de efecto de campo que controla el flujo de corriente mediante la aplicación de un voltaje en la compuerta. Está formado por una fuente, un drenaje, una compuerta y un sustrato. A diferencia del NMOS, utiliza huecos como portadores mayoritarios de carga y conduce cuando el voltaje de compuerta es más negativo que la fuente, superando el voltaje umbral del dispositivo [11].

Los transistores PMOS son ampliamente utilizados junto con los NMOS en la tecnología CMOS permitiendo la fabricación de circuitos con bajo consumo de energía y alta eficiencia. Aunque presentan una menor movilidad de carga que los NMOS, son indispensables para el correcto funcionamiento de compuertas lógicas, memorias y sistemas digitales modernos [12].

Actualmente, los transistores PMOS forman parte de prácticamente todos los circuitos integrados avanzados utilizados en computadoras, teléfonos inteligentes, sistemas embebidos y equipos de telecomunicaciones. Su integración con transistores NMOS permite el desarrollo de tecnologías de alto rendimiento necesarias para aplicaciones de inteligencia artificial, Internet de las Cosas (IoT) y futuras redes de comunicación 6G [13].

La figura 19 muestra el layout de transistor PMOS y su corte seccional, en el que se muestran las diferentes capas de materiales utilizados en su diseño, como lo son la región Active, Poly, Metal1, Metal2, Poly Contac, Active Contac, Via1, P Select, N Select, Gird Layer.

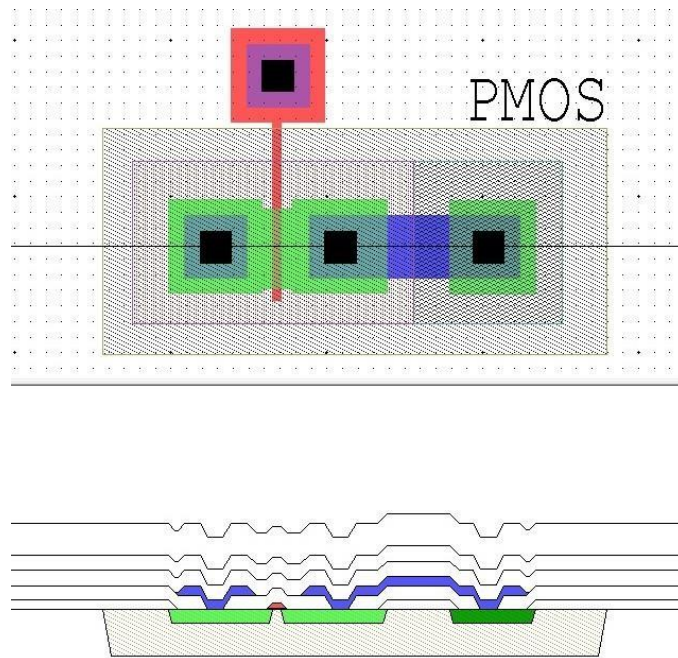
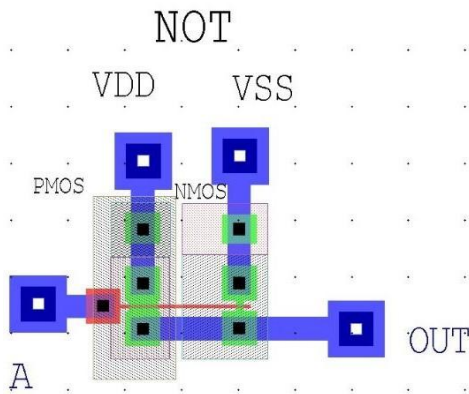
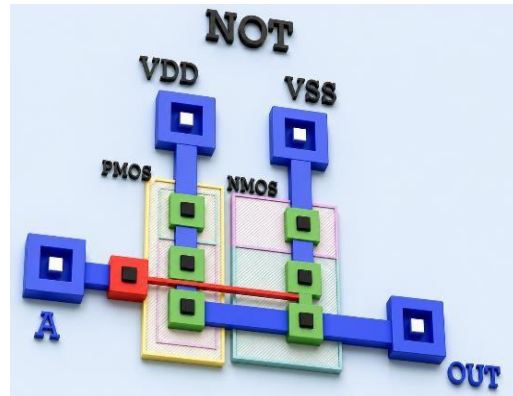


Fig. 19 Layout del PMOS.

La compuerta NOT (inversor) está definida como negación Booleana: una entrada y una salida (figura 20). Cuando la entrada es un nivel lógico alto (1), la salida será un nivel lógico bajo (0); de manera inversa, cuando la entrada es un nivel lógico bajo (0), la salida será un nivel lógico alto (1).



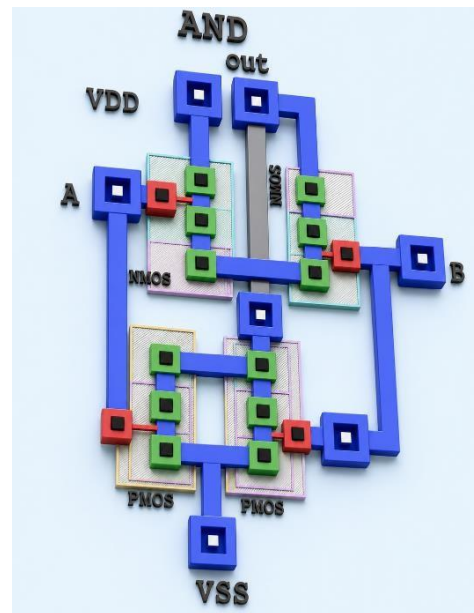
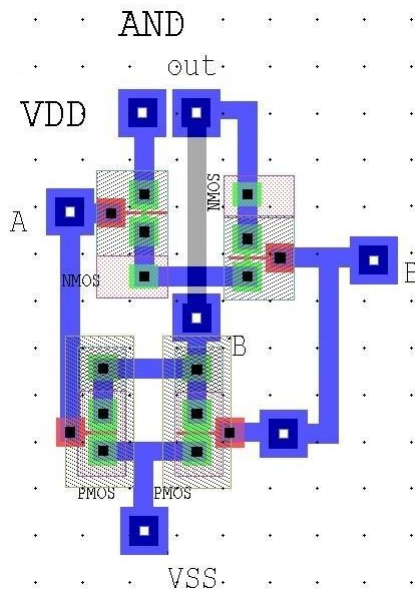
a) Layout del inversor en *Tanner L-Edit*.



b) 3D del Layout del inversor.

Fig. 20 Layout del Inversor CMOS.

La compuerta AND es una puerta lógica digital cuya función es realizar la operación lógica de conjunción, (figura 21). Presenta dos o más entradas y una sola salida. La salida será un nivel lógico alto (1) únicamente cuando todas las entradas se encuentren en nivel lógico alto (1). Si alguna de las entradas tiene un valor lógico bajo (0), la salida será 0.

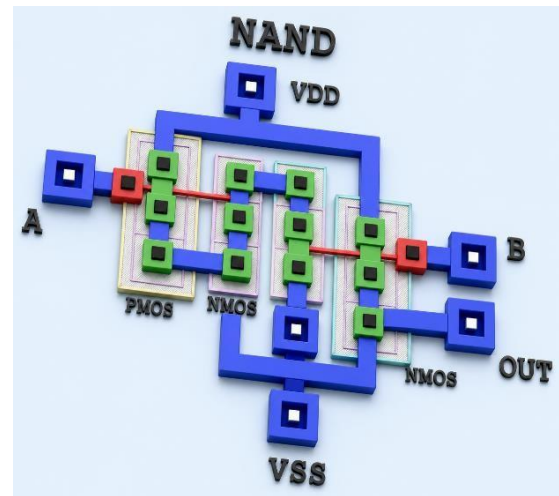
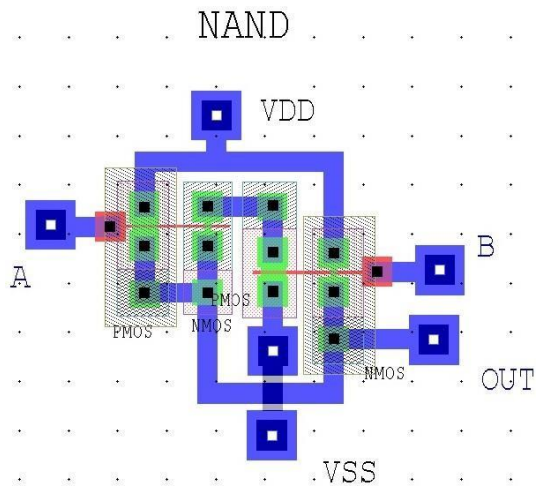


a) Layout de la compuerta AND en
Tanner L-Edit.

b) 3D de la compuerta AND.

Fig. 21 Layout de la compuerta AND CMOS con dos entradas.

La compuerta NAND (NOT-AND) es una puerta lógica digital que realiza la negación de la operación AND. Presenta dos o más entradas y una sola salida, mostrada en la figura 22. La salida será un nivel lógico bajo (0) únicamente cuando todas las entradas se encuentren en nivel lógico alto (1). En cualquier otra combinación de entradas, la salida será un nivel lógico alto (1).

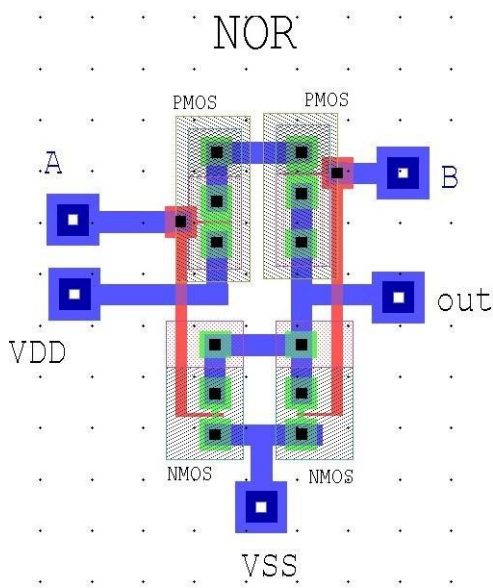


a) Layout de la compuerta NAND en
Tanner L-Edit.

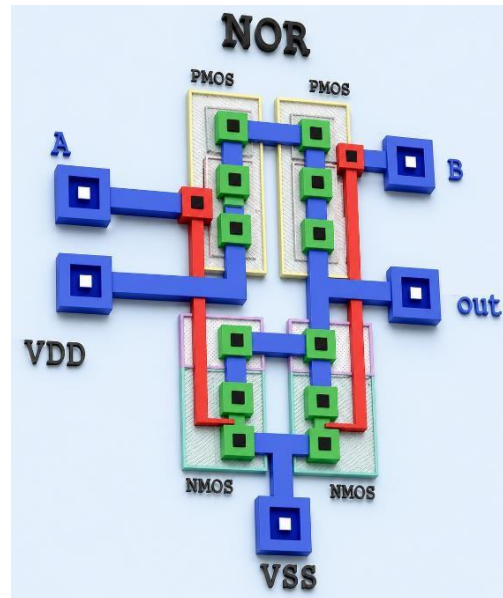
b) 3D de la compuerta NAND.

Fig. 22 Layout de la compuerta NAND CMOS con dos entradas.

La compuerta NOR (NOT-OR) es una puerta lógica digital que realiza la negación de la operación OR, mostrada en la figura 23. Presenta dos o más entradas y una sola salida. La salida será un nivel lógico alto (1) únicamente cuando todas las entradas se encuentren en nivel lógico bajo (0). Si al menos una de las entradas tiene un valor lógico alto (1), la salida será un nivel lógico bajo (0).



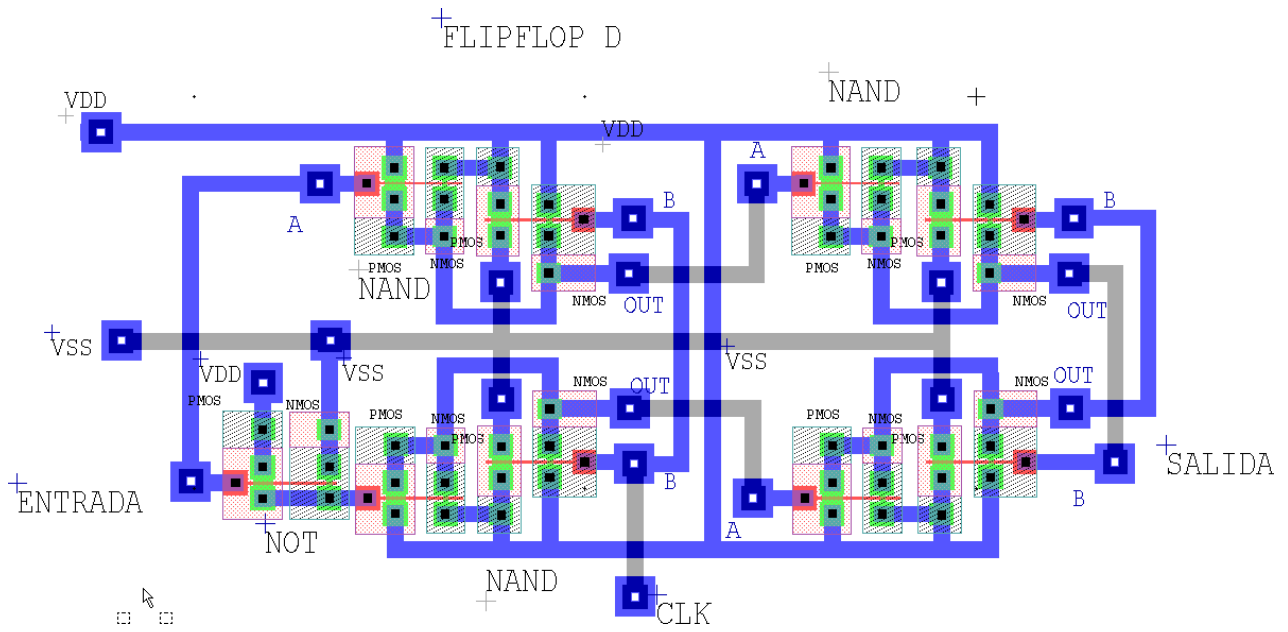
a) Layout de la compuerta NOR en
Tanner L-Edit.



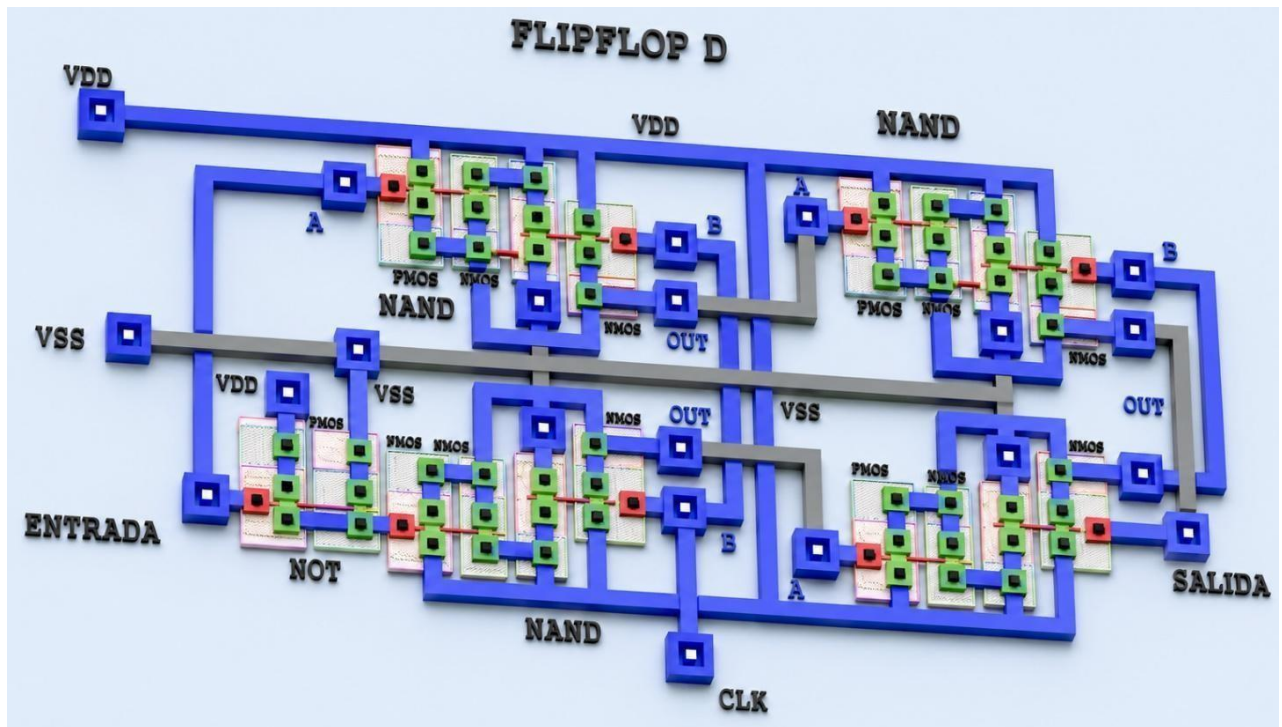
b) 3D de la compuerta NOR.

Fig. 23 Layout de la compuerta NOR CMOS con dos entradas.

El flip-flop tipo D es un elemento de memoria que puede almacenar información en forma de un "1" o "0" lógicos. Este flip-flop tiene una entrada D y dos salidas Q y Q, también tiene una entrada de reloj, que, en este caso, nos indica que es un flanco de subida, el layout del Flip-flop se muestra en la figura 24.



a) Layout del Flip-flop CMOS en *Tanner L-Edit*.



3D del Flip flop tipo D.

Fig. 24 Layout del Flip flop tipo D.

La figura 25 muestra el layout completo del circuito integrado del de 74LS377 octal D flip-flop with Enable de la figura X, se muestran las compuertas anteriores NOT, AND, NAND, NOR y Flop-flop. También se muestran el código de colores utilizado el L-Edit, que representan la región **Active, Poly, Metal1, Metal2, Poly Contac, Active Contac, Via1, P Select, N Select, Gird Layer,**

Entre otras, las cuales constituyen los transistores NMOS y PMOS con sus respectivas conexiones de Metal1 y Metal2, y los contactos a Poly y región activa. Este diseño constituye la integración de todas las compuertas y Flip-flops interconectados, los circuitos fueron probados y simulados en NI Multisim 14.0 con las dimensiones calculadas de las longitudes L y anchos W de canal, para ambos transistores.

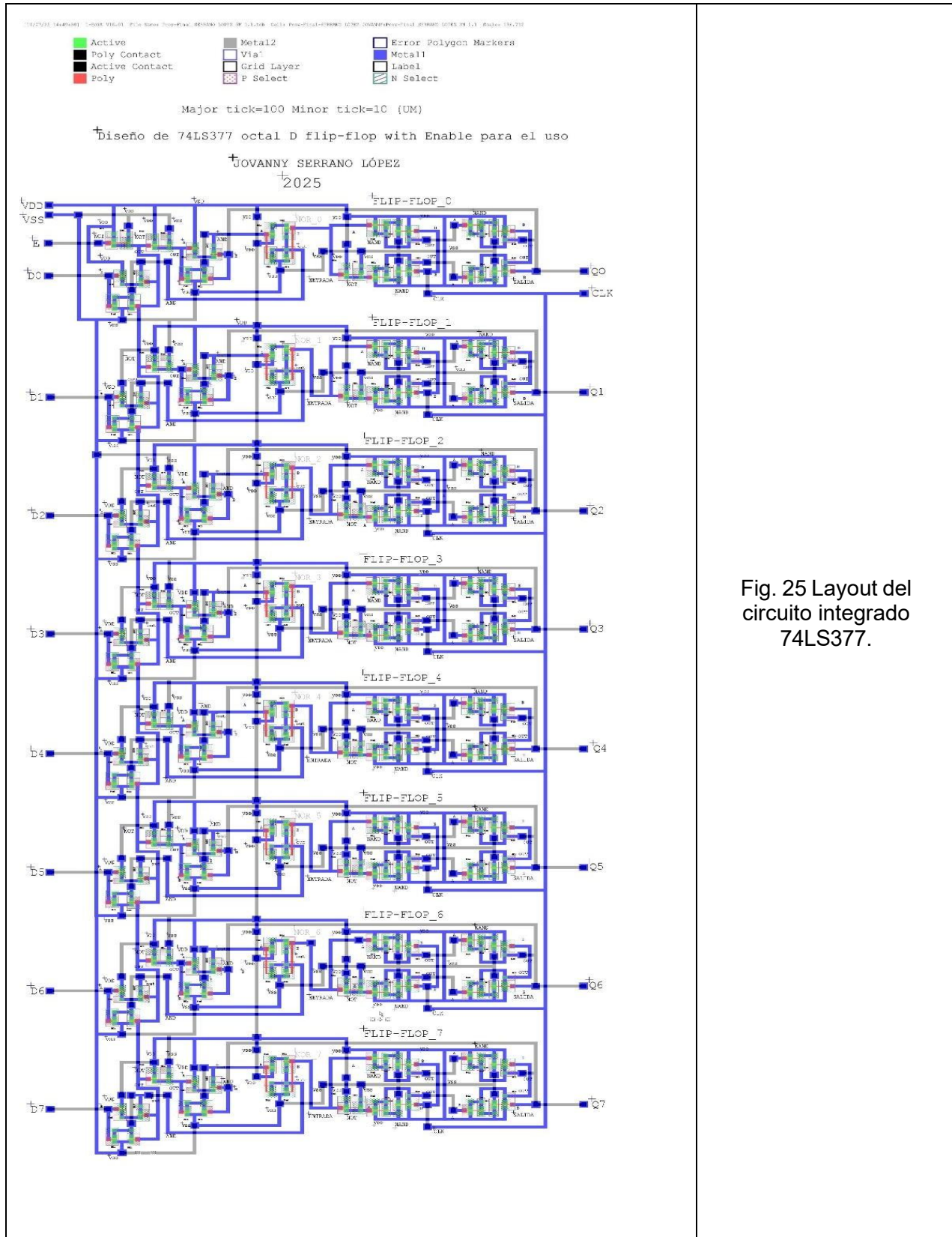


Fig. 25 Layout del circuito integrado 74LS377.

Capítulo 3 Conclusiones

Los resultados obtenidos demuestran el comportamiento esperado para 74LS377 octal D flip-flop with Enable para el uso introductorio a la tecnología 6G de los dispositivos MOSFET. El transistor NMOS presenta un voltaje umbral de aproximadamente 75 mV y una corriente máxima cercana a 1.04 mA, mientras que el PMOS presenta un voltaje umbral de -1.17 V y una corriente máxima de aproximadamente 0.227 mA. Las curvas características obtenidas validan el modelo teórico utilizado y permiten verificar las regiones de operación de los transistores. Los diagramas esquemáticos y las simulaciones fueron desarrollados con el software NI Multisim 14.0 y los layouts de las compuertas, Flip-flop y del circuito integrado completo fueron desarrollados con el software L-Edit The Layout Editor de Tanner EDA V16.01.

Para este proyecto fue posible comprender la importancia de los transistores MOSFET NMOS y PMOS que permitió identificar los parámetros como el voltaje umbral, la movilidad de los portadores, la capacitancia del óxido y las dimensiones del canal influyen directamente en el comportamiento eléctrico de los dispositivos y en su capacidad para conducir corriente.

Se comprobó el funcionamiento del circuito integrado 74LS377, un registro octal tipo D con entrada de habilitación (Enable). Sus características principales destacan su capacidad para almacenar 8 bits de información al mismo tiempo, operar mediante una señal de reloj común y mantener la información almacenada hasta recibir una nueva actualización. Estas características lo convierten en un componente útil para aplicaciones de memoria temporal, interfaces digitales y sistemas secuenciales.

Los resultados obtenidos permitieron comprobar que el transistor NMOS presenta una mayor capacidad de conducción de corriente debido a la mayor movilidad de los electrones, mientras que el transistor PMOS complementa su funcionamiento dentro de la tecnología CMOS, utilizada actualmente en la fabricación de microprocesadores, memorias y circuitos integrados.

El estudio de los transistores MOSFET y de dispositivos lógicos como el 74LS377 proporciona una visión integral del funcionamiento de los sistemas electrónicos modernos. Estos

componentes constituyen la base del procesamiento y almacenamiento de información en dispositivos tecnológicos actuales y seguirán siendo fundamentales en el desarrollo de nuevas aplicaciones relacionadas con la inteligencia artificial, el Internet de las Cosas (IoT), y las futuras redes de comunicación 6G y, continúa siendo de gran relevancia debido a que estos dispositivos constituyen la base de los circuitos integrados más modernos, todos los microprocesadores, memorias y sistemas de comunicación de alta velocidad. En particular, el desarrollo de tecnologías emergentes como las redes 6G demandará circuitos integrados cada vez más rápidos al grado de conmutación en gigabytes y terabytes, más eficientes y de menor consumo energético. Para lograrlo, es necesario optimizar los transistores MOSFET mediante nuevas arquitecturas, materiales avanzados y procesos de fabricación a escala nanométrica.

El circuito integrado 74LS377 octal D flip-flop with Enable tiene como ventajas principales:

- Facilita la sincronización de datos mediante una sola señal de reloj.
- Muy utilizado en prácticas de electrónica digital y sistemas secuenciales.
- Diseño robusto y fácil de implementar.
- Almacenamiento confiable de datos
- Mantiene la información almacenada sin alteraciones hasta que se aplica un nuevo pulso de reloj válido.
- Carga simultánea de información los 8 bits se almacenan al mismo tiempo, mejorando la velocidad de transferencia de datos.
- Control mediante Enable la entrada de habilitación permite decidir cuándo se deben capturar los datos, aumentando la flexibilidad del circuito.
- Alta compatibilidad puede integrarse fácilmente con otros dispositivos de la familia TTL 74LS.
- No requiere circuitos complejos de control su operación es sencilla y puede implementarse con pocos componentes adicionales.
- Ideal para prácticas académicas
- Permite comprender conceptos fundamentales como registros, almacenamiento de datos, sincronización y lógica secuencial.
- Adecuado para sistemas de adquisición de datos permite capturar información de sensores o dispositivos externos de manera sincronizada.

Sus desventajas:

- No posee salidas Tri-State, por lo que no puede conectarse directamente a buses compartidos.
- Consume más potencia que dispositivos CMOS modernos.
- Requiere una alimentación de 5 V, la tecnología nueva requiere 3.3v
- Solo puede almacenar 8 bits.
- Menor velocidad y eficiencia energética comparado con familias CMOS (74HC, 74HCT).
- Tecnología considerada antigua para diseños de alta integración.

Las aplicaciones más utilizadas son:

- Registros de almacenamiento temporal.
- Interfaces entre microprocesadores y periféricos.
- Sistemas digitales secuenciales.
- Contadores y controladores.
- Transferencia paralela de datos.
- Sistemas de comunicación digital.
- Proyectos educativos de electrónica digital.

Bibliografía

1. Tony R. Kuphaldt, (2004), Lessons in Electric Circuits, Volume IV - Digital, Fourth Edition, last update July 30, 2004, disponible en <http://www.ibiblio.org/obp>
2. Fairchild Semiconductors, (2000), Hoja de especificaciones del DM74LS377, disponible en www.fairchildsemi.com
3. Texas Instruments. (1988). OCTAL, HEX, AND QUAD D-TYPE FLIP-FLOPS WITH ENABLE.
4. ON Semiconductor. (1999). *SN74LS377/D SN74LS377 Octal D*. <http://onsemi.com>
5. Motorola. (n.d.). 5-533 FAST AND LS TTL DATA OCTAL D FLIP-FLOP WITH ENABLE.
6. Fairchild. (1988). DM74LS377 Octal D-Type Flip-Flop with Common Enable and Clock. www.fairchildsemi.com
7. Samsung, 6G, Spectrum Expanding the Frontier, (2020), Available at <https://news.samsung.com/global/samsungs-6g-white-paper-lays-out-the-companys-visionfor-the-next-generation-of-communications-technology>, July 2020.
8. Dan Warren, Samsung, (2020), 6G The NextHyper-ConnectedExperience for All,
9. Mano, M. M., & Ciletti, M. D. (2017). Digital Design (6th ed.). Pearson.
10. Tataria, H., et al. (2020). *6G Wireless Systems: Vision, Requirements, Challenges, Insights, and Opportunities*. arXiv. <https://arxiv.org/abs/2008.03213>
11. Razavi, B. (2015). Fundamentals of Microelectronics (2nd ed.). Wiley.
12. Sedra, A. S., & Smith, K. C. (2020). Microelectronic Circuits (8th ed.). Oxford University Press.
13. Streetman, B. G., & Banerjee, S. K. (2016). Solid State Electronic Devices (7th ed.). Pearson.