



Universidad Autónoma del Estado de Hidalgo

Instituto de Ciencias Básica e Ingeniería

Área Académica de Computación y Electrónica

Implementación de un circuito integrado 74LS148 con tecnología CMOS

Tesis que presenta

Juan Pablo Ocampo Flores

Para obtener el grado de

Licenciado en Ingeniería en Electrónica

Director de Tesis

Dr. José Luis González Vidal

Codirector

Dr. Esteban Rueda Soriano



ÁREA ACADÉMICA DE COMPUTACIÓN

Pachuca de Soto, junio de 2026



Universidad Autónoma del Estado de Hidalgo

Instituto de Ciencias Básicas e Ingeniería

School of Engineering and Basic Sciences

Dirección

Office of the Director

Mineral de la Reforma, Hgo., a 14 de mayo de 2026

Número de control: ICBI-D/944/2026

Asunto: Autorización de impresión.

MTRA. OJUKY DEL ROCÍO ISLAS MALDONADO DIRECTORA DE ADMINISTRACIÓN ESCOLAR DE LA UAEH

Con Título Quinto, Capítulo II, Capítulo V, Artículo 51 Fracción IX del Estatuto General de nuestra Institución, por este medio, le comunico que el Jurado asignado al egresado de la Licenciatura en Ingeniería en Electrónica **Juan Pablo Ocampo Flores**, quien presenta el trabajo de titulación "**Implementación de un circuito integrado 74LS148 con tecnología CMOS**", ha decidido, después de revisar fundamento en lo dispuesto en el Título Tercero, Capítulo I, Artículo 18 Fracción IV; dicho trabajo en la reunión de sinodales, **autorizar la impresión del mismo**, una vez realizadas las correcciones acordadas.

A continuación, firman de conformidad los integrantes del Jurado:

Presidente: Ing. Emmanuel Gutiérrez Rojas

Secretario: Dr. Heberto Gómez Pozos

Vocal: Dr. José Luis González Vidal

Suplente: Dr. Esteban Rueda Soriano

Sin otro particular por el momento, reciba un cordial saludo.

Atentamente
"Amor, Orden y Progreso"

Dr. Gabriel Vergara Rodríguez
Director de ICBI



GVR/MMM

"Amor, Orden y Progreso"



Ciudad del Conocimiento, Carretera Pachuca-Tulancingo
Km. 4.5 Colonia Carboneras, Mineral de la Reforma, Hidalgo,
México. C.P 42184

Teléfono: 52 (771) 71 720 00 Ext. 40001

direccion_icbi@uaeh.edu.mx, vergara@uaeh.edu.mx

uaeh.edu.mx

Agradecimientos

Agradezco a la Universidad Autónoma del Estado de Hidalgo por brindarme el espacio, los recursos y la formación necesaria durante estos años de estudio y preparación.

Al Dr. José Luis González Vidal, por su guía, paciencia y compromiso con la excelencia académica. Sus observaciones, conocimiento y apoyo fueron fundamentales para el desarrollo y culminación de esta investigación

A mis amigos y compañeros de carrera, que estuvieron ahí en los momentos clave dentro y fuera del aula: Rosaura, Erik, Barrera, Andrea, Emmanuel, Emanuel, Acolt y Roberto.

A mi hermano Axilh por hacerme sentir acompañado en todo momento. A mis primos Reyna, Alejandro, Mariano, Ivan, Vladi y Araceli por ser para mí un gran ejemplo y una presencia constante, como verdaderos hermanos mayores y apoyarme cuando lo necesito.

A Pietro por ser mi compañero de aventuras y cómplice más leal.

Finalmente mi tía Margarita y mi madre Antonia por amor incondicional, sacrificio y esfuerzo constante que me han permitido llegar. Este logro también les pertenece, pues es el reflejo de todo el apoyo, confianza y motivación que me han brindado a lo largo de mi vida. Sin ustedes no hubiera llegado donde estoy.

A todas las personas que de una u otra forma contribuyeron a mi formación académica y personal, mi más sincero agradecimiento.

Resumen

Este proyecto explicará las ventajas de la tecnología CMOS (Complementary Metal Oxide Semiconductor por sus siglas en inglés), frente a la TTL (Transistor-Transistor Logic, por sus siglas en inglés), de un codificador prioritario 74LS148, así como las diferencias de consumos de potencia.

Las etapas de diseño se explicarán desde sus cálculos necesarios para poder modificar la W (ancho) y L (Largo) del canal de los transistores PMOS y NMOS a realizar, todo esto para poder implementar diferentes compuertas lógicas que se aplicarán estas, siendo las AND, NAND, NOR, NOT y BUFFER INVERSOR para el CI 74LS148. Se mejora el consumo de potencia y el rango de voltaje de operación, terminando con la simulación de su layout para ser un circuito integrado, comparándolo con el modelo base.

Palabras clave: Circuito Integrado, TTL, CMOS, codificador.

Abstract

This project will explain the advantages of CMOS (Complementary Metal Oxide Semiconductor) technology versus TTL (Transistor-Transistor Logic) technology for a 74LS148 priority encoder, as well as the differences in power consumption.

The design stages will be explained, starting with the calculations required to modify the W (width) and L (length) of the PMOS and NMOS transistor channels to be created. This will be done in order to implement different logic gates, such as AND, NAND, NOR, NOT, and BUFFER NEGATE, for the 74LS148 IC. This project will improve power consumption and the applicable voltage range, culminating in the simulation of its layout to become an integrated circuit, comparing it with the base model.

Keywords: Integrated circuit, TTL, CMOS, encoder.

Índice general

1 MARCO TEÓRICO	10
1.1 Antecedentes	10
1.2 Problemática	13
1.3 Fundamentos teóricos	14
1.3.1 <i>Sistemas digitales y codificadores (encoders)</i>	14
1.4 Objetivos	14
1.4.1 <i>Objetivo general</i>	14
1.4.2 <i>Objetivos específicos</i>	15
2 METODOLOGÍA	16
2.1 Diagrama Esquemático	16
2.2 Cálculos	17
2.3 Parámetros de simulación	23
3 LAYOUT Y FUNCIONAMIENTO	46
3.1 Layout	46
3.2 Funcionamiento	56
4 CONCLUSIONES Y RECOMENDACIONES	58
4.1 Conclusiones	58
4.2 Recomendaciones:	59
5 GLOSARIO	60
6 BIBLIOGRAFÍA	61
ANEXO 1 PRODUCTOS	62

Índice de figuras

Figura 1.1 Curvas características de transferencias generales para ambos transistores.	11
Figura 1.2 Curva del Transistor NMOS.	11
Figura 1.3 Curva del Transistor PMOS.	12
Figura 2.1 Diagrama esquemático del circuito integrado 74LS148.	16
Figura 2.2 Curva del Transistor NMOS desarrollado.	21
Figura 2.3 Curva del Transistor PMOS desarrollado.	22
Figura 2.4 Compuerta AND con dos Entradas.	23
Figura 2.5 Bloque jerárquico de la Compuerta AND con dos entradas.	23
Figura 2.6 Circuito interno del bloque jerárquico de la compuerta AND con dos entradas.	24
Figura 2.7 Simulación de la Compuerta AND con dos entradas.	24
Figura 2.8 Simulación de bloque jerárquico de la compuerta AND con dos entradas.	24
Figura 2.9 Compuerta AND con tres entradas.	25
Figura 2.10 Bloque jerárquico de la compuerta AND con tres entradas.	25
Figura 2.11 Circuito interno del bloque jerárquico de la compuerta AND con tres entradas.	26
Figura 2.12 Simulación de la compuerta AND con tres entradas.	26
Figura 2.13 Simulación de bloque jerárquico de la compuerta AND con tres entradas.	27
Figura 2.14 Diagrama esquemático de la compuerta AND de 4 entradas.	27
Figura 2.15 Bloque jerárquico de la compuerta AND con cuatro entradas.	28
Figura 2.16 Circuito interno del bloque jerárquico de la Compuerta AND con cuatro entradas.	28
Figura 2.17 Simulación de la compuerta AND de cuatro entradas.	29
Figura 2.18 Simulación de bloque jerárquico de la compuerta AND con cuatro entradas.	29
Figura 2.19 Diagrama esquemático de la compuerta AND de cinco entradas.	30
Figura 2.20 Bloque jerárquico de la compuerta AND con cinco entradas.	30
Figura 2.21 Circuito interno del bloque jerárquico de la Compuerta AND con cinco entradas.	31
Figura 2.22 Simulación de la compuerta AND de cinco entradas.	31
Figura 2.23 Simulación de bloque jerárquico de la compuerta AND con cinco entradas.	32
Figura 2.24 Diagrama esquemático de la compuerta NAND de dos entradas.	32
Figura 2.25 Bloque jerárquico de la compuerta NAND con dos entradas.	33
Figura 2.26 Circuito interno del bloque jerárquico de la Compuerta NAND con dos entradas.	33
Figura 2.27 Simulación de la compuerta NAND de nueve entradas.	34
Figura 2.28 Simulación de bloque jerárquico de la compuerta NAND de dos entradas.	34
Figura 2.29 Diagrama esquemático de la compuerta NAND de nueve entradas.	35
Figura 2.30 Bloque jerárquico de la compuerta NAND con nueve entradas.	36
Figura 2.31 Circuito interno del bloque jerárquico de la Compuerta NAND con nueve entradas.	37
Figura 2.32 Simulación de la compuerta NAND de nueve entradas.	37

Figura 2.33 Simulación de bloque jerárquico de la compuerta NAND con nueve entradas.	38
Figura 2.34 Diagrama esquemático de la compuerta NOR de cuatro entradas.	39
Figura 2.35 Circuito interno del bloque jerárquico de la compuerta NOR de cuatro entradas.	40
Figura 2.36 Simulación de la compuerta NOR de cuatro entradas.	40
Figura 2.37 Simulación de bloque jerárquico de la compuerta NOR de cuatro entradas.	41
Figura 2.38 Diagrama esquemático del buffer inversor.	41
Figura 2.39 Bloque jerárquico del buffer inversor.	42
Figura 2.40 Circuito interno del bloque jerárquico del buffer inversor.	42
Figura 2.41 Simulación del buffer inversor.	42
Figura 2.42 Simulación de bloque jerárquico del buffer inversor.	43
Figura 2.43 Diagrama esquemático del inversor.	43
Figura 2.44 Bloque jerárquico del inversor.	44
Figura 2.45 Circuito interno del bloque jerárquico del inversor.	44
Figura 2.46 Simulación del inversor.	45
Figura 2.47 Simulación de bloque jerárquico del inversor.	45
Figura 3.1 Layout de la Compuerta AND de dos entradas.	46
Figura 3.2 Layout de la Compuerta AND de tres entradas.	47
Figura 3.3 Layout de la Compuerta AND de cuatro entradas.	48
Figura 3.4 Layout de la Compuerta AND de cinco entradas.	49
Figura 3.5 Layout de la Compuerta NAND de dos entradas.	50
Figura 3.6 Layout de la Compuerta NAND de nueve entradas.	51
Figura 3.7 Layout de la Compuerta NOR de CUATRO entradas.	52
Figura 3.8 Layout de la Compuerta NOT (inversor).	53
Figura 3.9 Layout del BUFFER con entrada invertida.	54
Figura 3.10 Layout del circuito integrado del 74LS148 completo.	55

Índice de tablas

Tabla 1 Tabla de verdad del circuito integrado 74LS148	17
Tabla 2 Tabla de Verdad de los resultados obtenidos	56

1 MARCO TEÓRICO

1.1 Antecedentes

En la industria de los semiconductores a nivel mundial la tecnología TTL es la más utilizada, como un consumo de potencia media además de ser una opción de bajo costo. A pesar de eso la Tecnología CMOS con el paso del tiempo ha ganado relevancia por sus amplias ventajas entre las que se encuentran menor consumo de energía, mayor tolerancia al ruido, diseño mucho más sencillo y conmutación con mayor rapidez. [1,10]

Los transistores MOS (Metal Oxide Semiconductor) son dispositivos semiconductores de cuatro terminales Fuente (S), drenador (D), Compuerta (G) y sustrato o bulk (B), las cuales son formados por un sustrato de silicio dopado, sobre el cual se hace crecer una capa de óxido de silicio (SiO_2), las regiones que conforman la fuente y el drenador se forman mediante procesos de implantación iónica. La estructura se compara con un condensador o capacitor, donde una de las placas corresponde a la compuerta y la otra al sustrato, mientras que el óxido de silicio actúa como dieléctrico. Esta analogía es válida para explicar el control del canal, ya que la compuerta se encuentra eléctricamente aislada del canal por la capa de SiO_2 , [2,4,10]

Hay dos tipos de transistores MOS: PMOS (MOS tipo p o canal p) y NMOS (MOS tipo n o canal n). Por consiguiente, un dispositivo de canal n requiere un

voltaje positivo de compuerta a fuente V_{gs} y un dispositivo de canal p requiere un voltaje negativo de compuerta a fuente V_{sg} . [3]

En la Figura 1.1 muestra las curvas características de transferencias generales para ambos tipos de MOSFET y, en la Figura 1.2 se muestra la curva característica corriente-voltaje (IV) de un transistor NMOS (IV); también se muestra la curva característica corriente-voltaje (IV) de un transistor PMOS (IV) (Figura 1.3).

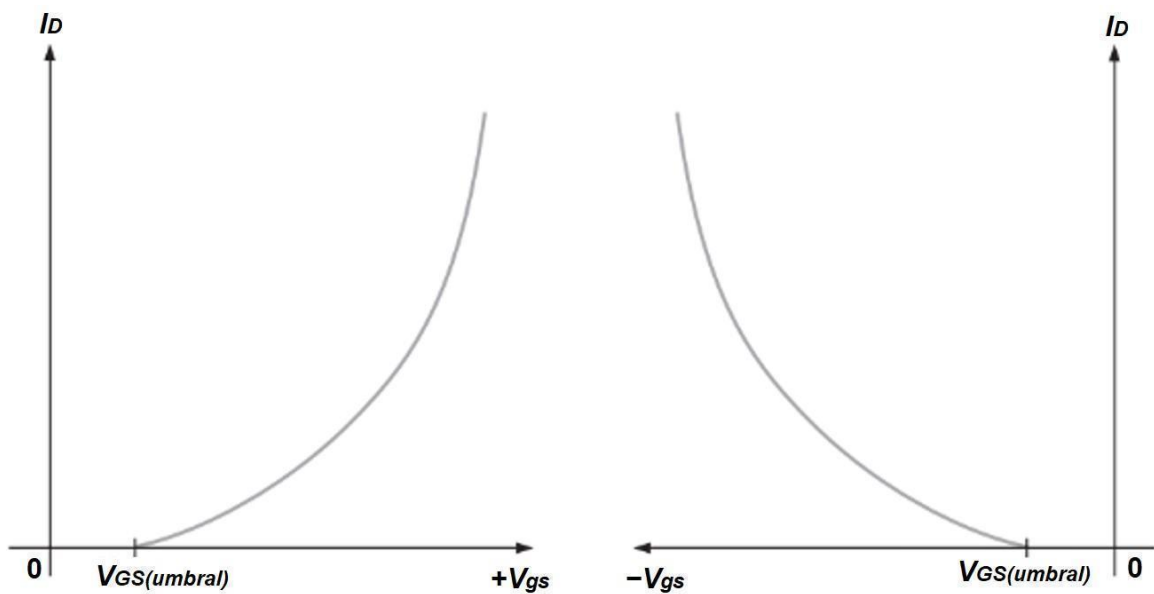


Figura 1.1 Curvas características de transferencias general para ambos transistores

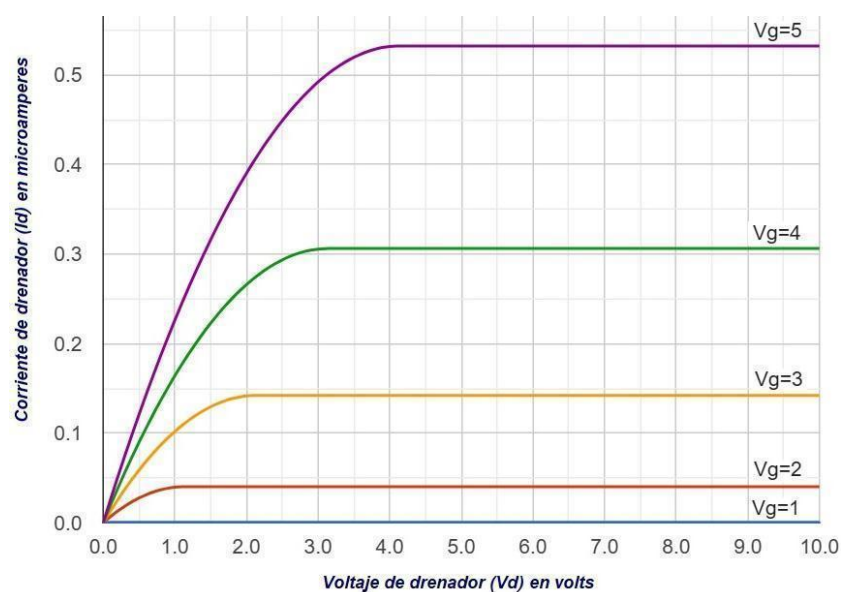


Figura 1.2 Curva del Transistor NMOS

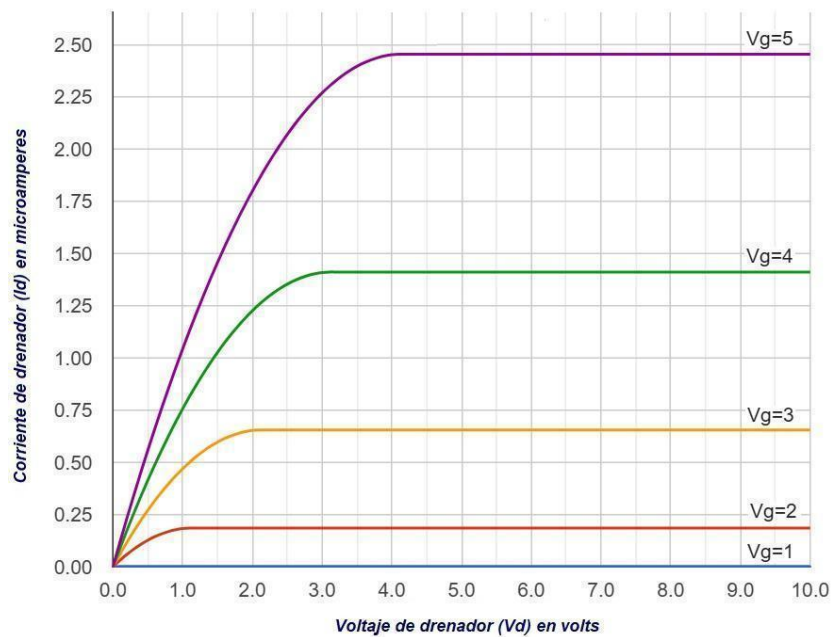


Figura 1.3 Curva del Transistor PMOS

La principal característica de los CMOS consiste en el conjunto de transistores de tipo PMOS y NMOS configurados de tal manera que, en estado de reposo, el consumo de energía es debido a las corrientes parásitas. [2]

Para el diseño de circuitos integrados, se pueden utilizar varias plataformas basadas en la automatización de diseño electrónico (electronic design automation, EDA); pero existe uno de gran utilidad, el Tanner EDA de Mentor Graphics, es una suite de productos para el diseño personalizado de circuitos integrados (CI), señales analógicas/mixtas (AMS) y sistemas micro electromecánicos (MEMS). Tras la repentina demanda del Internet de las Cosas (IoT) crea requisitos únicos para un entorno de diseño de flujo completo y señales mixtas, asequible y fácil de usar, pero con la potencia suficiente para crear la amplia gama de productos necesarios para la implementación del IoT. Si bien varios proveedores de herramientas EDA ofrecen software para diseños AMS, estas herramientas tienen elevado costo (baja relación calidad-precio) o son soluciones puntuales personalizadas que requieren una gran cantidad de manipulación de datos e integración manual. El flujo de diseño de CI Tanner EDA AMS tiene una posición única. Ofrece una suite de diseño de señales

mixtas cohesiva e integrada, ideal para el IoT y el diseño basado en proyectos, gracias a sus tiempos de ciclo extremadamente cortos y su sensibilidad al costo.

1.2 Problemática

En la electrónica moderna la tecnología CMOS se ha consolidado como la más utilizada en el diseño de circuitos integrados digitales, debido a sus múltiples ventajas frente a tecnologías anteriores como TTL. Dentro de las ventajas de la tecnología CMOS son su amplio rango de operación de voltaje, alta impedancia de entrada, bajo consumo de potencia, tiempos de conmutación mejorados y menores niveles de ruido. Siendo una de sus pocas desventajas los costos de producción mayores en comparación a la tecnología TTL. Por su eficiencia energética y escalabilidad la han convertido en la tecnología predominante en la actualidad.

El 74LS148 es un circuito que se utiliza bastante para las personas que están empezando con la electrónica debido a la facilidad de uso y facilidad de obtención. Comúnmente se suelen acompañar de placas de desarrollo, tales como Arduino, Raspberry Pi Pico y/o ESP32. Una desventaja es que sus voltajes lógicos son diferentes, por ejemplo 3.3 V o 5V. Nuestro CI puede utilizar cualquiera de estos voltajes sin ningún inconveniente para que sea aún más fácil para nuevos usuarios familiarizarse con los niveles lógicos de los Circuitos Integrados

La finalidad es optimizar el consumo y tentativamente el tamaño del Circuito Integrado 74LS148.

1.3 Fundamentos teóricos

1.3.1 Sistemas digitales y codificadores (encoders)

1.3.1.1 Sistemas Digitales

Es una representación discreta de un proceso, utilizando sistemas numéricos como el binario. Siendo algunas de sus principales ventajas la sencillez y precio en comparación a los sistemas análogos, al tener que manejar menos valores, más seguros y precisos y finalmente mejor resistencia a interferencias y ruidos externos. [9,10]

1.3.1.2 Codificadores (encoders)

Un codificador es un circuito combinacional con N número de entradas donde cada una de las entradas representa un dígito decimal, su función es obtener a la salida el código binario correspondiente a la entrada activada. [9,10]

1.4 Objetivos

1.4.1 Objetivo general

Diseñar un encoder 74LS148 con transistores de la tecnología CMOS en un circuito integrado.

1.4.2 Objetivos específicos

Revisar una bibliográfica para estudio del funcionamiento de los encoders y sus componentes internos.

Calcular las dimensiones de longitudes (L) y ancho (W) de los transistores NMOS y PMOS

Simular las compuertas utilizadas internamente por el encoder 74LS148, para verificar su correcto funcionamiento.

Diseñar el layout de las compuertas utilizadas por el encoder 74LS147, con el software L-Edit de Mentor Graphics.

Diseñar el layout del encoder 74LS148, con el software L-Edit de Mentor Graphics.

2 Metodología

2.1 Diagrama Esquemático

Hacer la descripción del chip mencionando terminales de entrada, terminales de salida, compuertas utilizadas, función de las entradas EI, EO y GS.

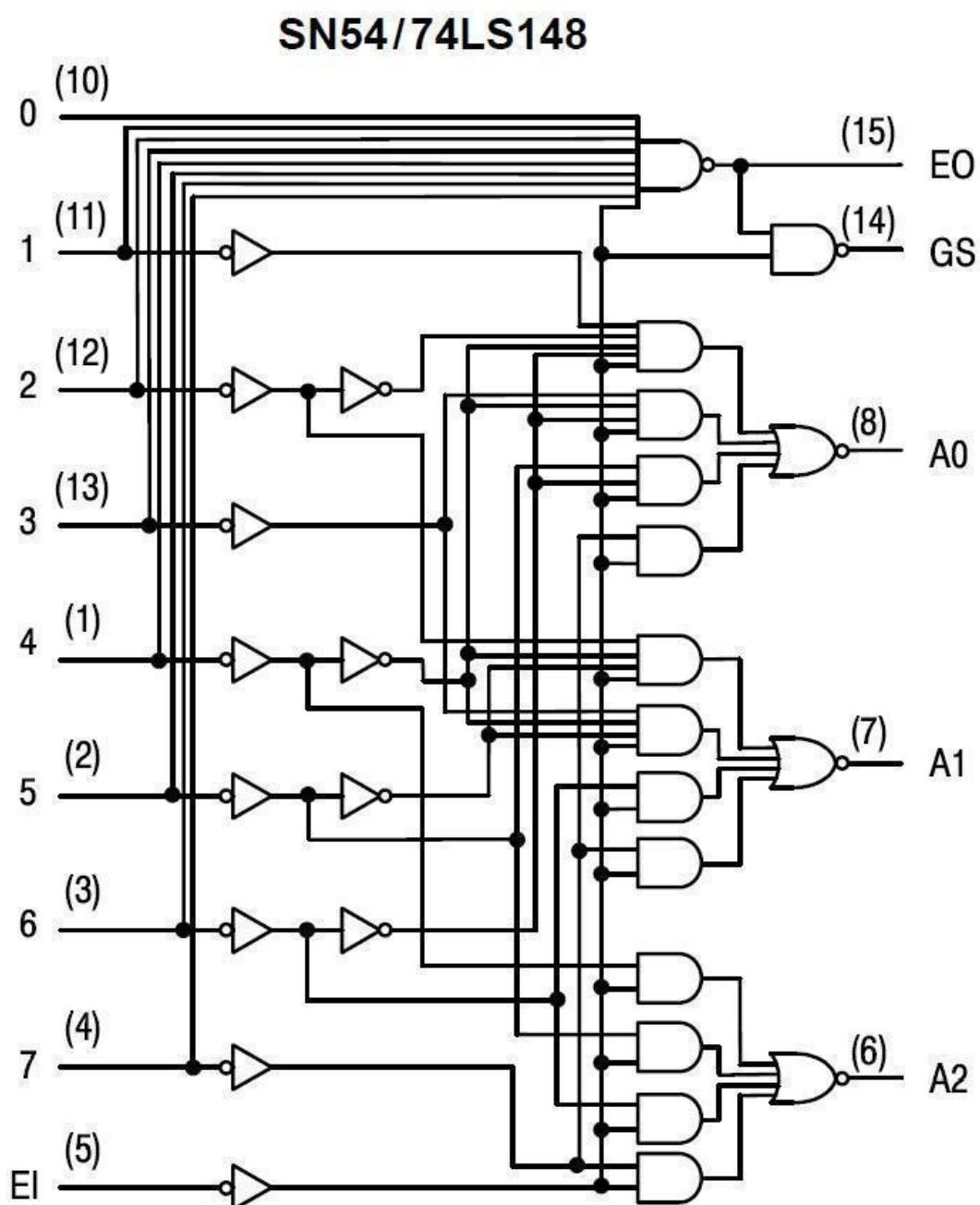


Figura 2.1 Diagrama esquemático del circuito integrado 74LS148.

Tabla de verdad del 74LS148

Entradas									Salidas				
EI	0	1	2	3	4	5	6	7	A2	A1	A0	GS	EO
H	X	X	X	X	X	X	X	X	H	H	H	H	H
L	H	H	H	H	H	H	H	H	H	H	H	H	L
L	X	X	X	X	X	X	X	L	L	L	L	L	H
L	X	X	X	X	X	X	L	H	L	L	H	L	H
L	X	X	X	X	X	L	H	H	L	H	L	L	H
L	X	X	X	X	L	H	H	H	L	H	H	L	H
L	X	X	X	L	H	H	H	H	H	L	L	L	H
L	X	X	L	H	H	H	H	H	H	L	H	L	H
L	X	L	H	H	H	H	H	H	H	H	L	L	H
L	L	H	H	H	H	H	H	H	H	H	H	L	H

H = Nivel lógico alto, L = Nivel lógico bajo, X = No importa

Tabla 1 Tabla de verdad del circuito integrado 74LS148

2.2 Cálculos

Las siguientes ecuaciones se emplearon para determinar el L y W, posteriormente calcular las IDS de los transistores NMOS y PMOS para las compuertas lógicas utilizadas, únicamente primeramente se debe de conocer el voltaje de umbral de ambos transistores siendo (1) para NMOS y (2) para PMOS.

$$V_{THN} = V_{FB} + 2\phi_{bn} + \frac{\sqrt{2\epsilon_{si}qNA2\phi_{bn}}}{C_{ox}} \quad (1)$$

$$V_{THP} = V_{FB} - |2\phi_{bp}| - \frac{\sqrt{2\epsilon_{si}qND|2\phi_{bp}|}}{C_{ox}} \quad (2)$$

$$\phi_b = \frac{kT}{q} \ln \ln \frac{NA}{n_i} \quad (3)$$

$$C_{ox} = \frac{\epsilon_{siO_2}}{t_{ox}} \quad (4)$$

Donde:

V_{TH} : Voltaje de umbral

V_{fb} : Voltaje de banda plana (-0.9V para (1) y -0.2V para (2))

ϕ_b : Potencial del sustrato

ϵ_{si} : Permitividad del silicio ($1.06 \cdot 10^{-12}$ F/cm)

q : Carga del electrón ($1.6 \cdot 10^{-19}$ C)

N_A : Densidad de los portadores

C_{ox} : Capacitancia del óxido de Compuerta

k : Constante de Boltzman ($1.381 \cdot 10^{-23}$ J/K)

T : Temperatura en grados Kelvin

n_i : Concentración intrínseca del silicio ($1.5 \cdot 10^{10}$ cm⁻³)

ϵ_{siO_2} : Permitividad del óxido de silicio ($3.4554 \cdot 10^{-13}$ F/cm)

t_{ox} : Espesor del aislante de la compuerta

Una vez definidas las fórmulas se procede a sustituir los valores. Para esto N_A y N_D la fijamos en $1.1 \cdot 10^{16}$ cm⁻³ y el t_{ox} de 65nm que es igual a $6.5 \cdot 10^{-6}$ cm.

Lo primero es definir el potencial del sustrato (3) a una temperatura de 300 Kelvin equivalente a 26.85° Celsius.

$$\phi_{bn} = \phi_{bp} = \frac{(1.381 \cdot 10^{-23} \text{ J/K})(301.3 \text{ K})}{1.6 \cdot 10^{-19} \text{ C}} * \ln\left(\frac{1.1 \cdot 10^{16} \text{ cm}^{-3}}{1.5 \cdot 10^{10} \text{ cm}^{-3}}\right) = 349.7 \text{ mV} \quad (5)$$

Además de esto se tiene que calcular la capacitancia del óxido de la compuerta con la ecuación (4)

$$C_{ox} = \frac{3.4554 \cdot 10^{-13} \text{ F/cm}^{-3}}{6.5 \mu \text{ cm}} = 53.16 \text{ nF/cm}^2 \quad (6)$$

Con los resultados anteriores se pueden calcular los voltajes de umbrales de los NMOS (1)

$$V_{THN} = -0.9 \text{ V} + 2(349.7 \text{ mV}) + \frac{\sqrt{2(1.06 \cdot 10^{-12} \frac{\text{F}}{\text{cm}})(1.6 \cdot 10^{-19} \text{ C})(1.1 \cdot 10^{16} \text{ cm}^{-3})(2 \cdot 349.7 \text{ mV})}}{53.16 \text{ n} \frac{\text{F}}{\text{cm}^2}} \quad (7)$$
$$V_{THN} = 760.35 \text{ mV}$$

Prosiguiendo con el PMOS

$$V_{THp} = -0.2V - 2|349.7mV| - \frac{\sqrt{2(1.06 \times 10^{-12} \frac{F}{cm})(1.6 \times 10^{-19} C)(1.1 \times 10^{16} cm^{-3})|2(349.7mV)|}}{53.16nF/cm^2}$$

$$V_{THp} = -1.46V \quad (8)$$

A continuación, se calculan las W de los transistores, a partir de una corriente y el L que se consideren con la ecuación (11)

$$\beta_n = \frac{\mu_n^* \epsilon_{SiO_2}}{t_{ox}} \frac{W}{L} \quad (9)$$

$$\beta_p = \frac{\mu_p^* \epsilon_{SiO_2}}{t_{ox}} \frac{W}{L} \quad (10)$$

$$I_{ds} = \frac{\beta_n (V_{gs} - V_{thn})^2}{2} \quad (11)$$

$$I_{sd} = \frac{\beta_p (V_{sg} - |V_{thp}|)^2}{2} \quad (12)$$

Donde:

β_n : Constante Beta para los transistores NMOS

β_p : Constante Beta para los transistores PMOS

μ_n : Movilidad Superficial de los portadores (500cm²/V-sec)

μ_p : Movilidad Superficial de los portadores (180cm²/V-sec)

ϵ_{SiO_2} : Permitividad del óxido de silicio (3.454*10⁻¹³ F/cm)

t_{ox} : Espesor del aislante de la compuerta

W: Ancho de la compuerta

L: Largo de la compuerta

I_{ds} : Corriente entre el drenaje y la fuente.

V_{gs} : Voltaje de compuerta a fuente

V_{TH} : Voltaje de umbral

V_{gs} : Voltaje compuerta fuente

Antes se tiene que calcular β_n con (9)

$$\beta_n = \frac{\left(\frac{500\text{cm}^2}{V_{sec}}\right)\left(3.4554*10^{-13}\frac{F}{cm}\right)}{6.5\mu\text{cm}} \frac{W}{L} \quad (13)$$

$$\beta_n = 26.58\mu \frac{A}{V^2} \frac{W}{L}$$

Prosiguiendo con PMOS (10) se obtiene

$$\beta_p = \frac{\left(\frac{180\text{cm}^2}{V_{sec}}\right)\left(3.4554*10^{-13}\frac{F}{cm}\right)}{6.5\mu\text{cm}} \frac{W}{L} \quad (14)$$

$$\beta_p = 9.5688\mu \frac{A}{V^2} \frac{W}{L} \approx 9.57\mu \frac{A}{V^2} \frac{W}{L}$$

A continuación, se calcula la W proponiendo para L a 0.5μm, un voltaje de V_{gs} de 5 V y la corriente I_{ds} de 85μA con (11) para el transistor NMOS

$$I_{ds} = \beta_n \frac{(V_{gs} - V_{thn})^2}{2} = 26.58\mu \frac{A}{V^2} \frac{W}{L} \frac{(V_{gs} - V_{thn})^2}{2} \quad (15)$$

$$I_{ds} = 26.58\mu \frac{A}{V^2} \frac{W}{L} \frac{(5V - 760.35mV)^2}{2} = 238.88\mu A \frac{W}{L} \approx 239\mu A \frac{W}{L}$$

$$85\mu A = 239\mu A \frac{W_n}{0.5\mu m} \therefore W = \frac{85\mu A(0.5\mu m)}{239\mu A}$$

$$W_n = 177.8nm \approx 0.18\mu m$$

Y para el PMOS se propuso una corriente I_{sd} de 100μA con L nuevamente de 0.5μm, junto con el voltaje de V_{sg} de 5V (12)

$$I_{sd} = 9.57\mu \frac{A}{V^2} \frac{(5V - |-1.46V|)^2}{2} * \frac{W}{L} \quad (16)$$

$$I_{sd} = 59.96\mu A * \frac{W_p}{L} \therefore W_p = \frac{100\mu A * 0.5\mu m}{59.96\mu A} = 833.889nm$$

$$W_p \approx 0.83\mu m$$

Comparación de Niveles Lógicos de 5V y 3.3V

Una ventaja de los CMOS es poder utilizar diferentes niveles de voltaje para su funcionamiento de 3 a 1.8V [4]. Muchos de los microcontroladores actuales están implementando niveles lógicos de 3.3V, por lo que en el CI propuesto puede ser útil para este tipo de aplicaciones [6], [7], [8].

A partir de las ecuaciones (11) y (12) se sustituyen los voltajes de V_{gs} y V_{sg} a 3.3V para demostrar los consumos más bajos

Para NMOS

$$I_{ds} = 26.58 \mu \frac{A}{V^2} \frac{0.18 \mu m}{0.5 \mu m} \frac{(3.3V - 760.35mV)^2}{2} = 30.8585 \mu A \approx 30.86 \mu A \quad (17)$$

Y PMOS

$$I_{sd} = 9.57 \mu \frac{A}{V^2} \frac{(3.3V - |-1.46V|)^2}{2} * \frac{0.83 \mu m}{0.5 \mu m} = 26.8921 \mu A \approx 27 \mu A \quad (18)$$

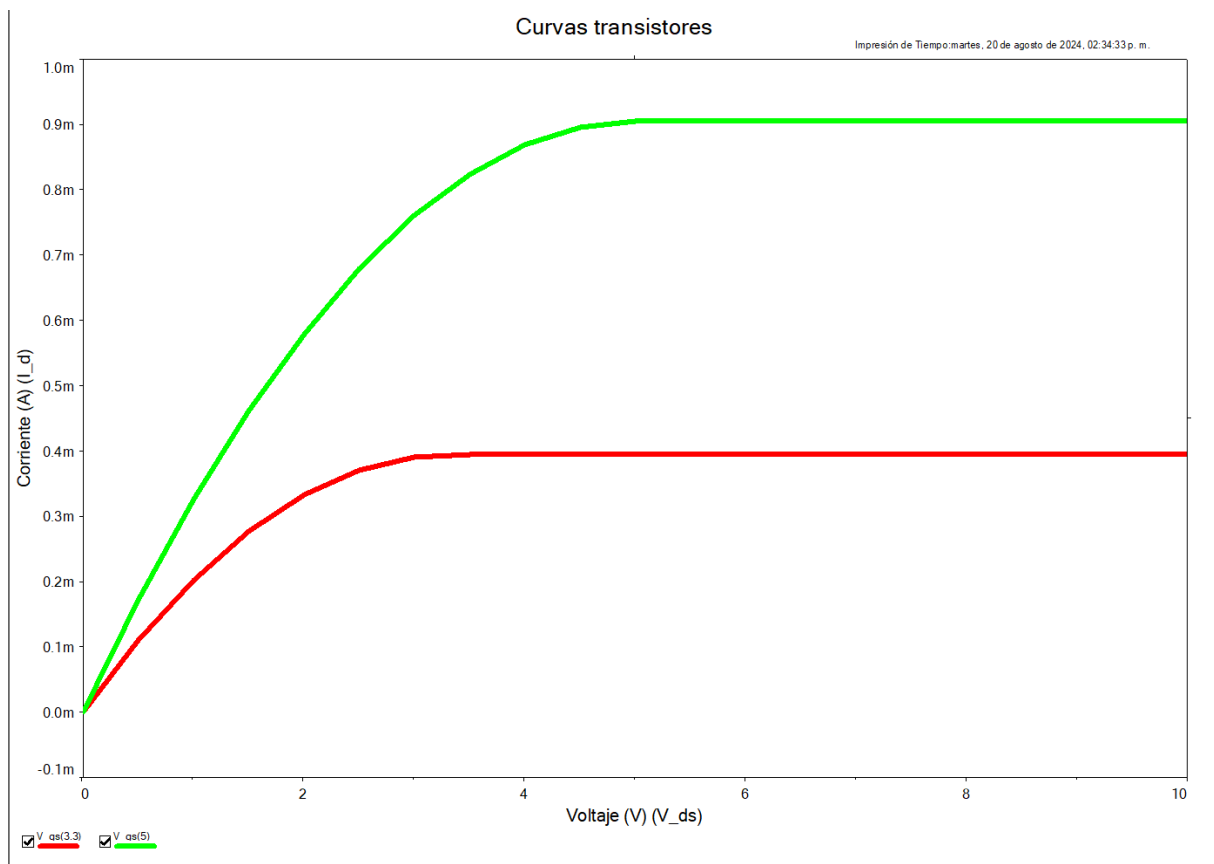


Figura 2.2 Curva del Transistor NMOS desarrollado

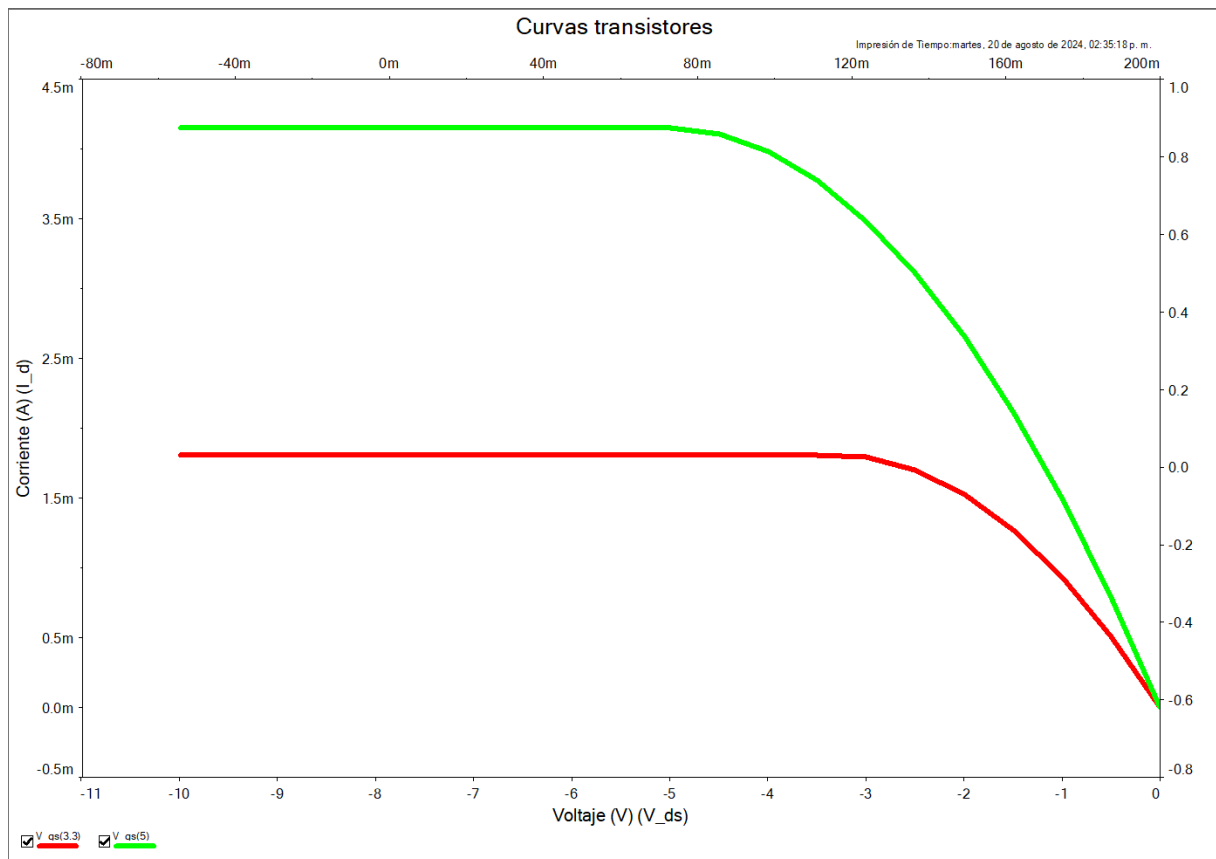


Figura 2.3 Curva del Transistor PMOS desarrollado

Se agrupan en bloque cada una de las compuertas que se utilizarán para el circuito.

2.3 Parámetros de simulación

Compuertas diseñadas en Multisim

Compuerta AND de dos entradas

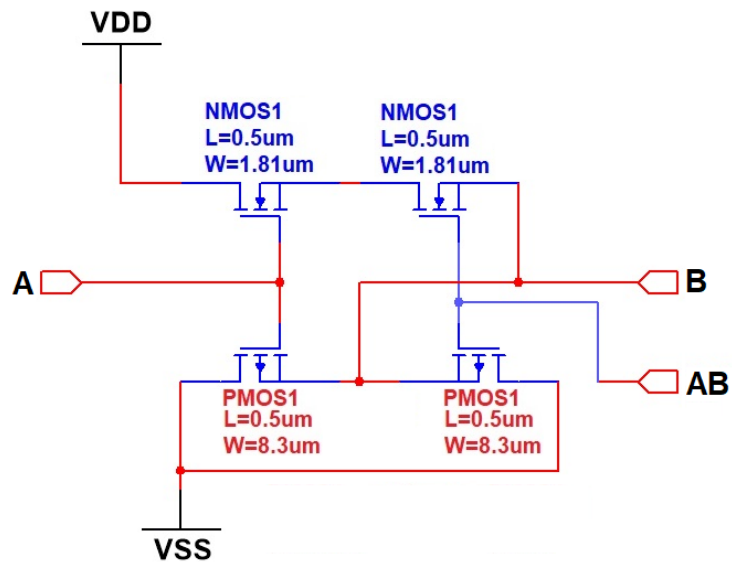


Figura 2.4 Compuerta AND con dos Entradas

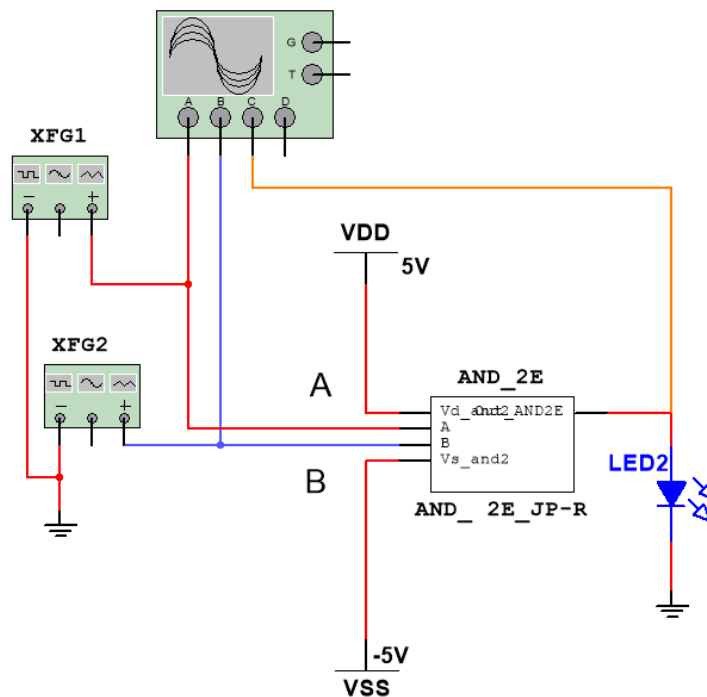


Figura 2.5 Bloque jerárquico de la Compuerta AND con dos entradas.

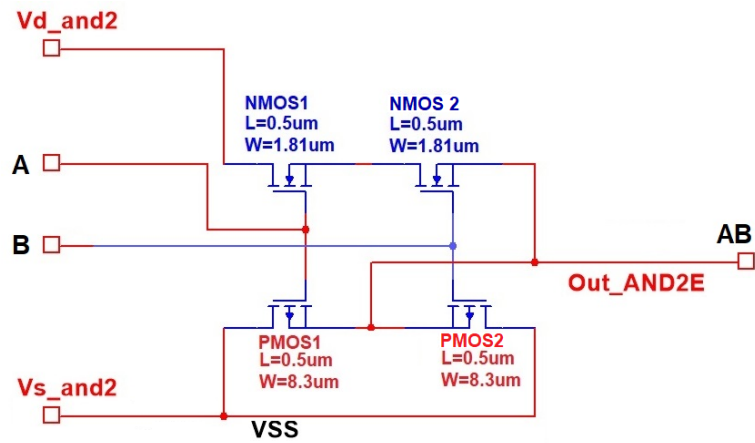


Figura 2.6 Circuito interno del bloque jerárquico de la compuerta AND con dos entradas.

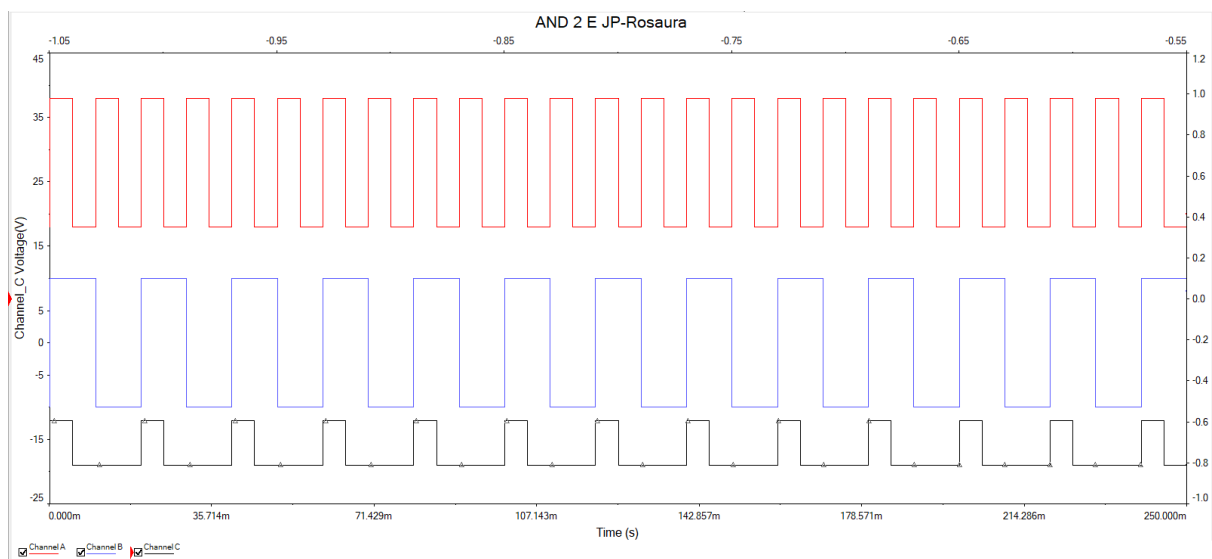


Figura 2.7 Simulación de la Compuerta AND con dos entradas.

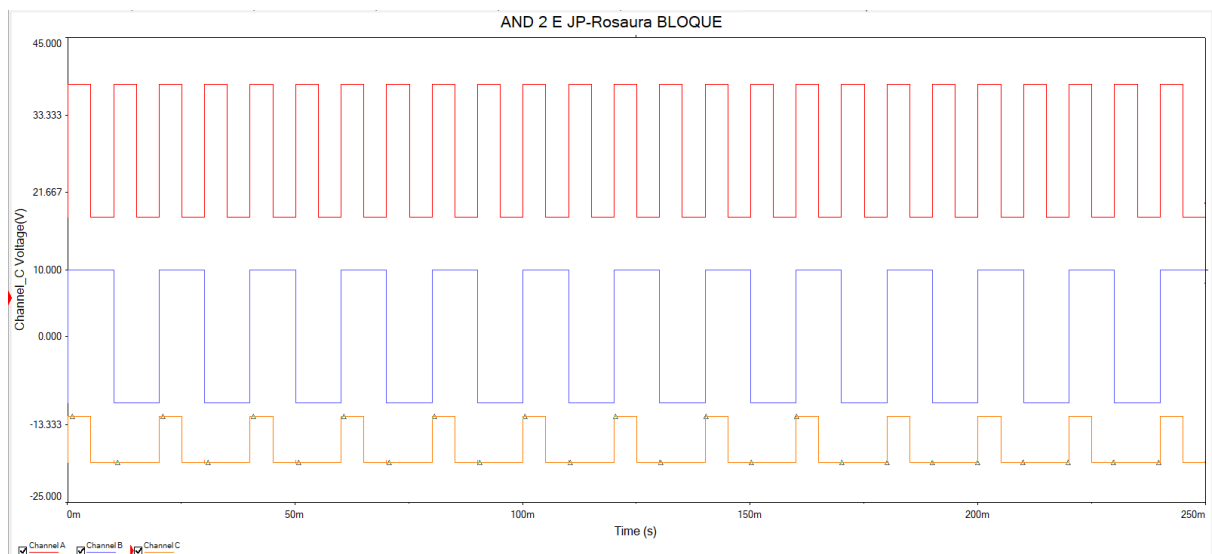


Figura 2.8 Simulación de bloque jerárquico de la compuerta AND con dos entradas.

Compuerta AND de tres entradas

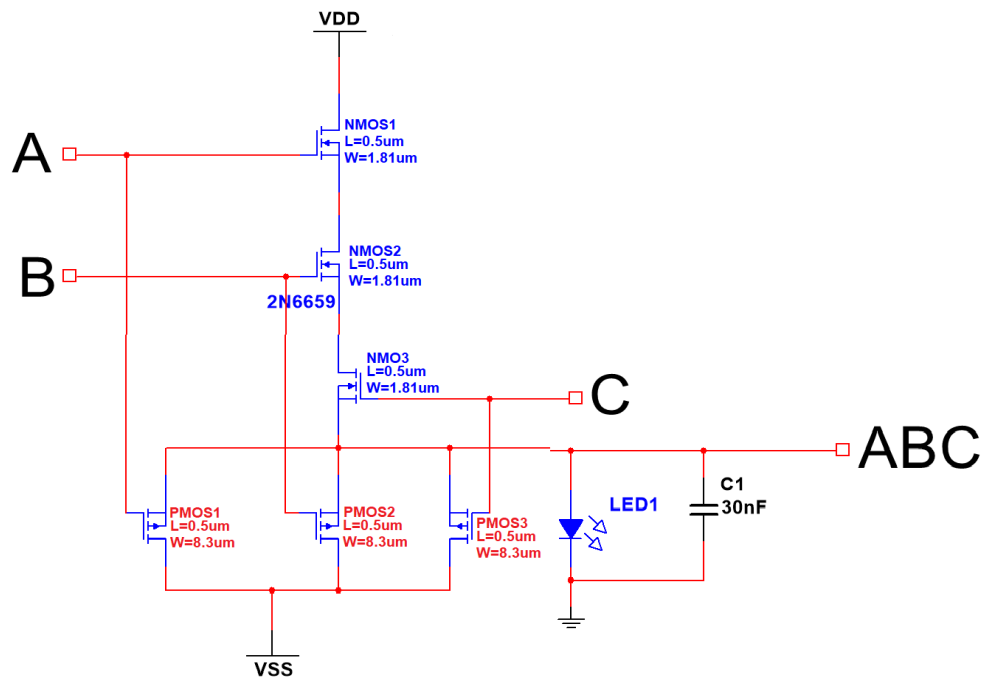


Figura 2.9 Compuerta AND con tres entradas.

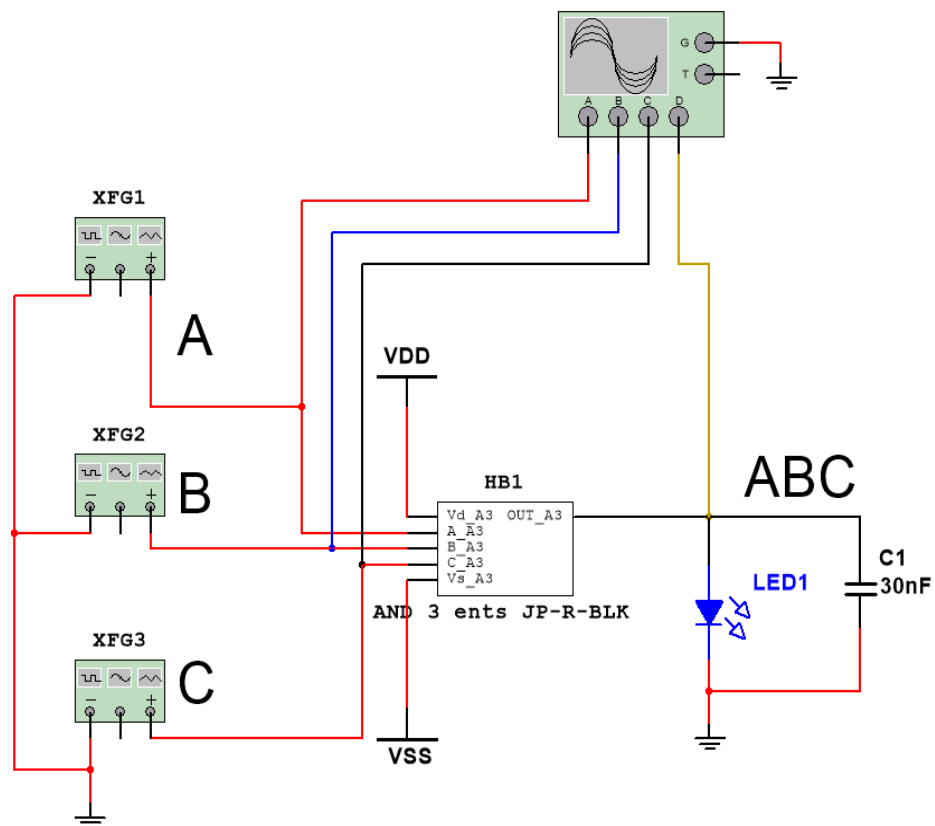


Figura 2.10 Bloque jerárquico de la compuerta AND con tres entradas.

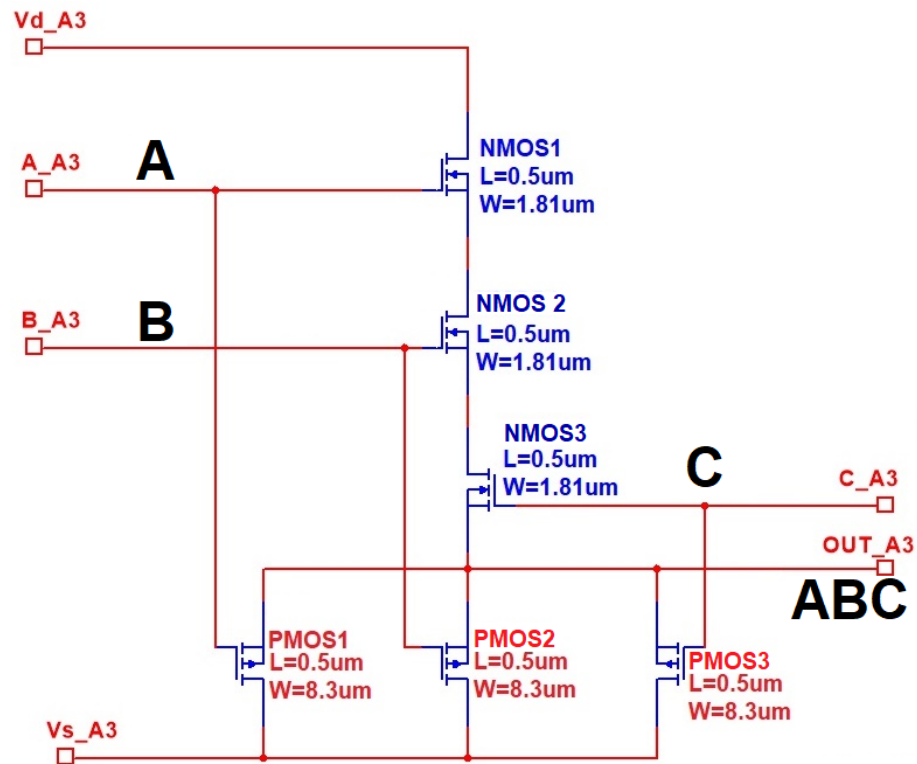


Figura 2.11 Circuito interno del bloque jerárquico de la compuerta AND con tres entradas.

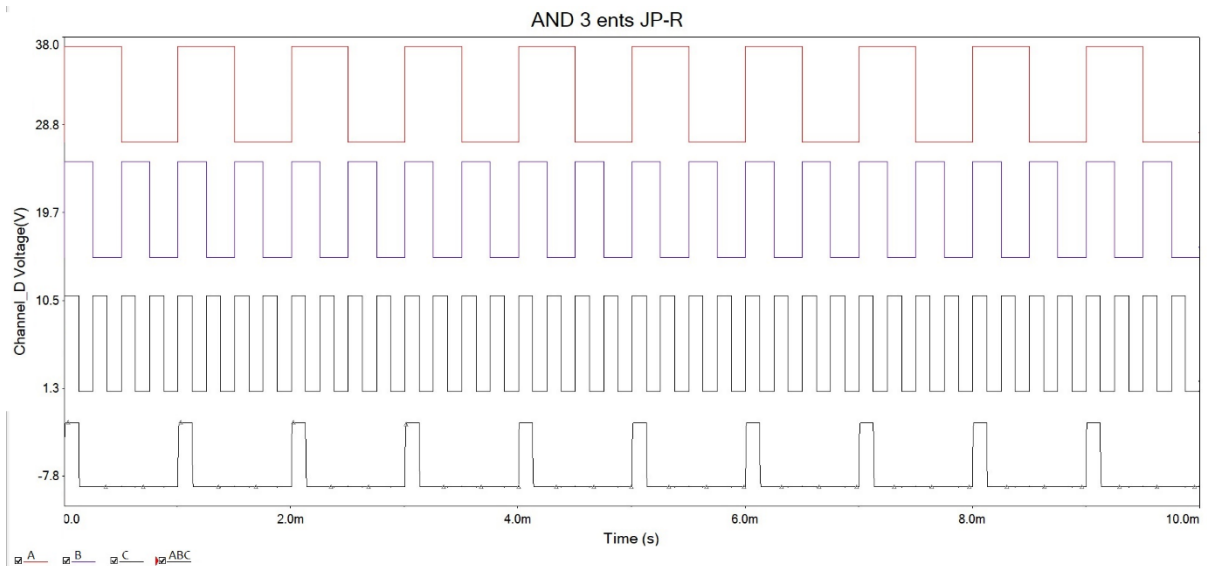


Figura 2.12 Simulación de la compuerta AND con tres entradas.

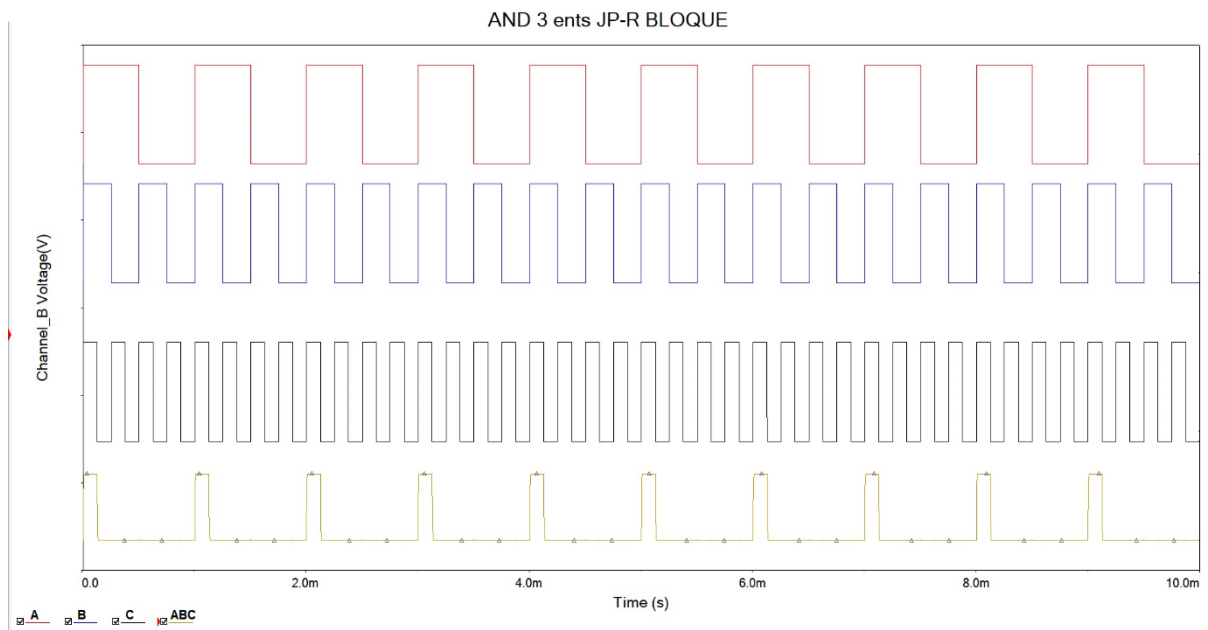


Figura 2.13 Simulación de bloque jerárquico de la compuerta AND con tres entradas.

Compuerta AND de cuatro entradas

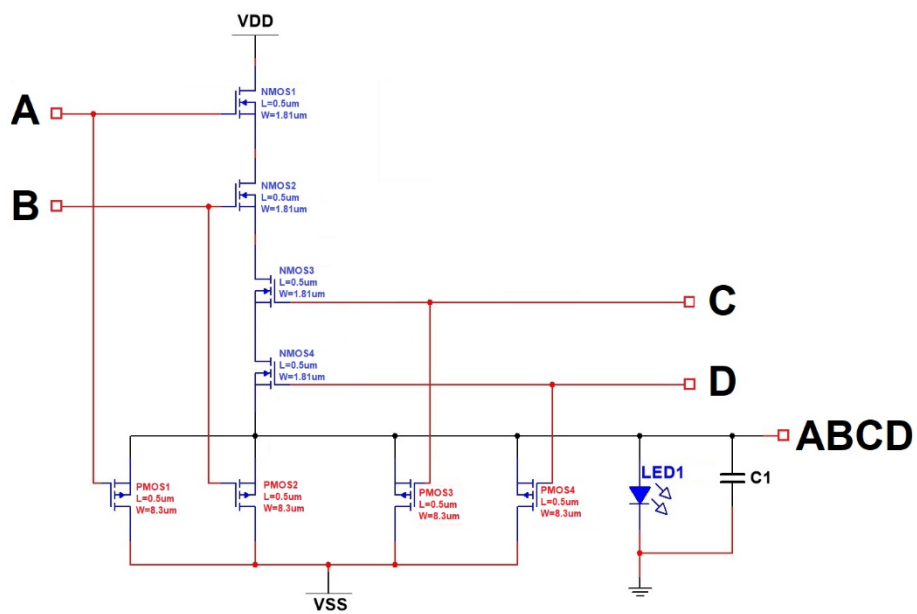


Figura 2.14 Diagrama esquemático de la compuerta AND de 4 entradas.

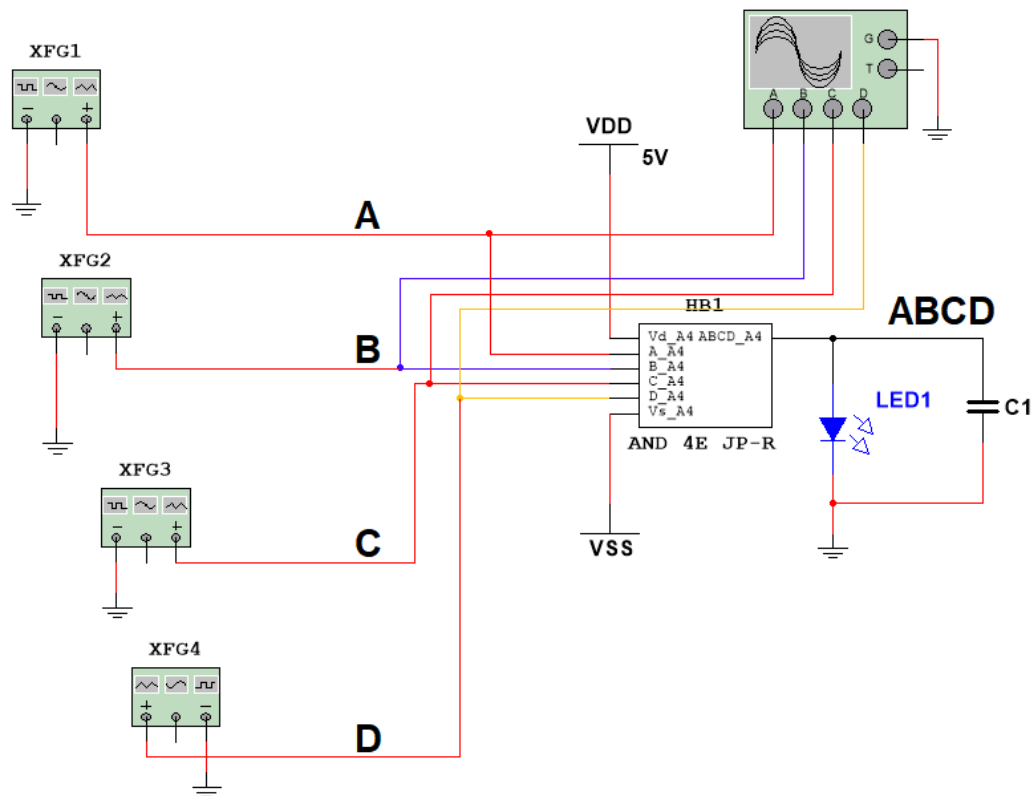


Figura 2.15 Bloque jerárquico de la compuerta AND con cuatro entradas.

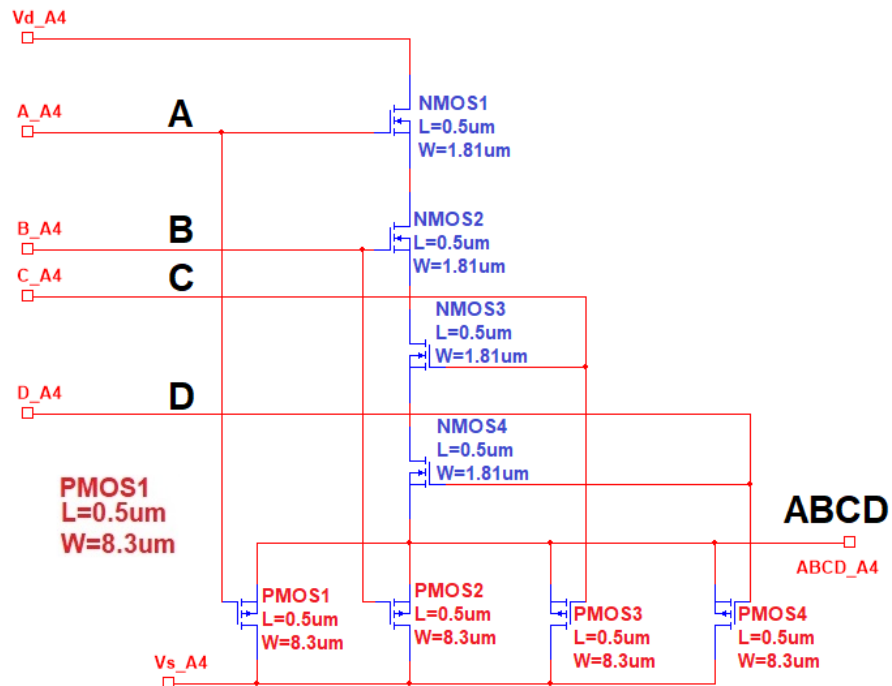


Figura 2.16 Circuito interno del bloque jerárquico de la Compuerta AND con cuatro entradas.

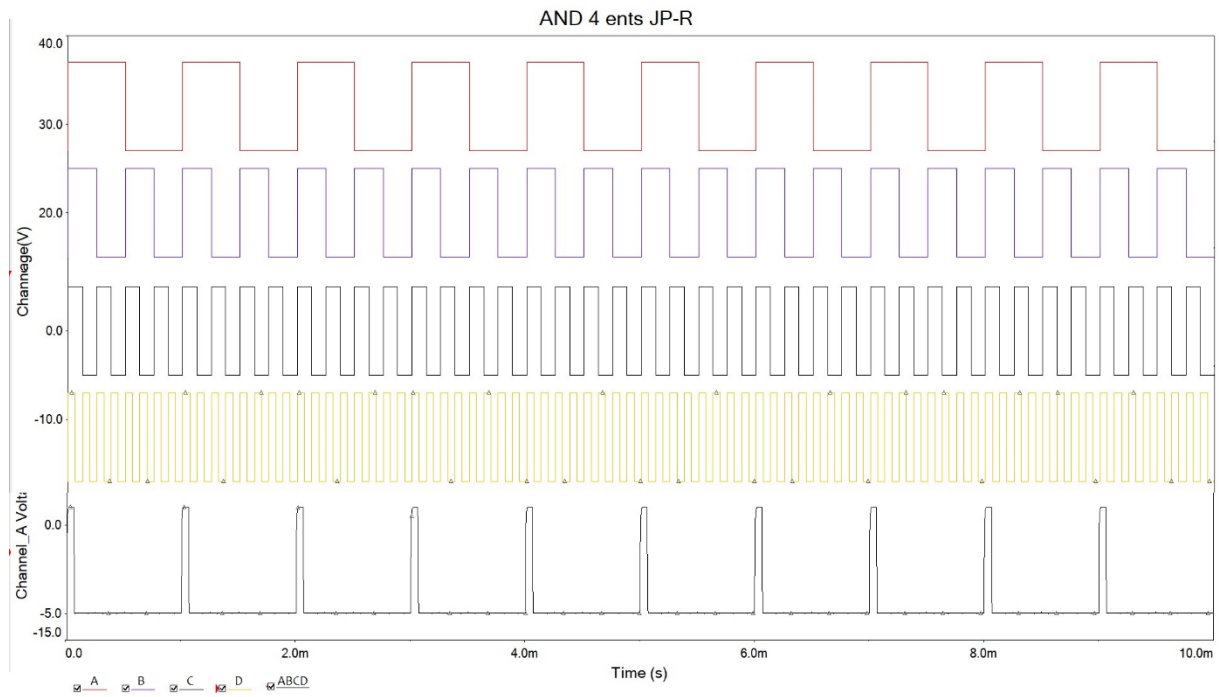


Figura 2.17 Simulación de la compuerta AND de cuatro entradas.

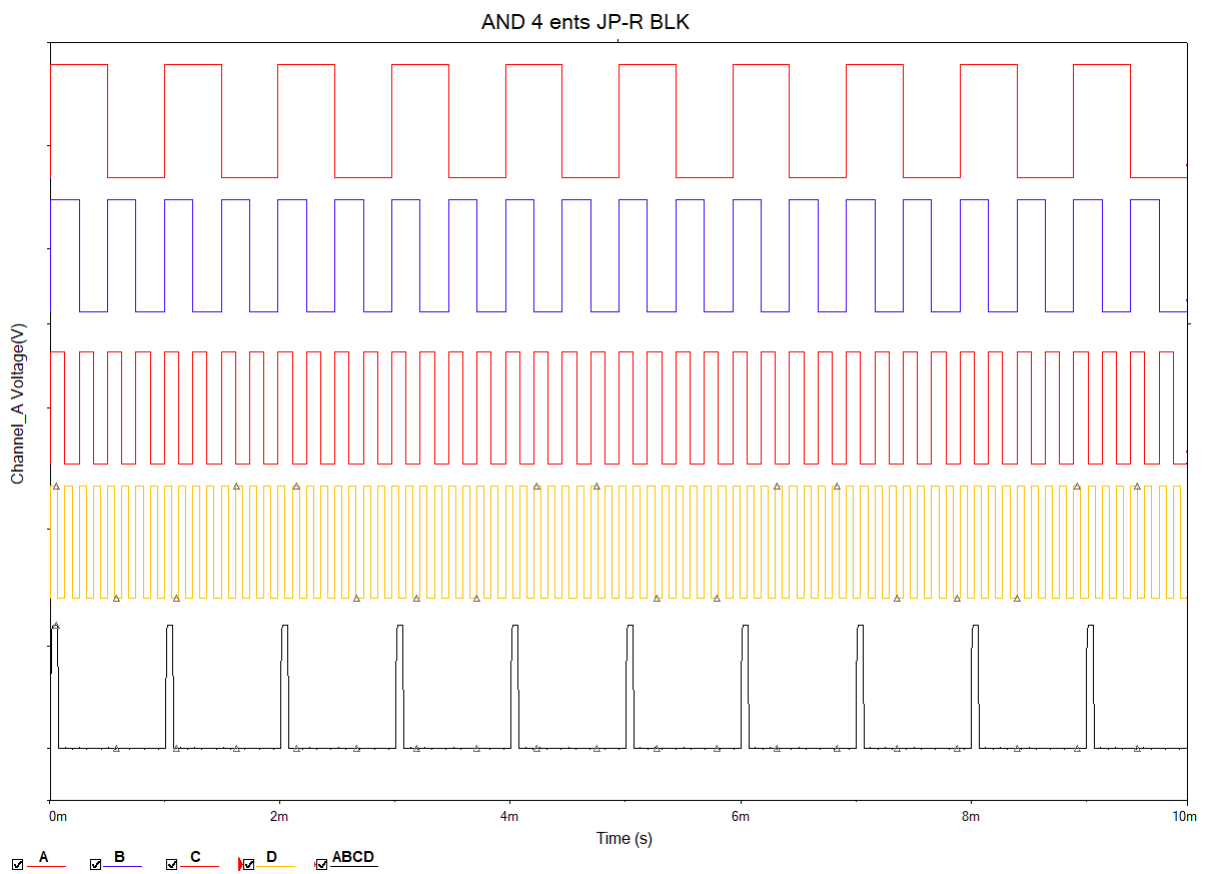


Figura 2.18 Simulación de bloque jerárquico de la compuerta AND con cuatro entradas.

Compuerta AND de cinco entradas

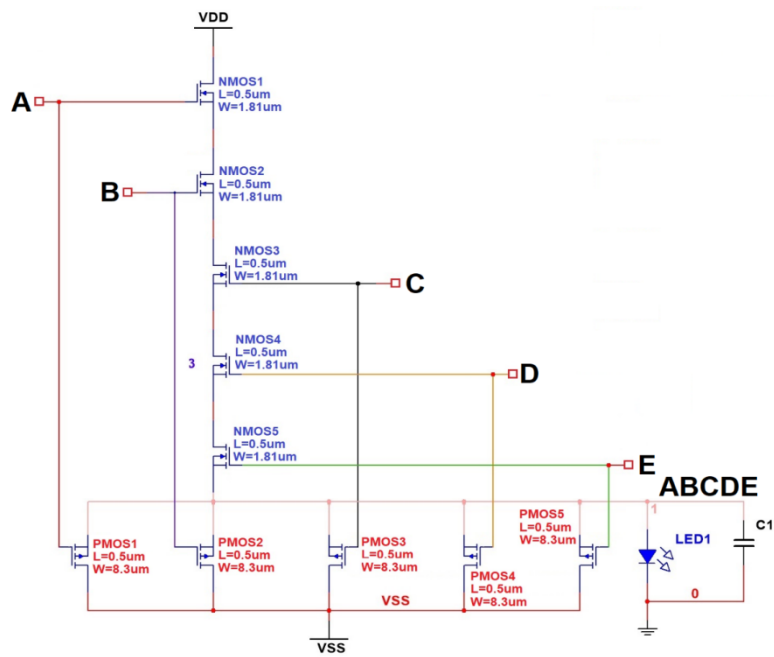


Figura 2.19 Diagrama esquemático de la compuerta AND de cinco entradas.

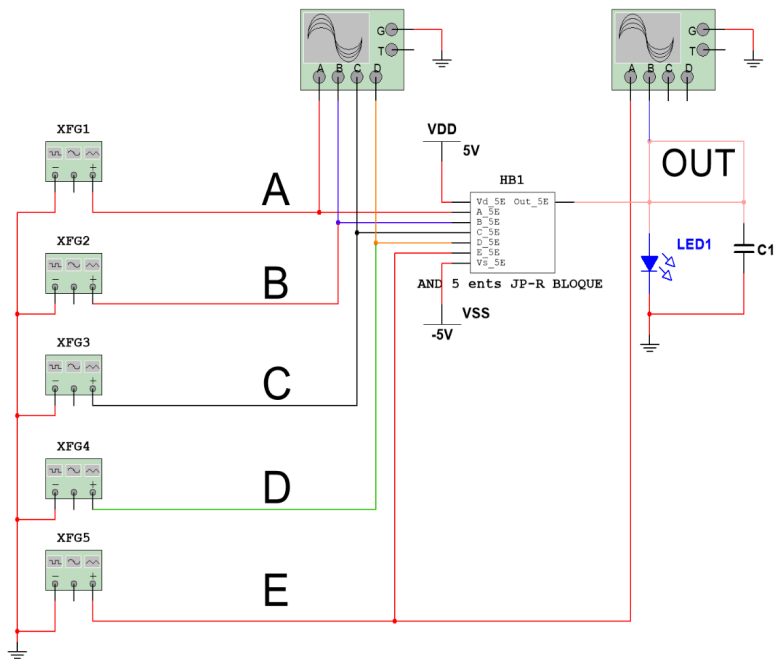


Figura 2.20 Bloque jerárquico de la compuerta AND con cinco entradas.

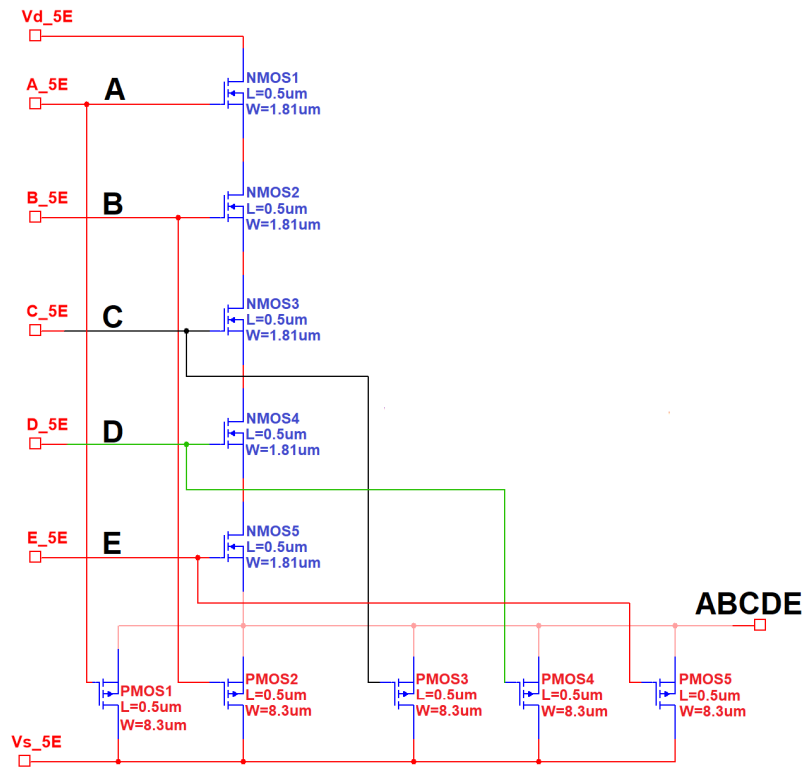


Figura 2.21 Circuito interno del bloque jerárquico de la Compuerta AND con cinco entradas.

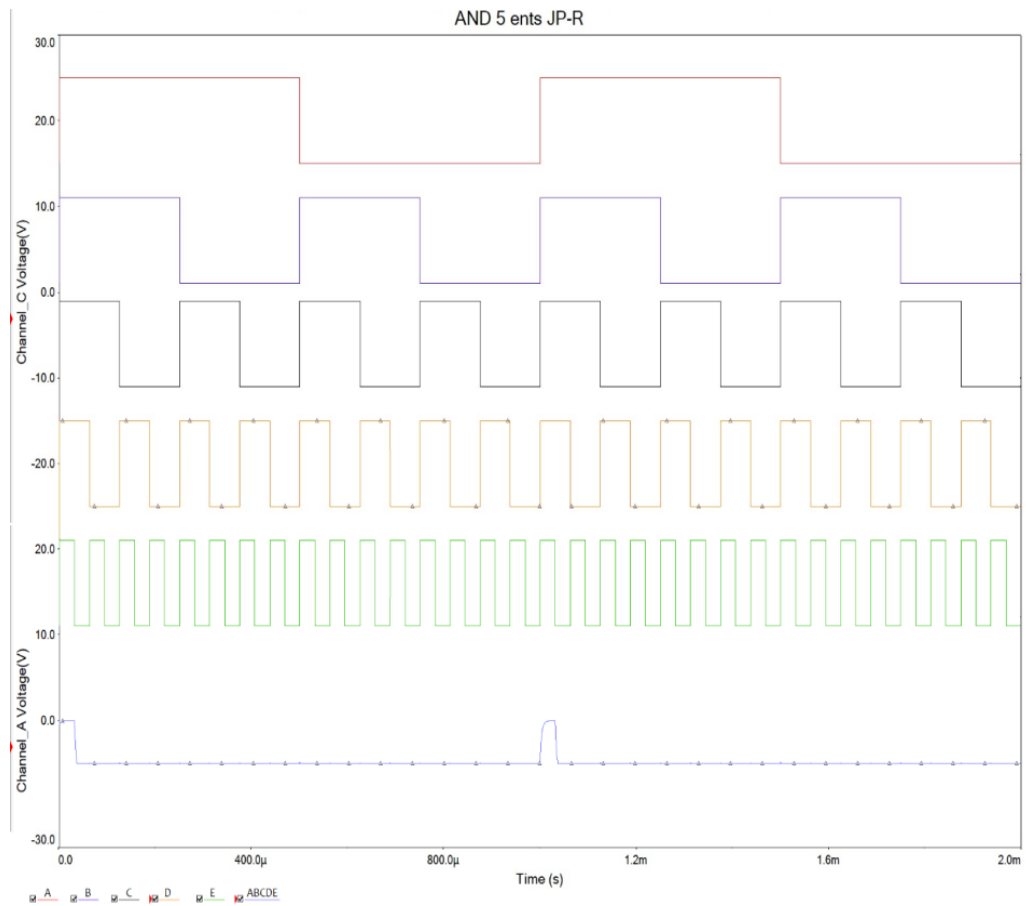


Figura 2.22 Simulación de la compuerta AND de cinco entradas.

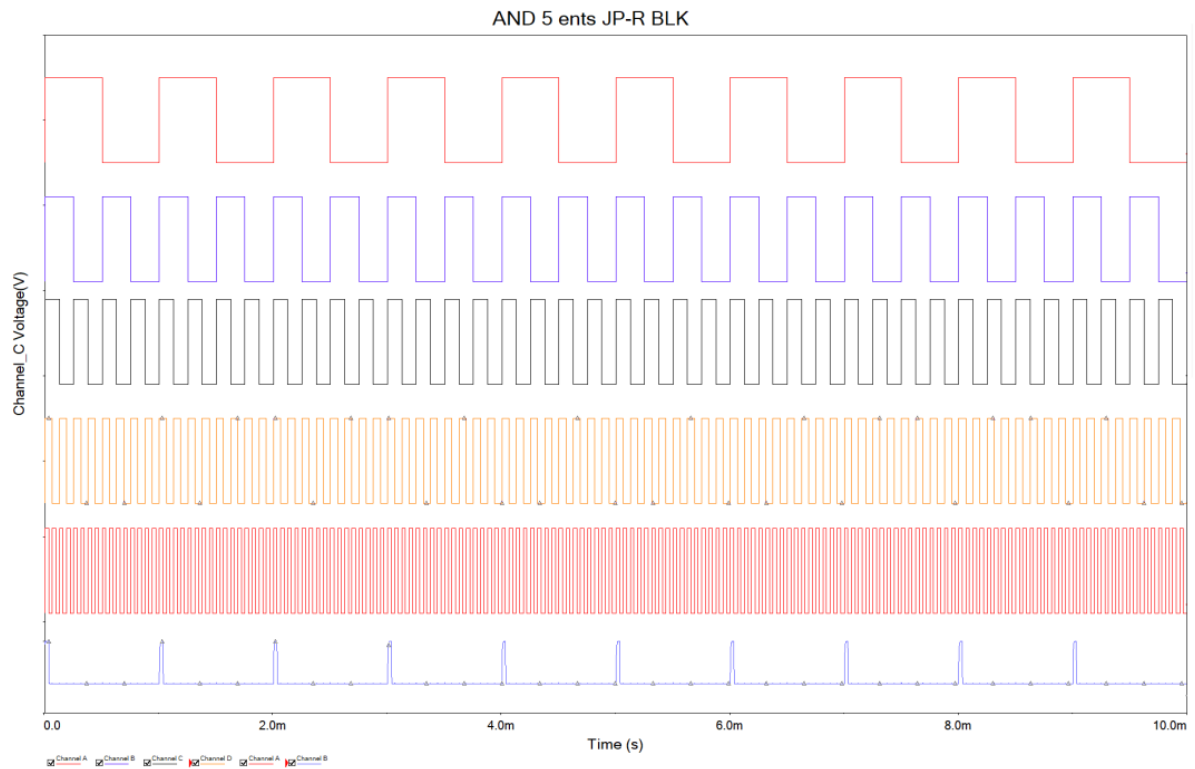


Figura 2.23 Simulación de bloque jerárquico de la compuerta AND con cinco entradas.

Compuerta NAND de dos entradas

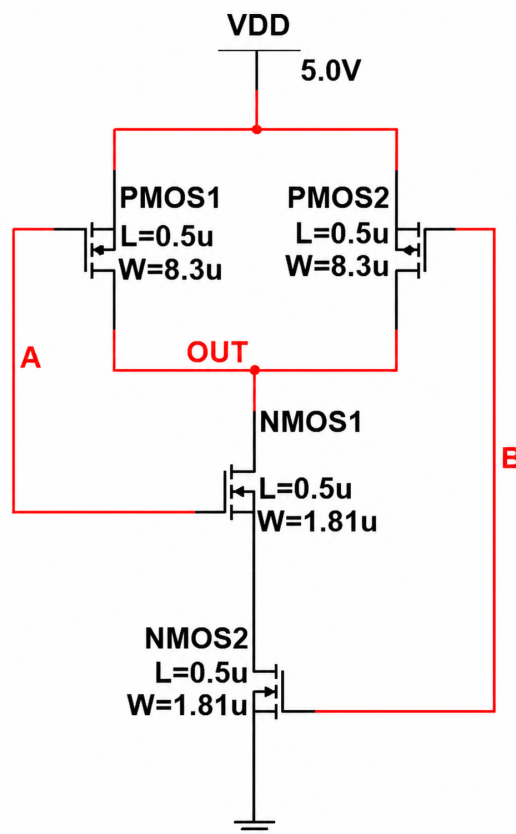


Figura 2.24 Diagrama esquemático de la compuerta NAND de dos entradas.

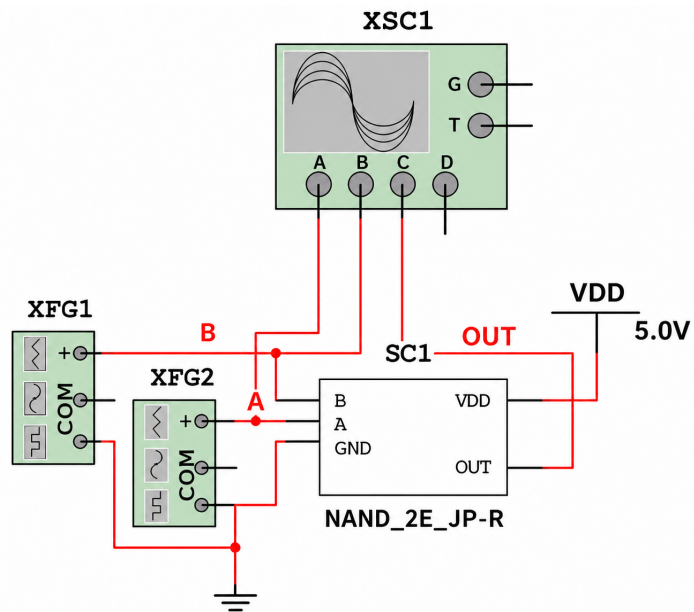


Figura 2.25 Bloque jerárquico de la compuerta NAND con dos entradas

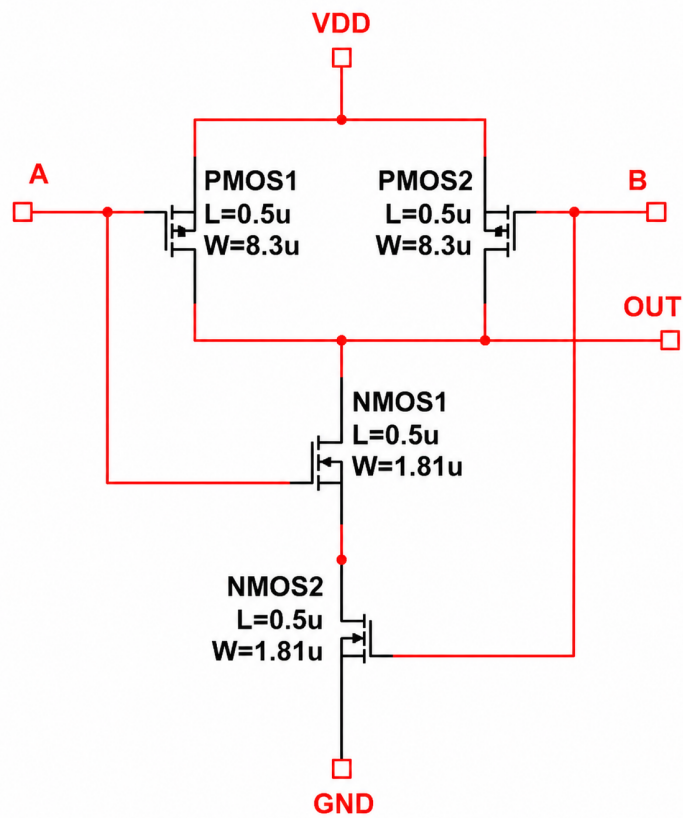


Figura 2.26 Circuito interno del bloque jerárquico de la Compuerta NAND con dos entradas

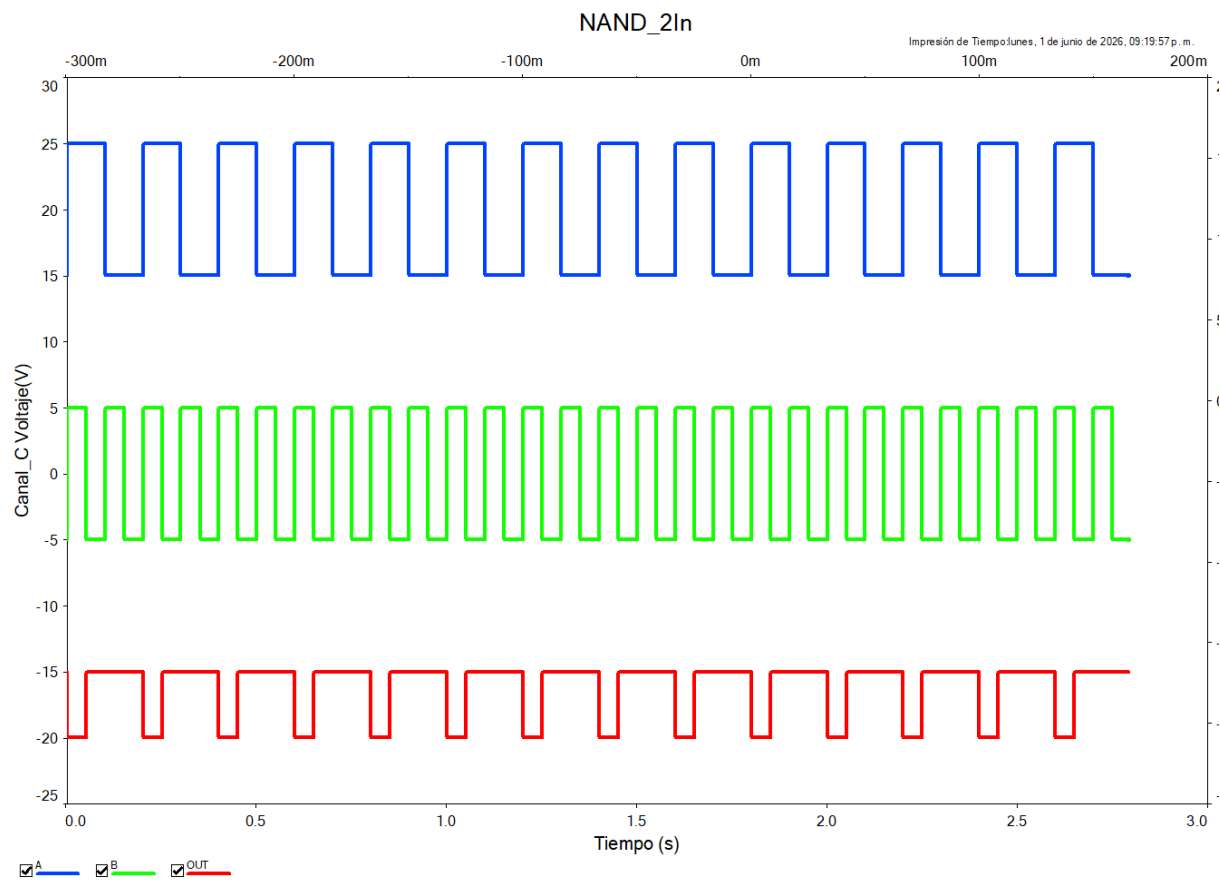


Figura 2.27 Simulación de la compuerta NAND de nueve entradas.

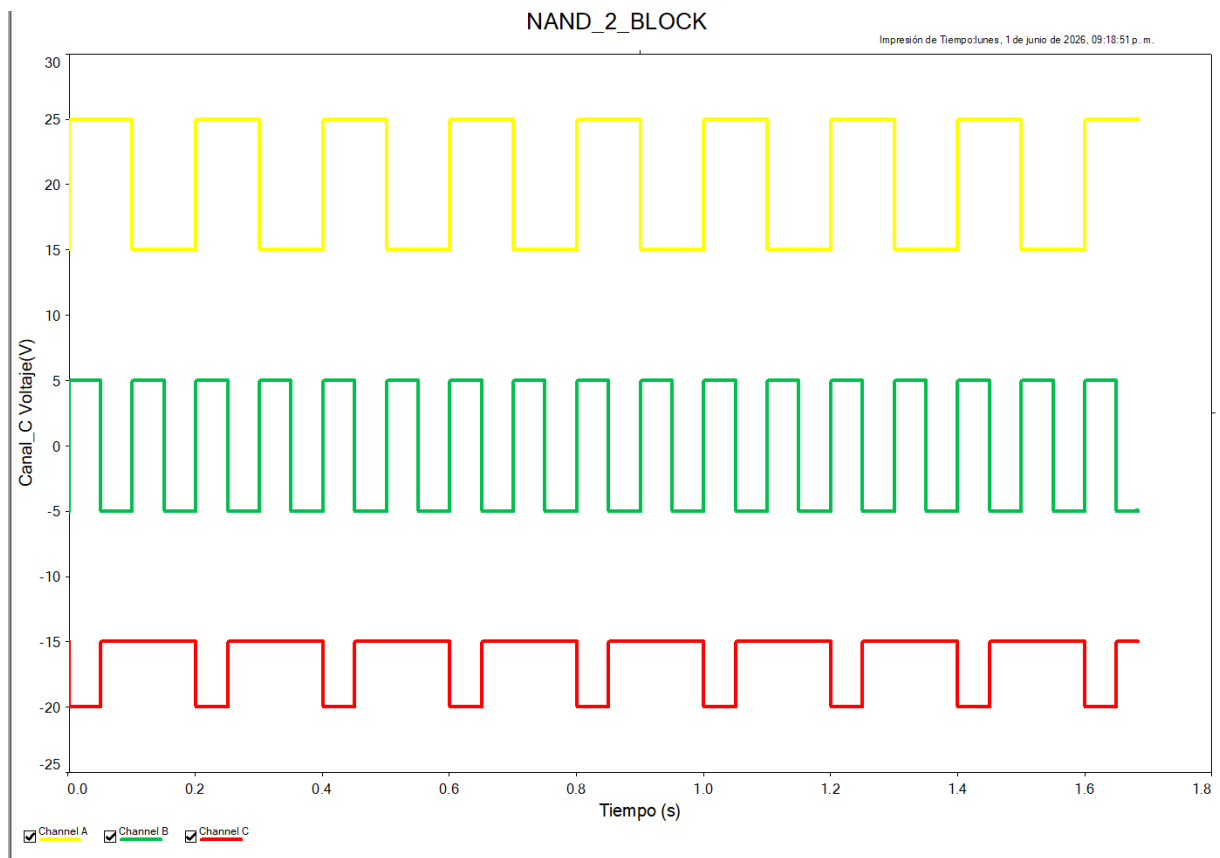


Figura 2.28 Simulación de la compuerta NAND de nueve entradas

Compuerta NAND de nueve entradas

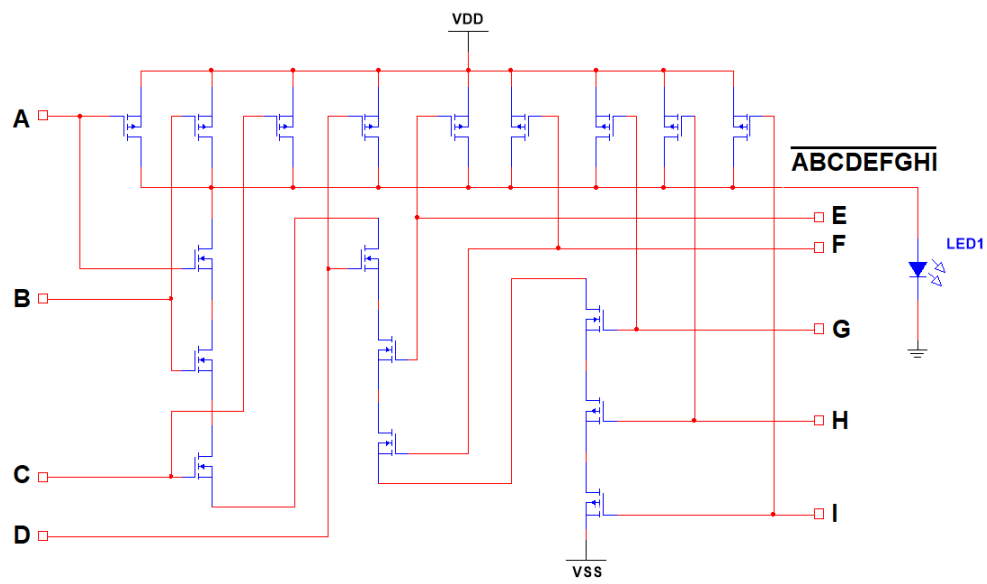


Figura 2.29 Diagrama esquemático de la compuerta NAND de nueve entradas.

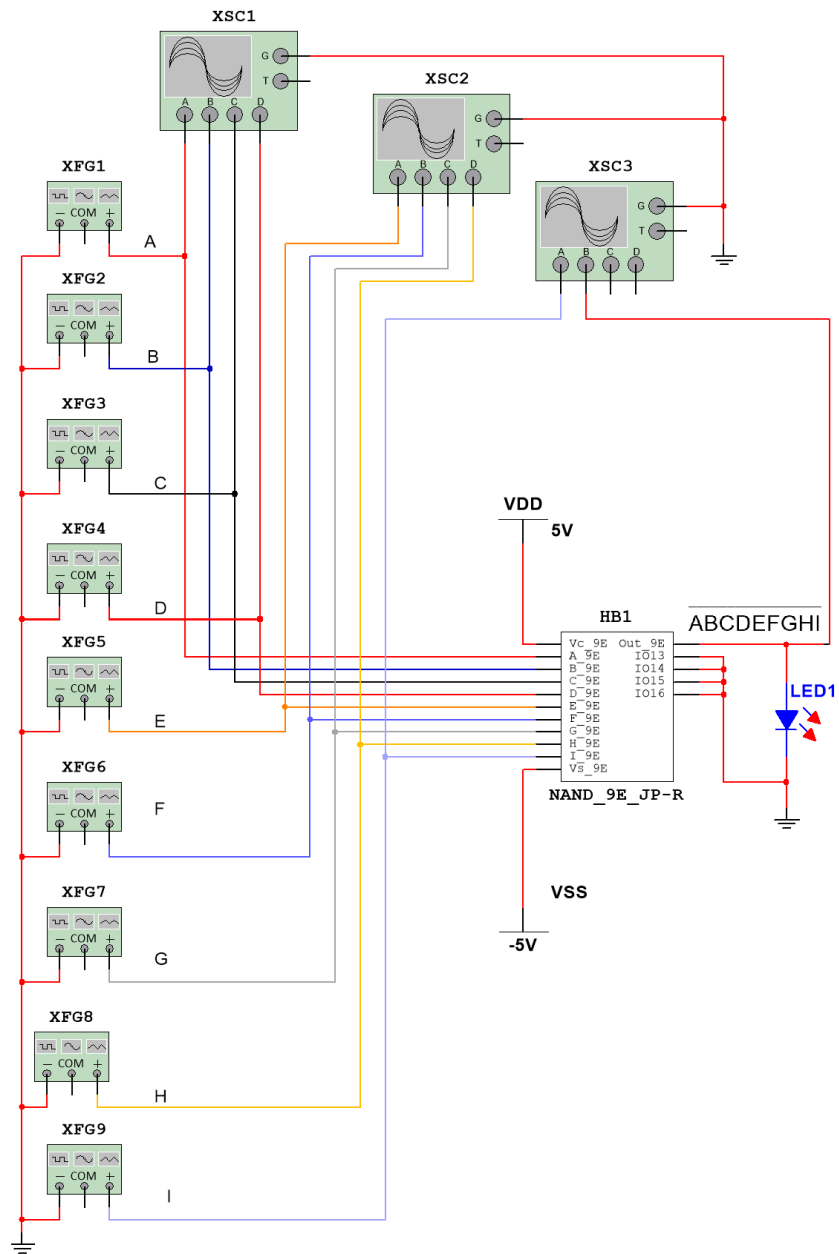


Figura 2.30 Bloque jerárquico de la compuerta NAND con nueve entradas.

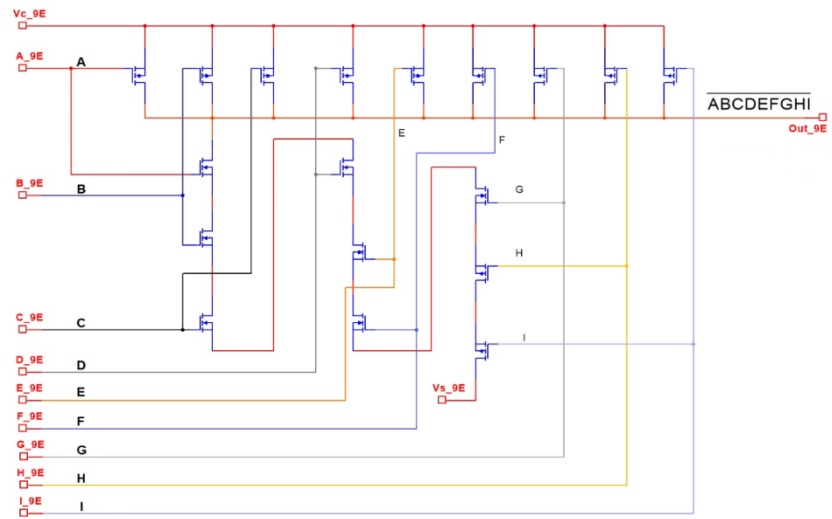


Figura 2.31 Circuito interno del bloque jerárquico de la Compuerta NAND con nueve entradas.

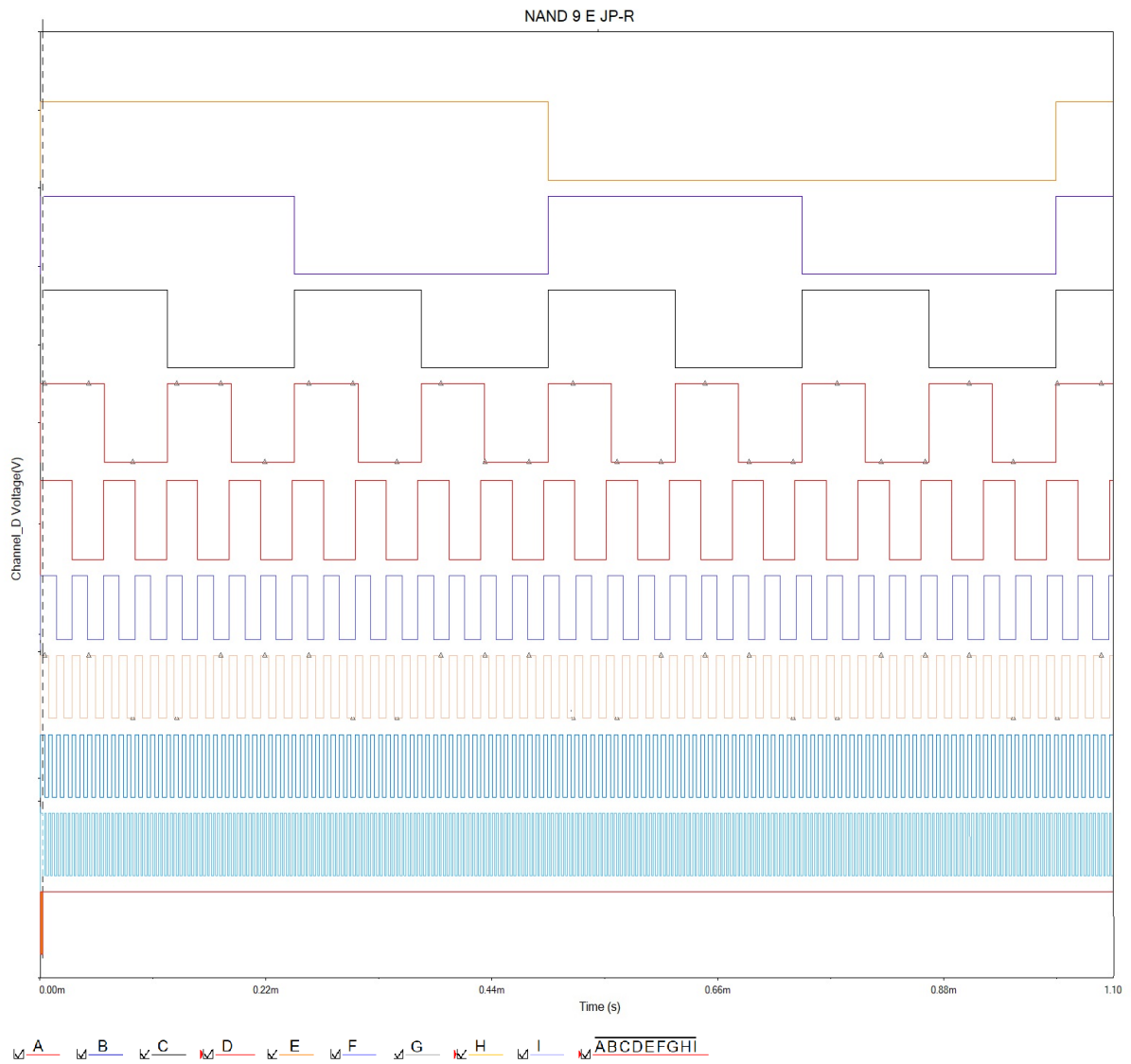


Figura 2.32 Simulación de la compuerta NAND de nueve entradas.

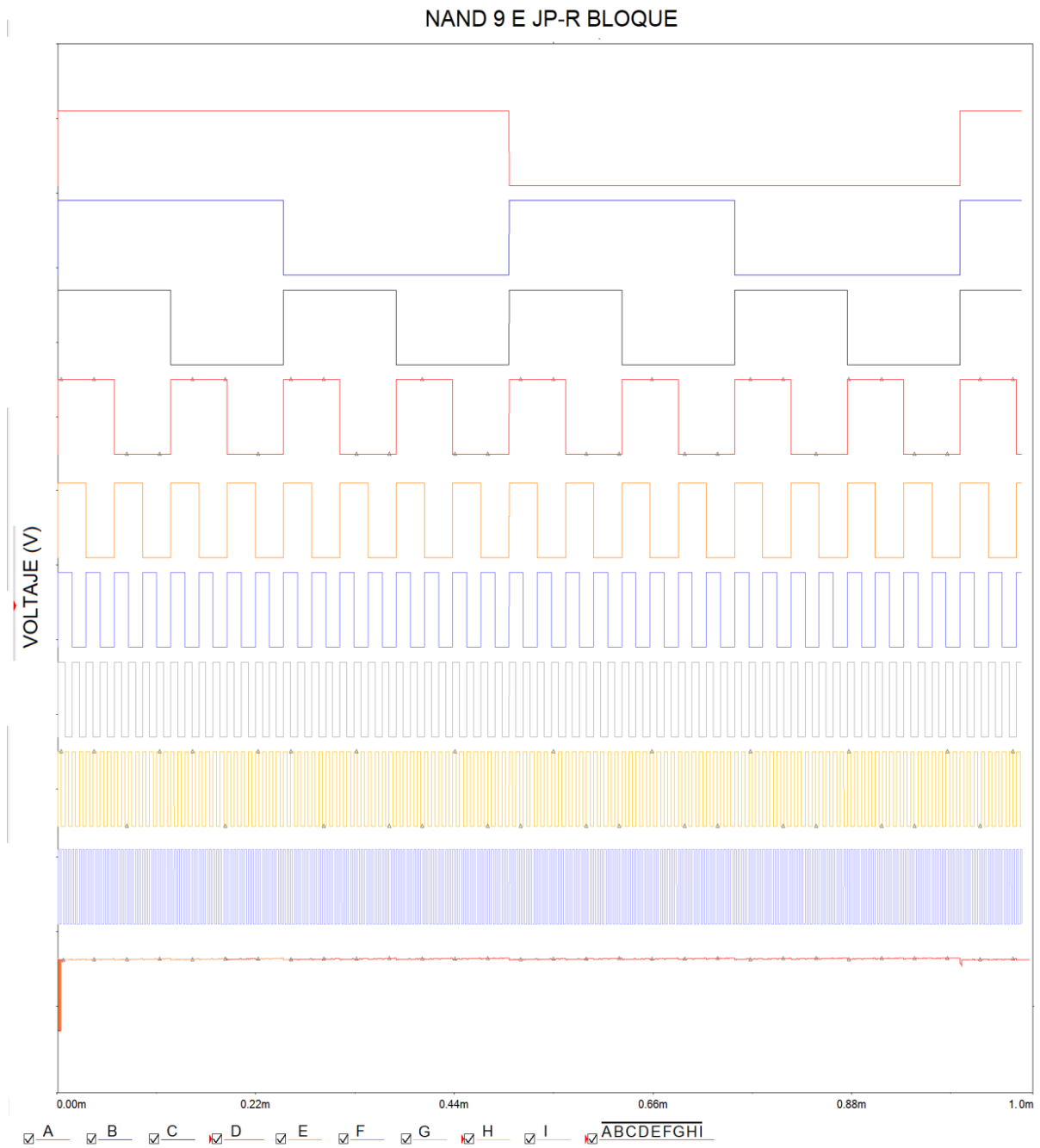


Figura 2.33 Simulación de bloque jerárquico de la compuerta NAND con nueve entradas.

Compuerta NOR de cuatro entradas

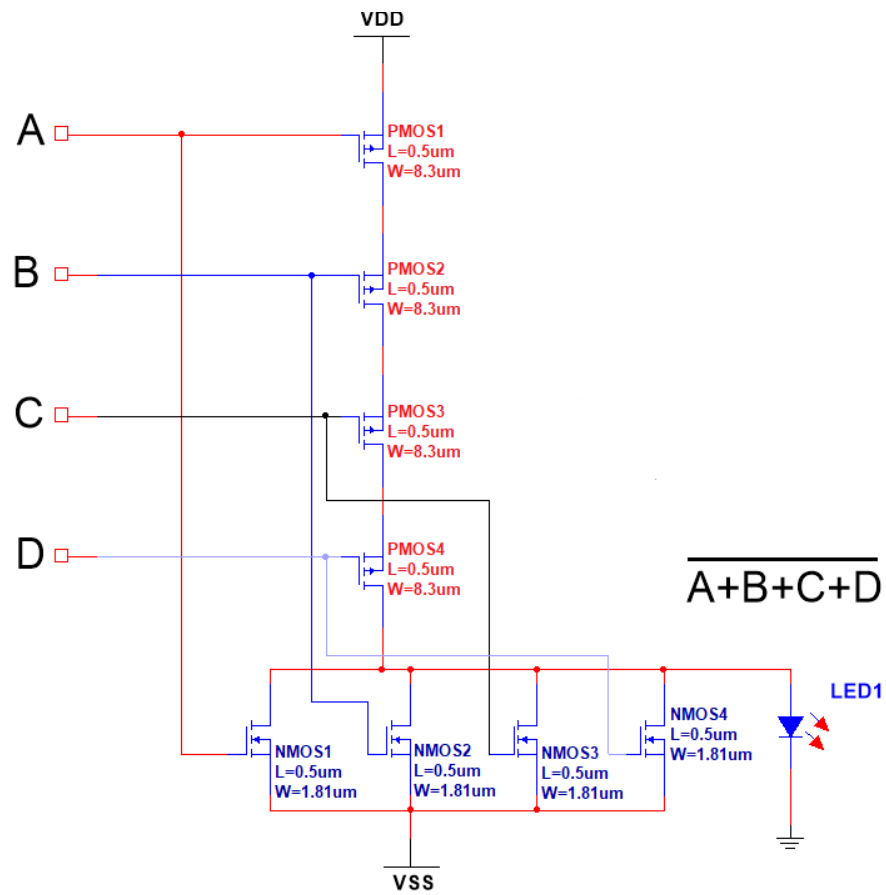


Figura 2.34 Diagrama esquemático de la compuerta NOR de cuatro entradas.

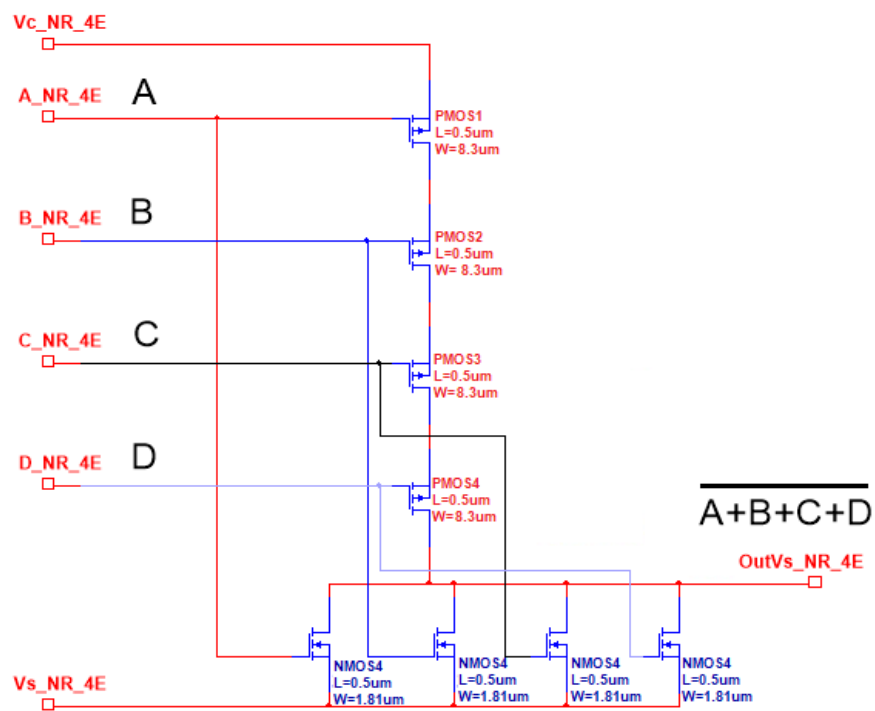


Figura 2.35 Circuito interno del bloque jerárquico de la compuerta NOR de cuatro entradas.

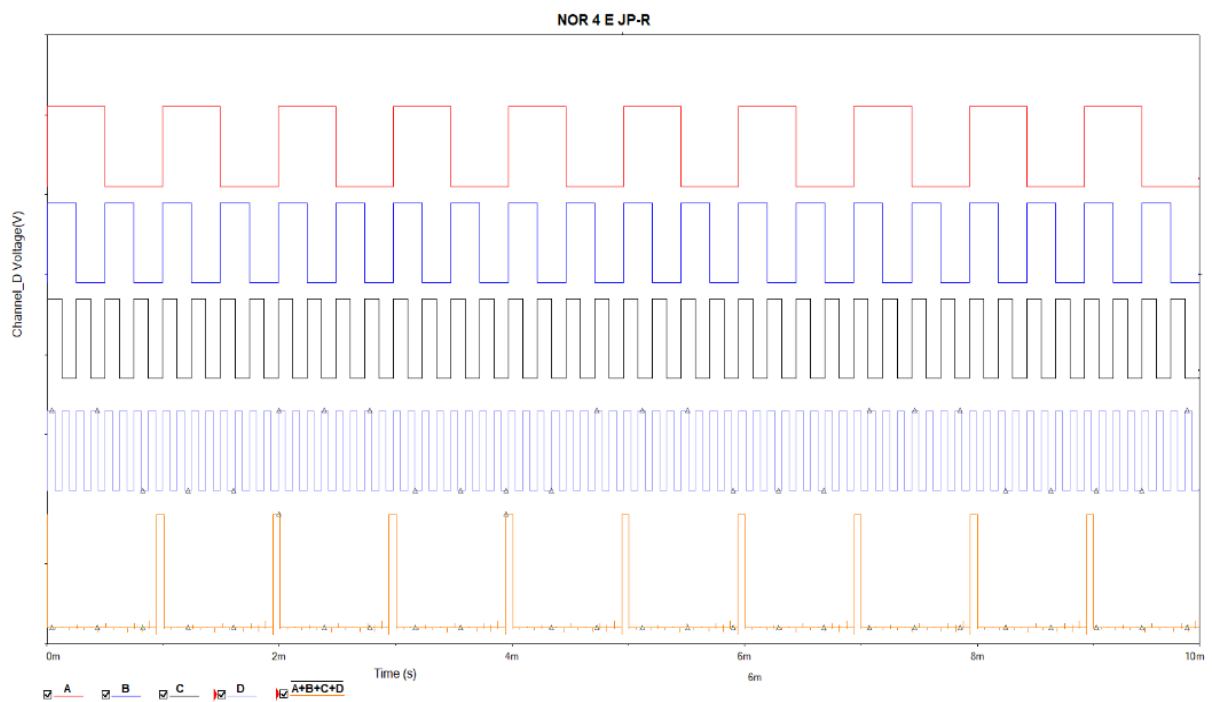


Figura 2.36 Simulación de la compuerta NOR de cuatro entradas.

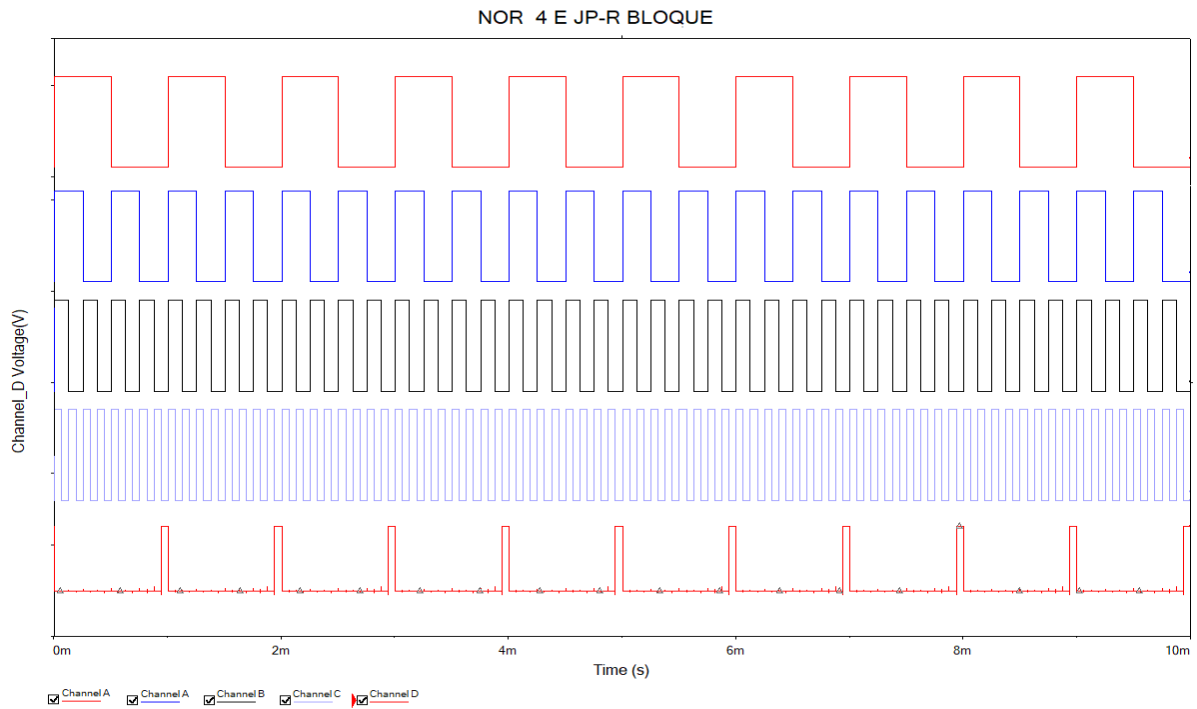


Figura 2.37 Simulación de bloque jerárquico de la compuerta NOR de cuatro entradas.

Buffer inversor

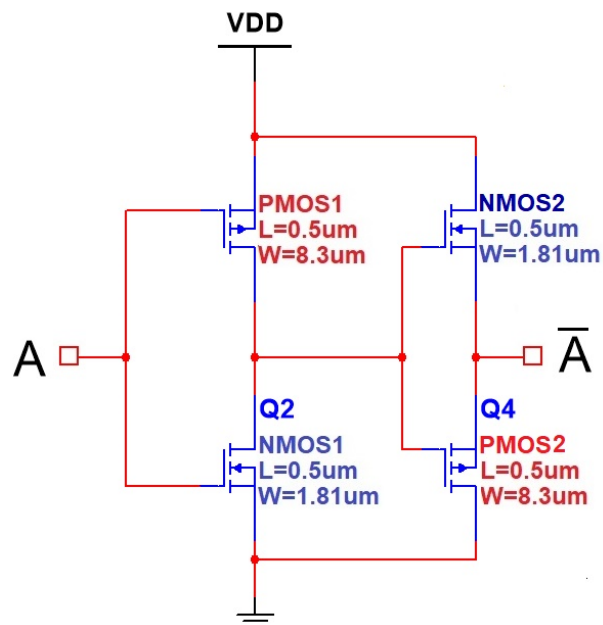


Figura 2.38 Diagrama esquemático del buffer inversor.

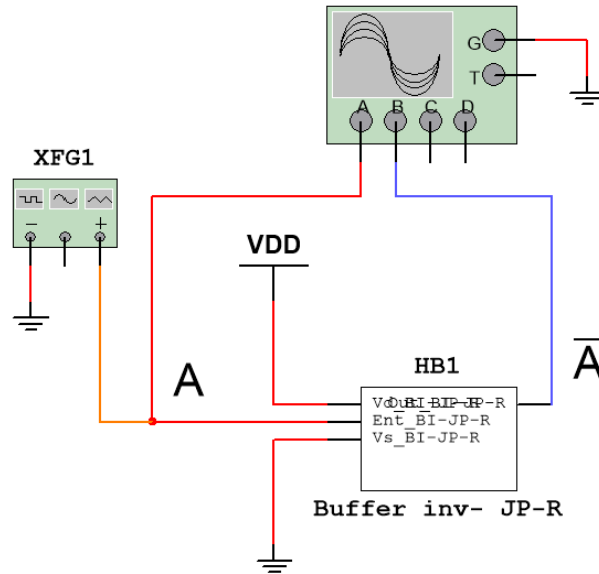


Figura 2.39 Bloque jerárquico del buffer inversor.

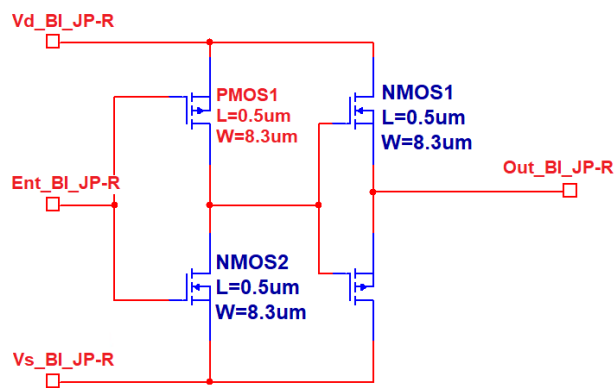


Figura 2.40 Circuito interno del bloque jerárquico del buffer inversor.

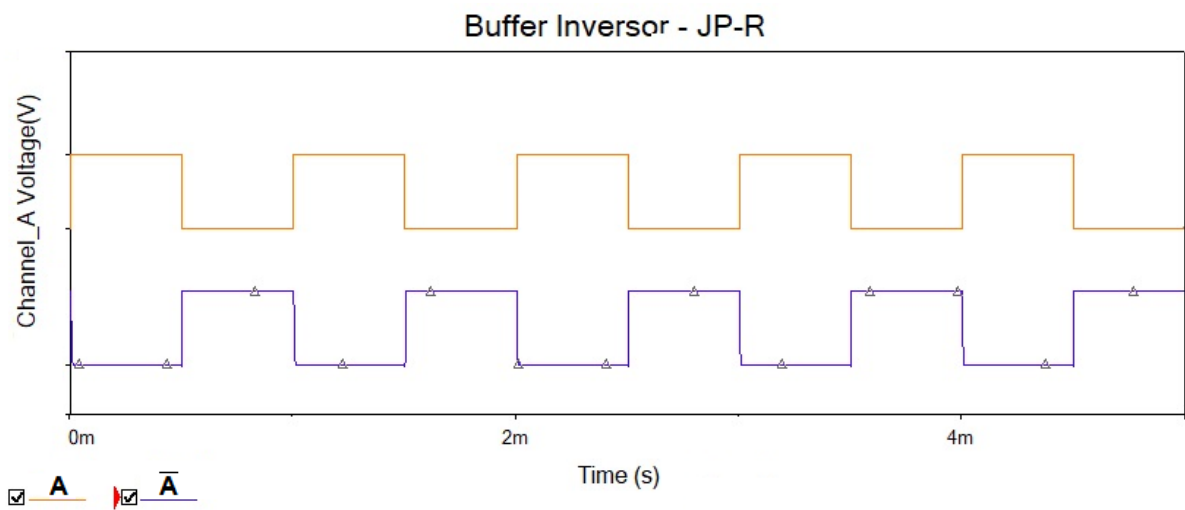


Figura 2.41 Simulación del buffer inversor.

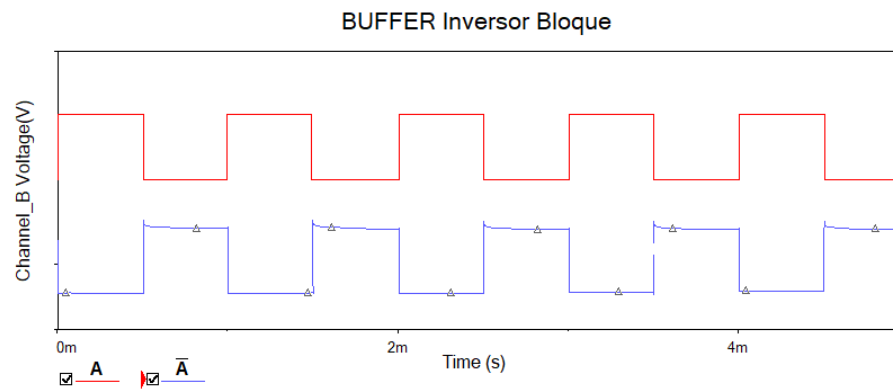


Figura 2.42 Simulación de bloque jerárquico del buffer inversor.

Compuerta NOT (inversor).

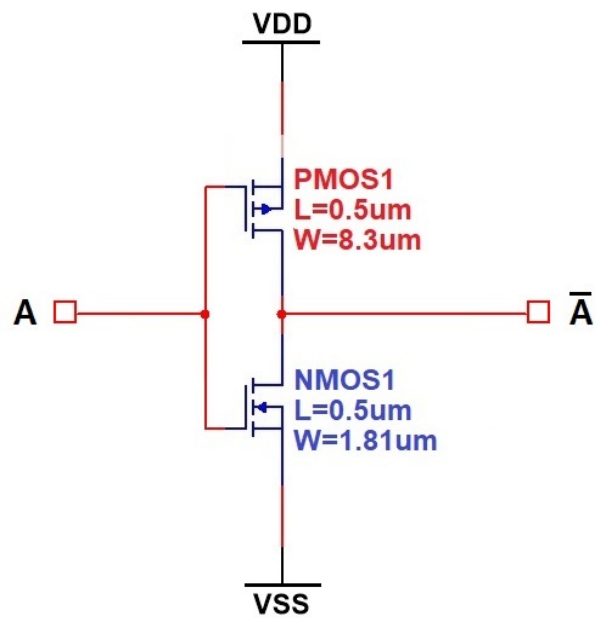


Figura 2.43 Diagrama esquemático del inversor.

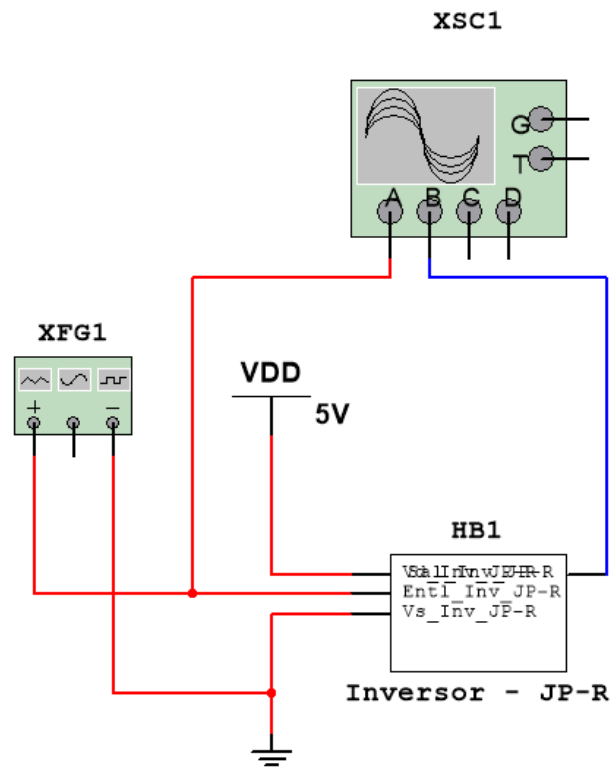


Figura 2.44 Bloque jerárquico del inversor.

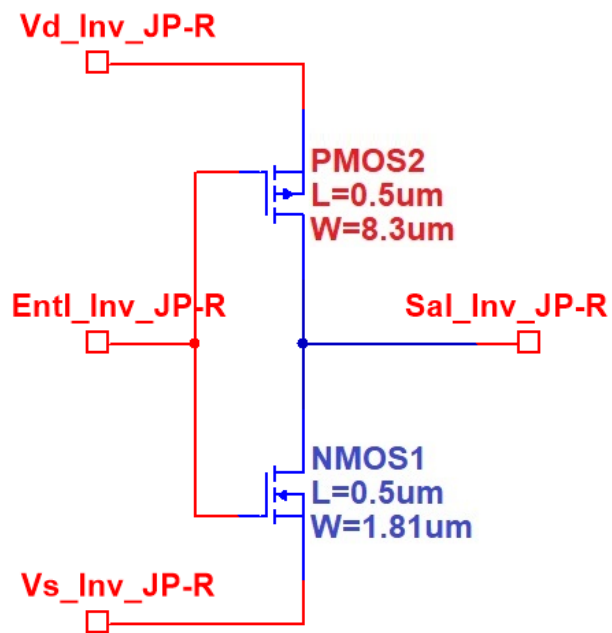


Figura 2.45 Circuito interno del bloque jerárquico del inversor.

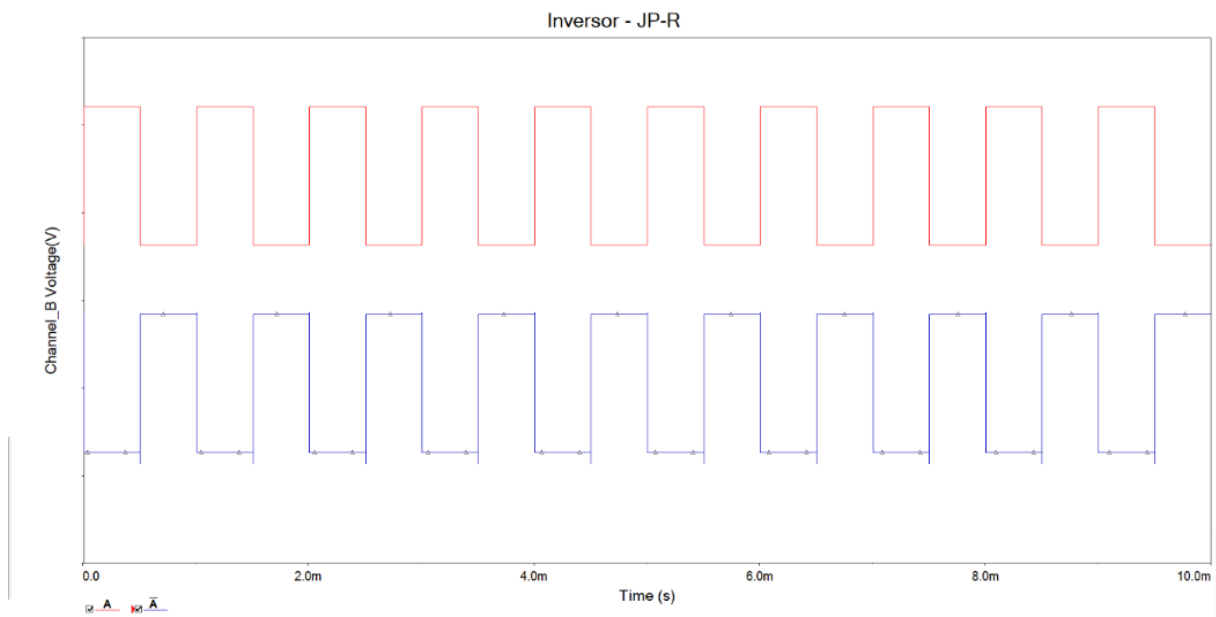


Figura 2.46 Simulación del inversor.

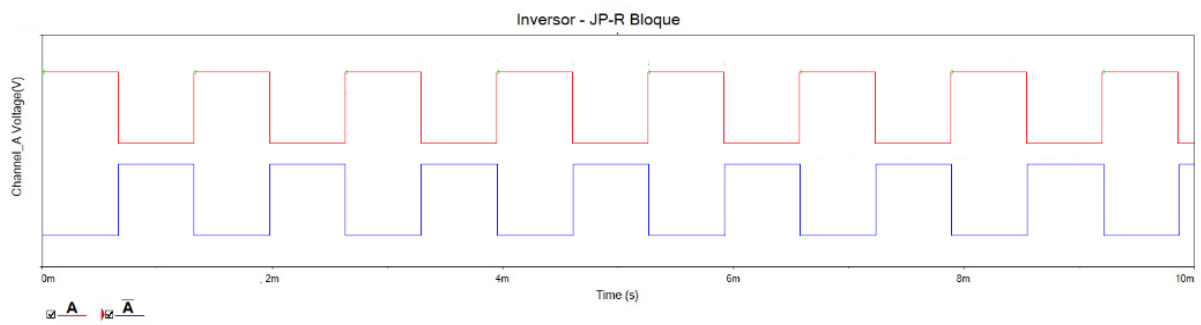


Figura 2.47 Simulación de bloque jerárquico del inversor.

3 Layout y funcionamiento

3.1 Layout

En esta sección se presentan los layouts de todas las compuertas y dispositivos diseñados para el circuito integrado 74LS148 con tecnología CMOS.

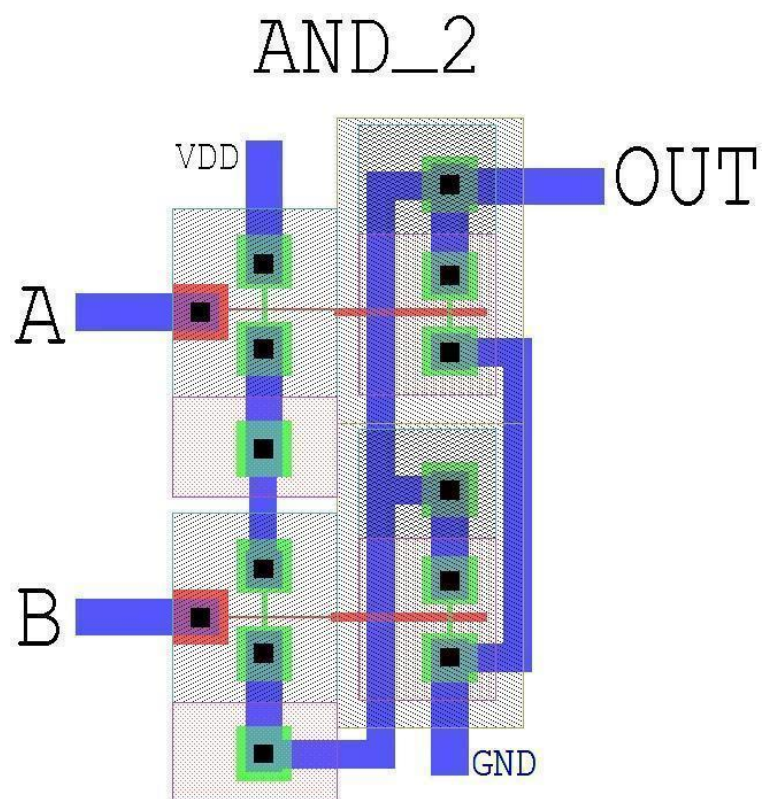


Figura 3.1 Layout de la Compuerta AND de dos entradas.

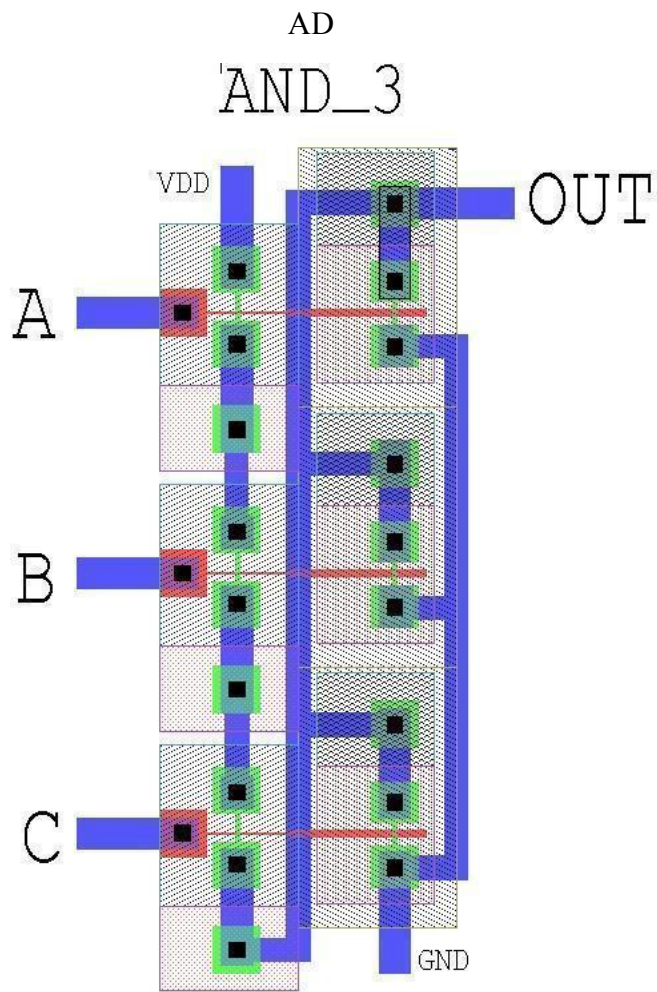


Figura 3.2 Layout de la Compuerta AND de tres entradas.

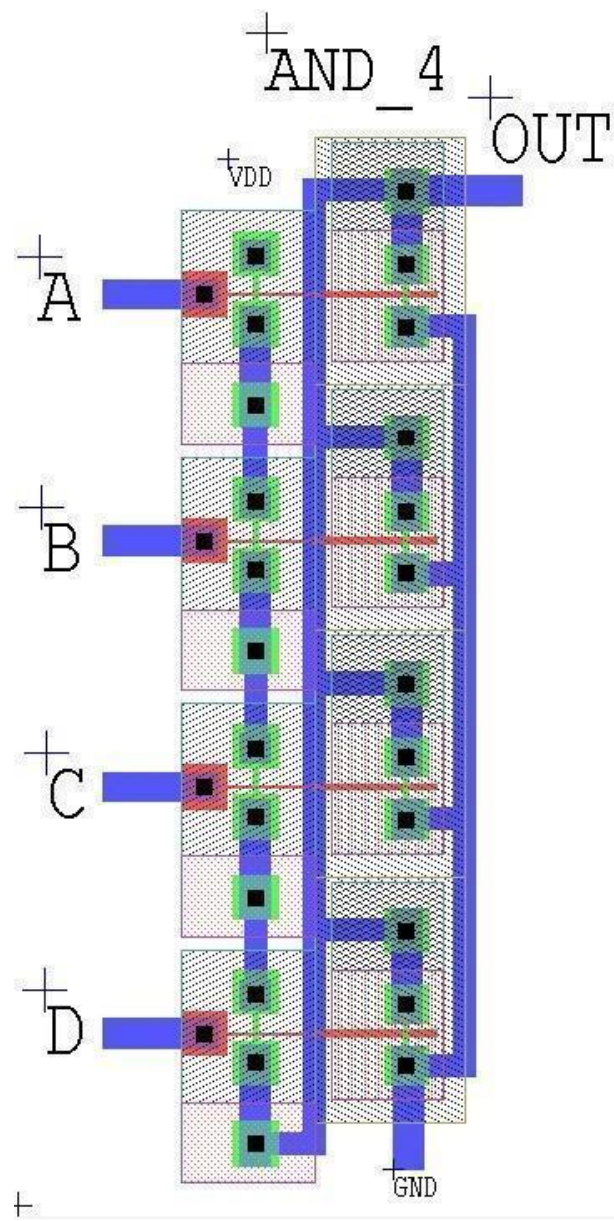


Figura 3.3 Layout de la Compuerta AND de cuatro entradas.

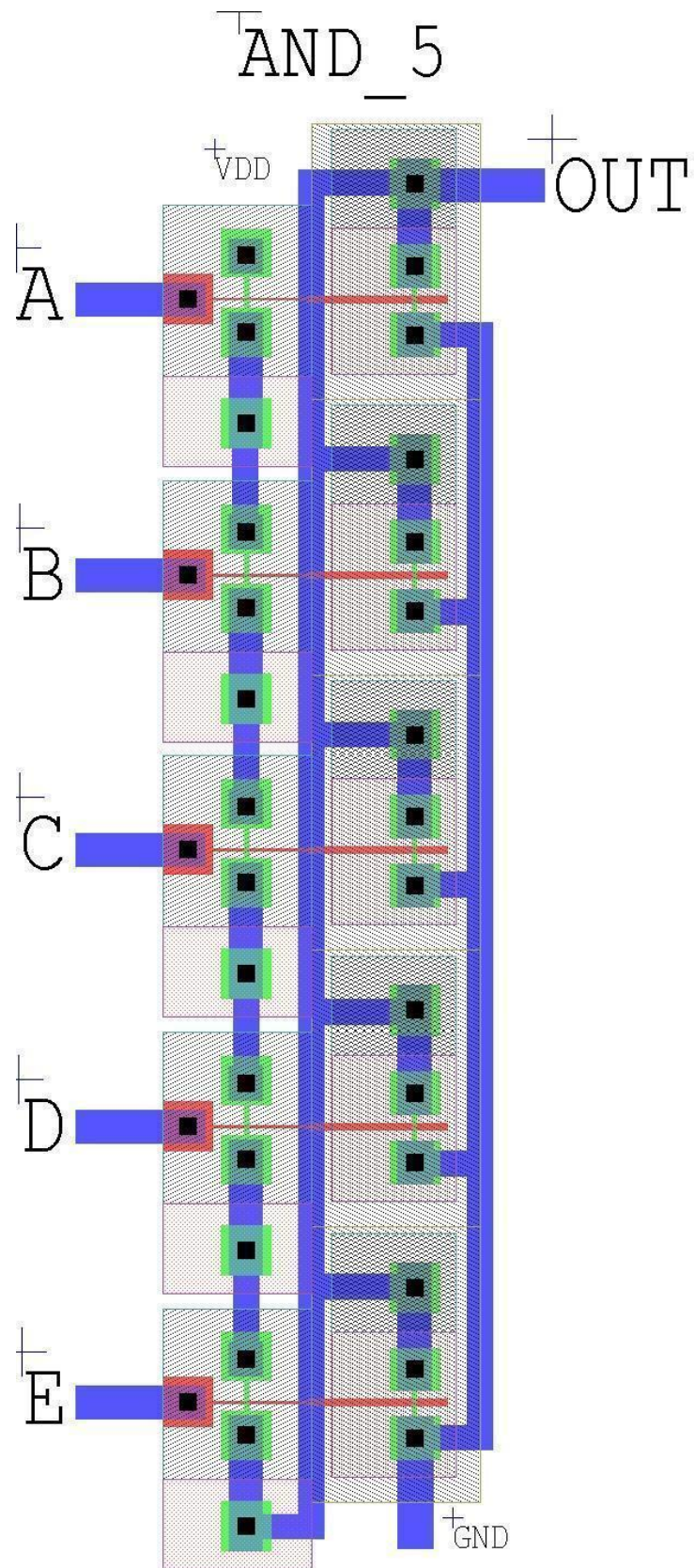


Figura 3.4 Layout de la Compuerta AND de cinco entradas.

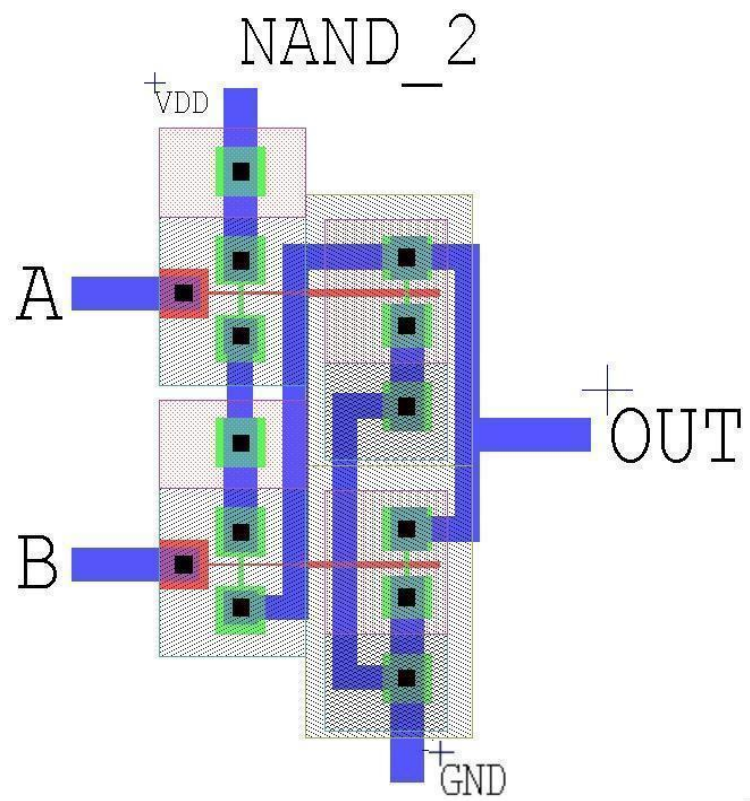


Figura 3.5 Layout de la Compuerta NAND de dos entradas.

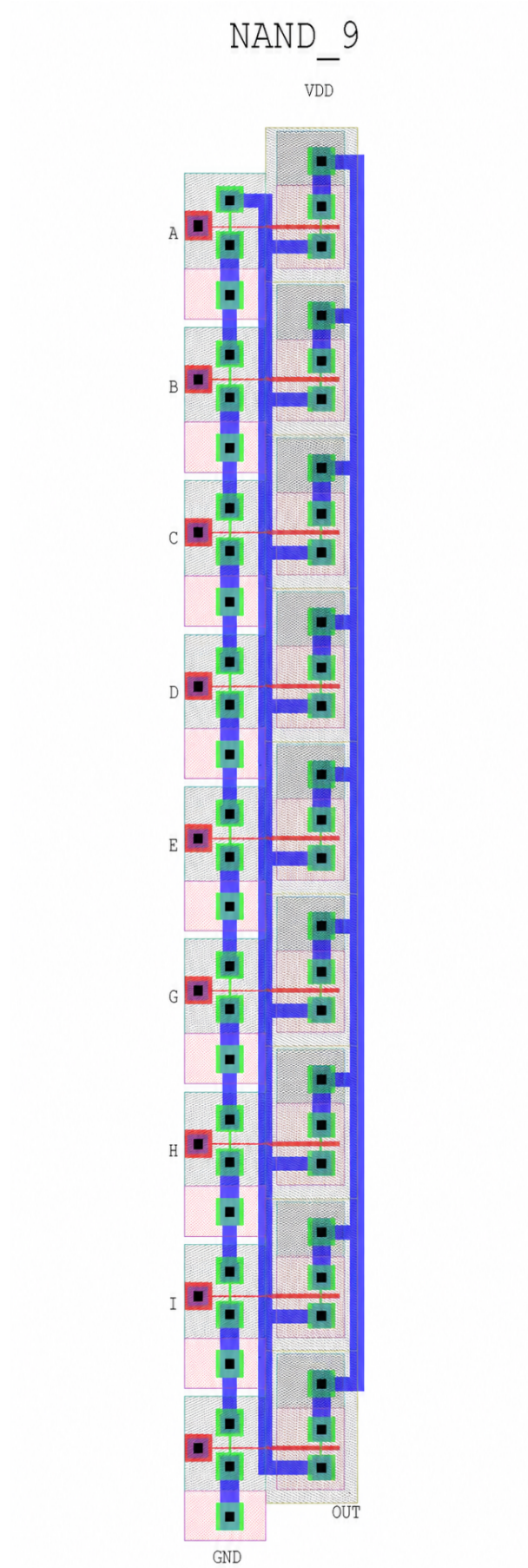


Figura 3.6 Layout de la Compuerta NAND de nueve entradas.

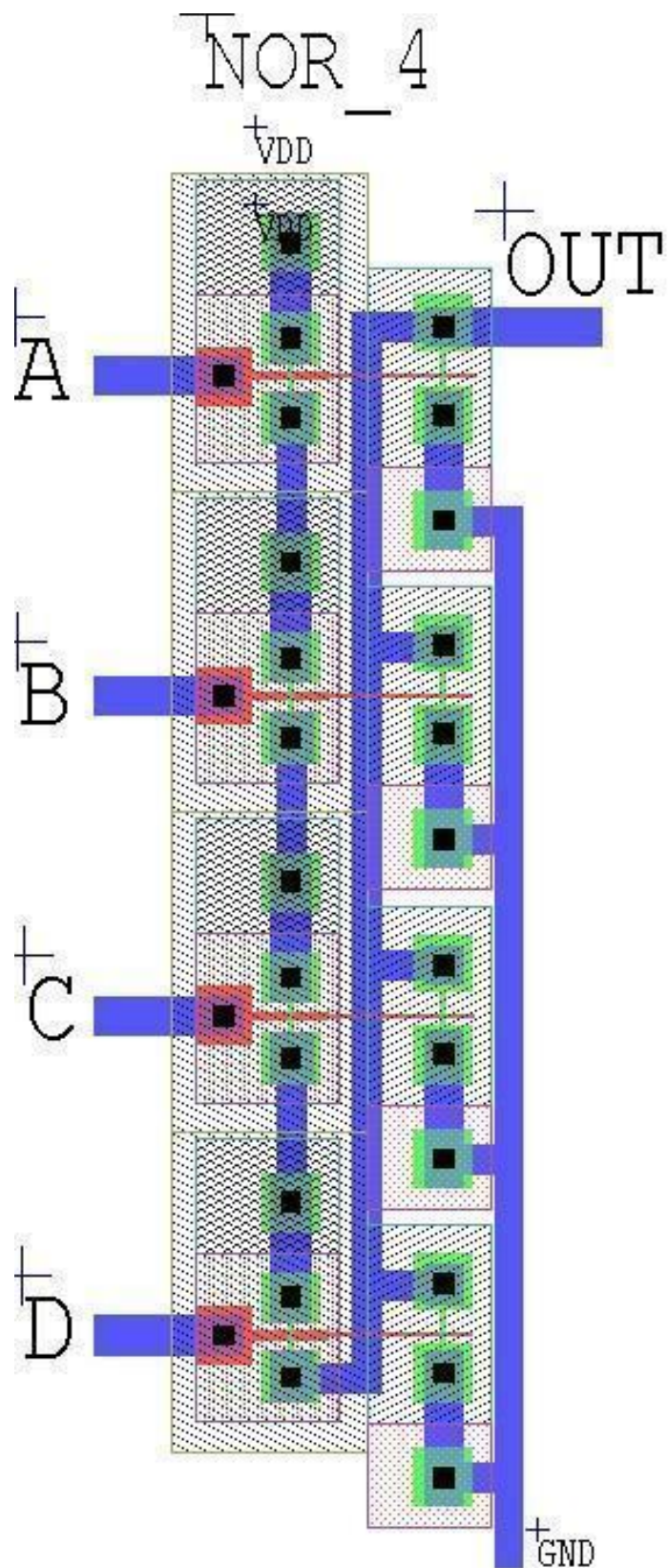


Figura 3.7 Layout de la Compuerta NOR de CUATRO entradas.

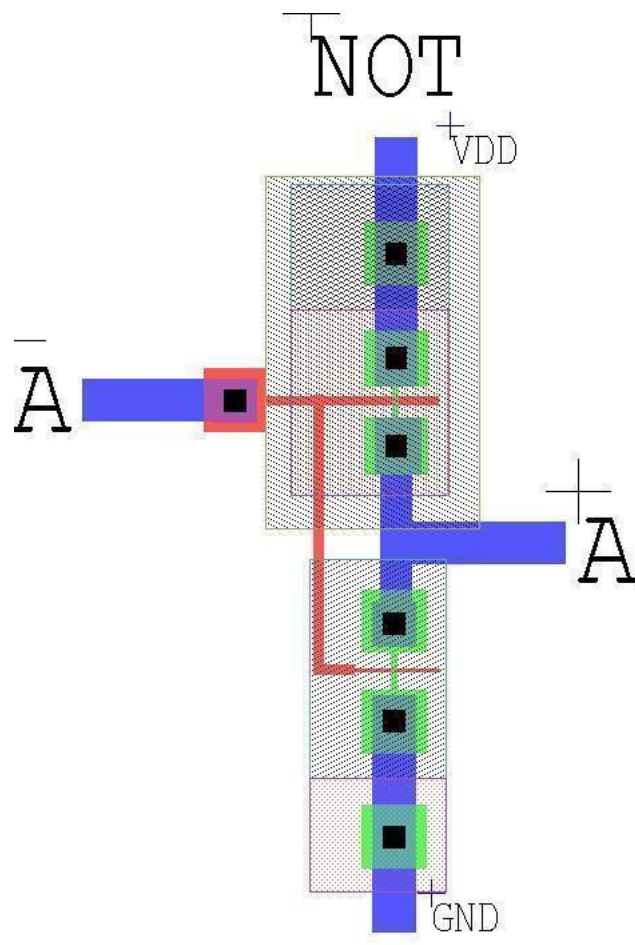


Figura 3.8 Layout de la Compuerta NOT (inversor).

BUFFER INVERSOR

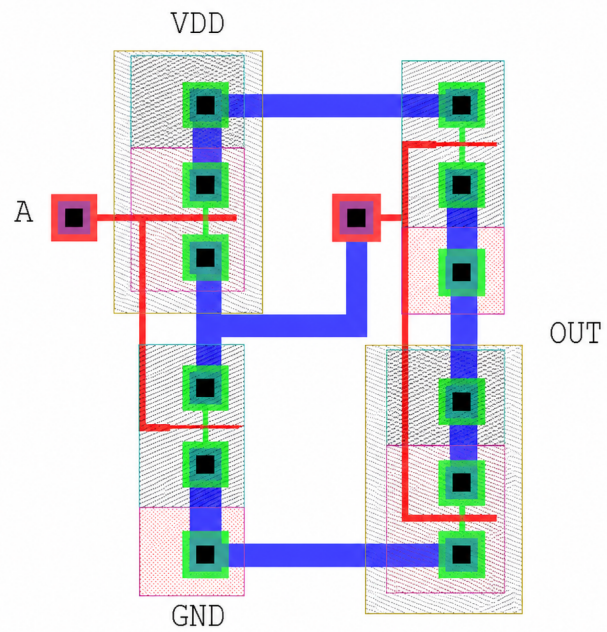


Figura 3.9 Layout del BUFFER con entrada invertida.

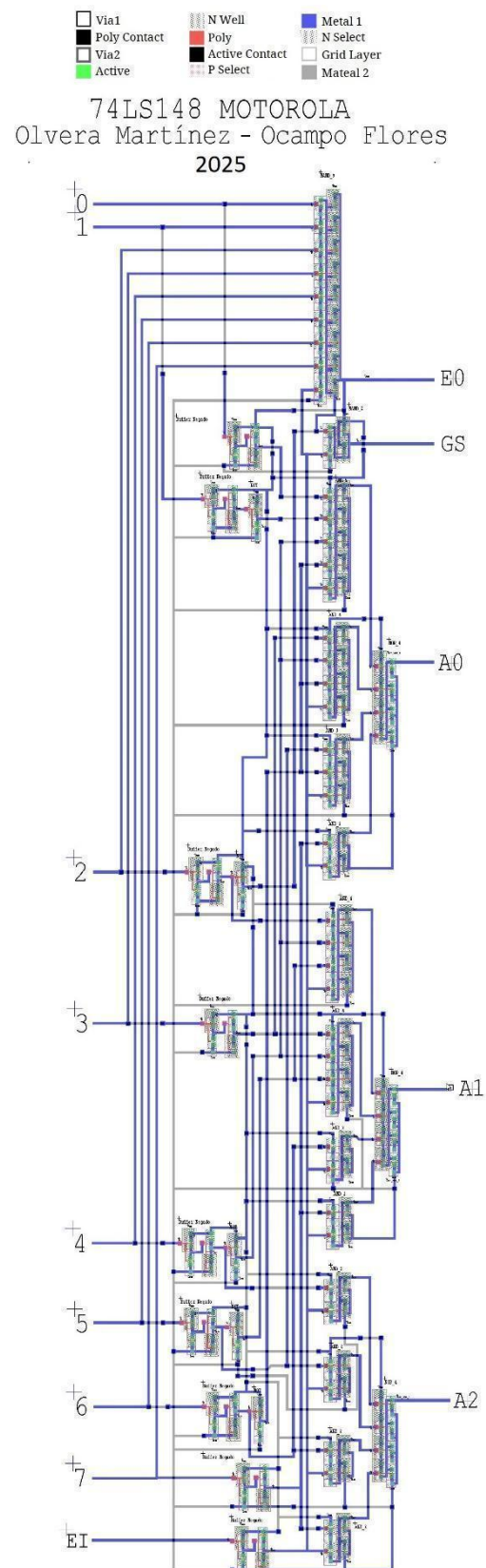


Figura 3.10 Layout del circuito integrado del 74LS148 completo.

3.2 Funcionamiento

El principio de funcionamiento se basa en asignar una prioridad jerárquica a las entradas, de modo que, si varias entradas están activas simultáneamente, el sistema entrega como salida el código binario correspondiente a la entrada de mayor prioridad (por ejemplo, la entrada D7 tiene prioridad sobre D6, D6 sobre D5, y así sucesivamente).

En la implementación CMOS, se emplearon puertas NAND, NOR e inversores contruidos a partir de transistores MOS complementarios. Esta tecnología ofrece un menor consumo de potencia estática en comparación con la familia TTL original (LS), además de una mayor densidad de integración y compatibilidad con niveles lógicos modernos.

Durante las simulaciones, se aplicaron combinaciones de entrada desde D0 hasta D7 para comprobar la correcta codificación de las salidas A_2 , A_1 y A_0 . Los resultados confirmaron que el circuito responde adecuadamente a la tabla de verdad del 74LS148 estándar, generando las salidas binarias correspondientes. Asimismo, se comprobó la correcta operación de las señales auxiliares GS (Group Select), EO (Enable Output) y EI (Enable Input), garantizando la compatibilidad funcional con otros codificadores o sistemas jerárquicos como se ve en la Tabla 2.

INPUTS									OUTPUTS				
EI	0	1	2	3	4	5	6	7	A2	A1	A0	GS	EO
H	X	X	X	X	X	X	X	X	H	H	H	H	H
L	H	H	H	H	H	H	H	H	H	H	H	H	L
L	X	X	X	X	X	X	X	L	L	L	L	L	H
L	X	X	X	X	X	X	L	H	L	L	H	L	H
L	X	X	X	X	X	L	H	H	L	H	L	L	H
L	X	X	X	X	L	H	H	H	L	H	H	L	H
L	X	X	X	L	H	H	H	H	H	L	L	L	H
L	X	X	L	H	H	H	H	H	H	L	H	L	H
L	X	L	H	H	H	H	H	H	H	H	L	L	H
L	L	H	H	H	H	H	H	H	H	H	H	L	H

Tabla 2 Tabla de Verdad de los resultados obtenidos

En cuanto al layout, el diseño fue realizado considerando la simetría y la optimización del área de silicio, buscando minimizar el retardo de propagación entre etapas lógicas. Se verificó mediante herramientas de DRC (Design Rule Check) y LVS (Layout Versus Schematic) que el diseño físico coincide con el esquemático, sin violaciones de reglas tecnológicas.

Durante la simulación post-layout, los tiempos de conmutación mostraron una mejora respecto a la versión TTL original, además de una reducción significativa del consumo dinámico gracias a las propiedades del proceso CMOS.

Por tanto, se valida que el rediseño cumple con la funcionalidad lógica y eléctrica esperada, confirmando el correcto funcionamiento del circuito.

4 Conclusiones y recomendaciones

4.1 Conclusiones

- Se logró rediseñar el circuito 74LS148 utilizando tecnología CMOS, por medio de los cálculos de W y L de los transistores NMOS y PMOS, manteniendo su funcionalidad original y mejorando sus características eléctricas.
- Se modificaron los modelos originales del software NI Multisim, con los parámetros calculados y se simularon todos los circuitos, desde los transistores, las compuertas hasta el encoder, para verificar su correcto funcionamiento.
- Se diseñaron las compuertas NAND, NOR e inversores a base de los transistores NMOS y PMOS con L-EDIT de TANNER EDA de MENTOR GRAPHICS, parte de Siemens Digital Industries Software.
- El nuevo diseño presenta menor consumo de potencia y mayor densidad de integración, características típicas de la tecnología CMOS.
- Las simulaciones confirmaron que las salidas binarias y señales auxiliares corresponden al comportamiento esperado del codificador de prioridad.
- Los resultados demuestran que la migración de familias lógicas TTL a CMOS es viable para mantener compatibilidad lógica mientras se mejora el rendimiento energético y el escalamiento del circuito.

4.2 Recomendaciones:

- Analizar la implementación en procesos CMOS más avanzados (por ejemplo, 180 nm o 90 nm) para reducir u optimizar aún más el área y la potencia.
- Incorporar buffers de salida para mejorar la robustez del circuito frente a descargas o carga externa.
- Implementar un prototipo físico o una versión sintetizada en FPGA para validar el comportamiento en hardware real.
- Considerar la optimización del layout en términos de enrutamiento y balanceo de cargas para minimizar retardos de propagación.
- Extender el diseño hacia codificadores de prioridad de mayor número de entradas, o incluir una versión parametrizable para sistemas digitales complejos.

5 Glosario

CMOS	<i>Tecnología de fabricación de circuitos integrados que se emplea en transistores MOS tipo P y N complementarios característicos por su bajo consumo, resistencia a ruido y alta impedancia.</i>
TTL	<i>Familia lógica digital basada en transistores BJT, ampliamente utilizados en CI, con consumo de potencia mayor a los CMOS y voltaje de operación comúnmente fijo.</i>
Codificador de Prioridad	<i>Circuito combinacional que asigna un código binario a la entrada activa de mayor prioridad cuando tenga varias entradas activas simultáneamente.</i>
Voltaje de Umbral (V _{TH})	<i>Voltaje mínimo que debe ser aplicado entre la compuerta y la fuente de un transistor MOS para que forme el canal de conducción.</i>
NMOS	<i>Transistor MOS de canal n que conduce cuando el voltaje compuerta-fuente es positivo y mayor que su voltaje de umbral.</i>
PMOS	<i>Transistor MOS de canal p que conduce cuando el voltaje compuerta-fuente es negativo y mayor que su voltaje de umbral.</i>
Layout	<i>Representación física del circuito integrado que define la disposición geométrica de transistores, interconexión y capas de fabricación sobre el silicio.</i>
Compuertas Lógicas	<i>Bloque básico de un sistema digital que implementa una operación lógica específica.</i>

6 Bibliografía

- [1] Fairchild Semiconductor, *CMOS, the Ideal Logic Family (Application Note 77)*, 1a Ed. San José, CA, USA: Fairchild Semiconductors, 1983. [Online] Available: <https://exa.unne.edu.ar/ingenieria/electronica3/pdf/AN-77%20CMOS.%20the%20Ideal%20Logic%20Family.pdf>
- [2] T. L. Floyd, "El MOSFET; Características y parámetros de MOSFET; Polarización de un MOSFET", in *Dispositivos Electrónicos*, 8ª ed., Ciudad de México, México: Pearson Education, 2010, pp. 397-407.
- [3] J. F. Martínez Lendech, "Familias lógicas digitales", guía académica, Lógica Secuencial y Combinatoria, Licenciatura en Ingeniería n Computación, C.U. UAEM Valle de Teotihuacán, México, 2021.
- [4] S. Noriega, *Familia lógica CMOS*, 1ª ed. Buenos Aires, Argentina: Ministerio de Educación, Ciencia y Tecnología de la Nación, Instituto Nacional de Educación Tecnológica (INET), 2006. [Online] Available: <https://es.scribd.com/doc/100057275/Familia-logica-CMOS-Sergio-Noriega>
- [5] Jong-Ryul Yang y Seong-Tae Han, Advanced, (2022), CMOS Integrated Circuit Design and Application, Ed. Sensors (MDPI), ISBN 978-3-0365-3478-7 (PDF), <https://doi.org/10.3390/books978-3-0365-3478-7>
- [6] Yi ZhaoYi Zhao y Choonghyun Lee, (2024), Advanced CMOS Devices and Applications, Ed. Electronics (MDPI), ISBN 978-3-03928-594-5 (PDF), <https://doi.org/10.3390/books978-3-03928-594-5>
- [7] Diccionario de la Real Academia de la Lengua Española (RAE), <https://dle.rae.es/>
- [8] Roger Tokheim, (1990), Digital Electronics, McGraw-Hill
- [9] Mano, M. Morris, *Diseño digital*, 3ª ed., México: Pearson, 2008.
- [10] Brown, S., y Vranesic, Z., *Fundamentals of Digital Logic with VHDL Design*, 3ª ed., Nueva York: McGraw-Hill, 2009.

Anexo 1 Productos

Artículo

1. Rosaura Olvera Martínez, Juan Pablo Ocampo Flores, José Luis González Vidal, Heberto Gómez Pozos, Juan José Raygoza Panduro, (2025), Diseño de un circuito integrado CMOS para codificador de prioridad de 8 a 3 líneas (Design of a CMOS Integrated Circuit for an 8-to-3 Line Priority Encoder), Científica vol. 29, no. 2, July-December. 2025, pp. 01-14 ISSN 2594-2921, Instituto Politécnico Nacional, MÉXICO e290206 | DOI: 10.46842/ipn.cien.v29n2a06