



UNIVERSIDAD AUTÓNOMA DEL ESTADO
DE HIDALGO

INSTITUTO DE CIENCIAS BÁSICAS E INGENIERÍA

DISEÑO DE LA ETAPA DE CONVERSIÓN
ANALÓGICO/DIGITAL PARA UN MICROSENSOR DE
GASES

T E S I S
QUE PARA OBTENER EL TÍTULO DE
INGENIERO EN ELECTRÓNICA Y TELECOMUNICACIONES

P R E S E N T A N

RUTH MARIN LIRA
EMMANUEL GÓMEZ RAMÍREZ

ASESOR: DR. JOSÉ LUIS GONZÁLEZ VIDAL

PACHUCA DE SOTO, HIDALGO. SEPTIEMBRE DE 2007

Agradecimientos

Mi tesis la dedico con todo mi amor y cariño.

A Dios por darme fuerza para salir delante de cada tropiezo y poner en mi camino a tantas personas, que han contribuido de forma significativa a este trabajo y a mi vida.

Con mucho cariño a mis padres por su determinación, entrega y humildad, gracias por todo papá y mamá por darme una carrera para mi presente y futuro, por creer en mí, aunque hemos pasado momentos difíciles siempre han estado apoyándome y brindándome su amor, por todo esto les agradezco de todo corazón el que estén conmigo.

A Jorge intentando expresarle mi amor y gratitud por su apoyo incondicional y por siempre tener palabras de aliento.

A mis cinco hermanos que los quiero mucho, gracias por estar conmigo por compartir las penas y alegrías, a mis abuelos que estuvieron cerca la mayor parte de mi vida y a mi tía Lilia que nos ha dado su apoyo incondicional.

A mis amigos, los que han pasado y los que han quedado, por que todos ustedes han sido tantas veces parte aguas de mi vida, han marcado mi vida de alguna forma.

Agradezco profundamente a Emmanuel quien ha sido todo este tiempo compañero en el camino y que juntos logramos la culminación de este trabajo.

De igual manera agradezco a mi tutor de tesis el Dr. José Luís González y al Dr. Jair García Lamont por su asesoría y dirección en el trabajo de investigación.

Me gustaría agradecer al Dr. Luís Enrique por los consejos recibidos y orientación en el desarrollo de esta tesis.

Sin lugar a duda este trabajo no pudo haberse realizado sin la formación que recibí durante todo este tiempo a la UAEH. Gracias a todos los profesores que contribuyeron realmente en mi formación. Agradezco el personal del laboratorio y biblioteca por las facilidades brindadas para la realización de esta tesis.

Por último pero no menos importante agradezco a la gente que revisó con paciencia este trabajo, mis sinodales: M. en C. Elías Varela Paz, M. en C. Ma. Angélica Espejel Rivera, Ing. José Cruz Enrique Carrasco López, Ing. Atanasio Muñoz Neri, Dr. Jair García Lamont e Ing. José Salvador Ávila Flores

Para ellos,

Muchas gracias por todo.

Ruth

Agradecimientos

*A mi familia y mi novia, por su apoyo
incondicional.*

En memoria de Natividad Ramírez Ávila.

Emmanuel æ

Agradecimientos

ESTE TRABAJO SE DESARROLLO
BAJO EL AUSPICIO DEL PROGRAMA
ANUAL DE INVESTIGACIÓN 2006 DE
LA UAEH "DRA. HONORIS CAUSA
ELISA VARGAS-LUGO RANGEL",
PROYECTO INTERFAZ
ELECTRÓNICA PARA EL
TRATAMIENTO DE SEÑALES
ELÉCTRICAS PROPORCIONADAS
POR MICROSENSORES QUÍMICOS.

Glosario

| Notación empleada | Significado |
|-------------------|---|
| V_{GS} | Voltaje compuerta-fuente |
| V_{DS} | Voltaje drenaje-fuente |
| I_D | Corriente de drenado |
| I_{DSS} | Corriente de saturación |
| D | Drenaje (Drain) |
| G | Compuerta (Gate) |
| S | Fuente (Source) |
| SS | Substrato (Bulk) |
| V_T | Voltaje de umbral |
| V_{DSsat} | Voltaje DS de saturación |
| k | Constante de fabricación del dispositivo |
| X | Ancho de la capa de agotamiento del óxido |
| ϕ | Diferencia de potencial |
| N_A | Densidad de Dopado |
| ϵ_{ox} | Permitividad del óxido |
| Q_I | Carga por unidad de superficie |
| $Q_I(y)$ | Carga inducida |
| C_{ox} | Capacitancia del óxido |
| W | Ancho del canal |
| L | Longitud del canal |
| L_{eff} | Longitud efectiva del canal |
| μ_n | Movilidad |
| t_{ox} | Espesor del óxido |
| g_m | Transconductancia |
| LSB | Bit menos significativo |
| MSB | Bit mas significativo |

| | |
|-----------------|---|
| V_{ref} | Voltaje de referencia |
| V_o | Voltaje de salida |
| V_i | Voltaje de entrada |
| T_c | Tiempo de Conversión |
| $V+$ | Entrada no inversora del OpAmp |
| $V-$ | Entrada inversora del OpAmp |
| V_{sat} | Voltaje de saturación |
| I_{ref} | Corriente de referencia |
| CLK | Pulso de reloj |
| PRL | Puesta a 1 del flip-flop |
| CLR | Puesta a 0 del flip-flop |
| FF | Flip-flop |
| CVD | Depósito de vapor químico |
| $VLSI$ | Alta escala de integración |
| $Nwell$ | Mascara de pozo n |
| $Active$ | Regiones donde los transistores pueden ser situados |
| $Poly$ | Patrón de polisilicio de compuerta |
| $Pselect$ | Regiones donde el ion de tipo p se implanta para formar regiones p+ |
| $Nselect$ | Regiones donde el ion de tipo n se implanta para formar regiones n+ |
| $Polycontac$ | Cortes en el óxido que proveen contacto entre el Metal1 y el Poly |
| $Activecontact$ | Cortes en el óxido que proveen conexión entre el Metal1 y la región n+ o p+ |
| $Metal1$ | Patrón para la primer capa de metal |
| Via | Corte en el óxido para proveer conexión entre el Metal1 y Metal2 |
| $Metal2$ | Patrón para la segunda capa de metal |
| R_{on} | Resistencia del MOS en estado on |

Índice general

| | |
|--|-----------|
| 1. Introducción | 1 |
| 1.1. Planteamiento del problema | 1 |
| 1.2. Objetivos de la tesis | 2 |
| 1.2.1. Objetivo general | 2 |
| 1.2.2. Objetivos particulares | 2 |
| 1.3. Justificación | 2 |
| 1.4. Estado del Arte del sensor | 2 |
| 1.5. Contenido de esta tesis | 4 |
| 2. Transistores de efecto de campo Metal-Oxido-Semiconductor | 5 |
| 2.1. Introducción | 5 |
| 2.2. MOSFET de tipo empobrecimiento | 5 |
| 2.2.1. Construcción básica del MOSFET de tipo empobrecimiento de canal-n | 5 |
| 2.2.2. Operación básica y características | 6 |
| 2.2.3. MOSFET de tipo empobrecimiento de canal-p | 8 |
| 2.2.4. Símbolos gráficos para un MOSFET de tipo empobrecimiento de canal-n y canal-p | 10 |
| 2.3. MOSFET de tipo enriquecimiento | 10 |
| 2.3.1. Construcción básica del MOSFET de tipo enriquecimiento de canal-n | 11 |
| 2.3.2. Operación básica y características | 12 |
| 2.3.3. MOSFET de tipo enriquecimiento de canal-p | 15 |
| 2.3.4. Símbolos gráficos para un MOSFET de tipo enriquecimiento de canal-n y canal-p | 17 |
| 2.4. ID (Dimensiones) | 17 |
| 2.5. Transconductancia (g_m) | 21 |
| 2.5.1. MOSFET de tipo empobrecimiento | 21 |
| 2.5.2. MOSFET de tipo enriquecimiento | 24 |
| 3. Convertidor Analógico a Digital | 25 |
| 3.1. Introducción | 25 |

| | | |
|-----------|---|-----------|
| 3.2. | Características del convertidor analógico a digital | 25 |
| 3.2.1. | Resolución | 26 |
| 3.2.2. | Error de cuantificación | 27 |
| 3.2.3. | Subbordamiento y desbordamiento | 27 |
| 3.3. | Tipos de convertidores analógico a digital | 27 |
| 3.3.1. | Convertidor A/D flash de dos bits | 28 |
| 3.3.2. | Convertidor A/D mediante una rampa de una sola pendiente | 29 |
| 3.3.3. | Convertidor A/D de doble pendiente | 31 |
| 3.3.4. | Convertidor A/D de red de escalera | 32 |
| 3.3.5. | Convertidor A/D por aproximaciones sucesivas | 32 |
| 4. | Diseño y Simulación del convertidor A/D por aproximaciones sucesivas | 37 |
| 4.1. | Introducción | 37 |
| 4.2. | Amplificador operacional | 37 |
| 4.2.1. | Terminales de la fuente de alimentación | 37 |
| 4.2.2. | Terminales de entrada | 38 |
| 4.2.3. | Terminal de salida | 39 |
| 4.2.4. | Voltaje de salida | 39 |
| 4.3. | Convertidor D/A | 42 |
| 4.3.1. | Red de escalera $R-2R$ | 42 |
| 4.3.2. | Salida de corriente del convertidor digital a analógico | 43 |
| 4.3.3. | Salida de voltaje del convertidor digital a analógico | 44 |
| 4.4. | Programador y Registro | 44 |
| 4.4.1. | Biestable RS | 44 |
| 4.4.2. | Biestable D | 47 |
| 4.4.3. | Contador de anillo | 48 |
| 4.4.4. | Etapa de control | 50 |
| 4.4.5. | Circuito del convertidor A/D por aproximaciones sucesivas | 52 |
| 5. | Layout del convertidor A/D | 55 |
| 5.1. | Introducción | 55 |
| 5.2. | Proceso de fabricación de un Circuito Integrado | 55 |
| 5.2.1. | Óxidos | 56 |
| 5.2.2. | Polisilicio | 56 |
| 5.2.3. | Implantación iónica y dopaje | 56 |
| 5.2.4. | Capas metálicas | 56 |
| 5.2.5. | Fotolitografía | 57 |
| 5.2.6. | Aislamiento y pozos | 57 |
| 5.3. | Diseño del Layout de un CMOS | 58 |
| 5.4. | Reglas de diseño | 62 |
| 5.4.1. | Nwell | 62 |

| | |
|---|-----------|
| 5.4.2. Active | 62 |
| 5.4.3. Poly | 63 |
| 5.4.4. Poly Contact | 64 |
| 5.4.5. Pselect y Nselect | 64 |
| 5.4.6. Active Contact | 65 |
| 5.4.7. Metal1 | 66 |
| 5.4.8. Via | 67 |
| 5.4.9. Metal2 | 68 |
| 5.5. Layout de la parte digital del convertidor A/D | 68 |
| 5.6. Layout de la parte analógica del convertidor A/D | 83 |
| 6. Conclusiones | 89 |
| . Bibliografía | 93 |

Índice de figuras

| | |
|--|----|
| 2.1. MOSFET de tipo empobrecimiento de canal-n. | 6 |
| 2.2. MOSFET de tipo empobrecimiento de canal-n con $V_{GS} = 0V$ y un voltaje aplicado V_{DD} | 7 |
| 2.3. Características de drenaje para un MOSFET de tipo empobrecimiento de canal-n. | 7 |
| 2.4. Reducción de portadores libres en el canal debido a un potencial negativo en la terminal de la compuerta. | 8 |
| 2.5. MOSFET de tipo empobrecimiento de canal-p. | 9 |
| 2.6. MOSFET de tipo empobrecimiento de canal-p con $I_{DSS}=6mA$ y $V_P=+6V$ | 9 |
| 2.7. Símbolos gráficos para a) MOSFET de tipo empobrecimiento de canal-n y, b) MOSFET de tipo empobrecimiento de canal-p. | 10 |
| 2.8. MOSFET de tipo enriquecimiento de canal-n. | 11 |
| 2.9. Formación del canal en el MOSFET de tipo enriquecimiento de canal-n. | 12 |
| 2.10. Cambio en la región de agotamiento y el canal con aumento en el nivel de V_{DS} para un valor fijo de V_{GS} | 13 |
| 2.11. Características del drenaje de un MOSFET de tipo enriquecimiento de canal-n. | 14 |
| 2.12. Trazo de las características de transferencia de un MOSFET de tipo enriquecimiento de canal-n a partir de las características de drenaje. | 15 |
| 2.13. MOSFET de tipo enriquecimiento de canal-p. | 16 |
| 2.14. MOSFET de tipo enriquecimiento de canal-p con $V_T = 2V$ | 16 |
| 2.15. Símbolos para a)MOSFET de tipo enriquecimiento de canal-n y, b)MOSFET de tipo enriquecimiento de canal-p. | 17 |
| 2.16. Sección transversal de un dispositivo NMOS idealizado, con un voltaje positivo V_{GS} aplicado, mostrando las regiones de agotamiento y el canal inducido. | 18 |
| 2.17. Dispositivo NMOS con voltajes de polarización aplicados. | 19 |
| 2.18. Definición de g_m utilizando la característica de transferencia. | 22 |
| 2.19. Gráfica de g_m en función V_{GS} | 23 |
| 3.1. Símbolo de un CAD de n bits. | 26 |
| 3.2. Características de entrada - salida de un CAD.[4] | 26 |

| | | |
|-------|--|----|
| 3.3. | Diagrama a bloques de un convertidor A/D flash de 2 bits. | 28 |
| 3.4. | Tabla de verdad del CAD. | 29 |
| 3.5. | El convertidor cuenta los pulsos del reloj hasta que un voltaje de rampa, que se incrementa, excede el voltaje de entrada. | 30 |
| 3.6. | La cantidad es proporcional al voltaje de entrada. | 30 |
| 3.7. | Diagrama lógico de un convertidor A/D de doble pendiente. | 31 |
| 3.8. | Forma de onda del convertidor A/D usando el metodo de doble pendiente. | 32 |
| 3.9. | Conversión A/D usando una red de escalera (diagrama lógico). | 33 |
| 3.10. | Forma de onda de un convertidor A/D usando una red de escalera. | 33 |
| 3.11. | Diagrama a bloques de un convertidor A/D por aproximaciones sucesivas. | 34 |
| 3.12. | Inicia la operación de este registro de aproximación sucesiva de 3 bits comenzando con el MSB, el peso de cada bit se compara con V_{ent} con el comparador de la Figura (3.11). | 34 |
| 4.1. | Esquema de un opamp. | 38 |
| 4.2. | Diagrama de un opamp. | 38 |
| 4.3. | Esquema de un opamp. | 40 |
| 4.4. | Simulación del opamp. | 40 |
| 4.5. | Esquema de un opamp. | 41 |
| 4.6. | Simulación del opamp. | 41 |
| 4.7. | Diagrama a bloques para un convertidor digital a analógico. | 42 |
| 4.8. | Convertidor digital/analógico. | 43 |
| 4.9. | Esquema de bloque de un biestable RS. | 45 |
| 4.10. | Esquema lógico del biestable RS. | 46 |
| 4.11. | Esquema de lógico del biestable RS con tecnología CMOS. | 46 |
| 4.12. | Esquema de bloque de un biestable D. | 47 |
| 4.13. | Esquema lógico del biestable D. | 48 |
| 4.14. | Esquema lógico del biestable D con tecnología CMOS. | 48 |
| 4.15. | Contador de anillo. | 49 |
| 4.16. | Secuencia de diez señales de temporizado. | 49 |
| 4.17. | Esquema lógico del contador de anillo. | 50 |
| 4.18. | Esquema lógico del contador de anillo con tecnología CMOS. | 50 |
| 4.19. | Etapas de control. | 51 |
| 4.20. | Esquema lógico completo del CAD. | 53 |
| 4.21. | Esquema lógico del CAD con tecnología CMOS. | 54 |
| 5.1. | Pasos básicos de enmascaramiento usados en definición de FETs. | 60 |
| 5.2. | Pasos básicos de enmascaramiento usados en definición de FETs (continuación). | 61 |
| 5.3. | Reglas de diseño del Nwell. | 62 |
| 5.4. | Reglas de diseño del Active. | 63 |
| 5.5. | Reglas de diseño del Poly. | 63 |
| 5.6. | Reglas de diseño del Poly Contact. | 64 |

| | |
|--|----|
| 5.7. Reglas de diseño del Pselect y Nselect. | 65 |
| 5.8. Reglas de diseño del Active Contact. | 66 |
| 5.9. Reglas de diseño del Metal1. | 66 |
| 5.10. Reglas de diseño de la Via. | 67 |
| 5.11. Reglas de diseño del Metal2. | 68 |
| 5.12. Layout NMOS. | 69 |
| 5.13. Layout PMOS. | 69 |
| 5.14. Layout de un inversor (NOT). | 70 |
| 5.15. Layout AND de 2 entradas. | 70 |
| 5.16. Layout AND de 3 entradas. | 71 |
| 5.17. Layout OR de 2 entradas. | 71 |
| 5.18. Layout OR de 3 entradas. | 72 |
| 5.19. Layout NAND de 2 entradas. | 72 |
| 5.20. Layout NAND de 3 entradas. | 73 |
| 5.21. Layout NOR de 2 entradas. | 73 |
| 5.22. Layout NOR de 3 entradas. | 74 |
| 5.23. Layout BUFFER. | 74 |
| 5.24. Layout FLIP-FLOP D. | 75 |
| 5.25. Layout Registro de Corrimiento (Contador de Anillo). | 76 |
| 5.26. Layout FLIP-FLOP RS. | 77 |
| 5.27. Layout del Registro de 8 bits. | 78 |
| 5.28. Layout de la etapa de control. | 79 |
| 5.29. Layout del Programador. | 80 |
| 5.30. Layout Buffer de 3 Estados. | 81 |
| 5.31. Salidas del convertidor A/D. | 82 |
| 5.32. Layout Resistencia de 200 Ohms. | 83 |
| 5.33. Layout Resistencia de 100 Ohms. | 84 |
| 5.34. Layout Resistencia de 10 KOhms. | 84 |
| 5.35. Layout del Comparador | 85 |
| 5.36. Layout del convertidor D/A. | 87 |
| 5.37. Layout del convertidor A/D. | 88 |

Capítulo 1

Introducción

En las últimas décadas, la fabricación de dispositivos electrónicos de pequeñas dimensiones y la microfabricación de elementos de sensores, son unos de los avances más sobresalientes en tecnología de sensores químicos. En años recientes las técnicas de micro fabricación para la elaboración de dispositivos electrónicos han llegado a ser sofisticadas, dicha fabricación proporciona ventajas para la producción de dichos sensores químicos de micro tamaño. Existen diferentes tipos de sensores químicos, entre ellos los sensores de gas basados en dióxido de estaño. Estos sensores han sido utilizados en la detección de fugas de gases flamables o tóxicos, control de combustión y para detectar olores. Los sensores de gas basados en SnO_2 incluyen alta sensibilidad, bajo costo, tiempo de respuesta rápida y consumo de potencia bajo, sin embargo existen desventajas como efecto de humedad y temperatura. En años recientes se han hecho estudios para mejorar el desempeño de sensores de gas.

Estos sensores se fabrican con tecnología MEMS (Sistemas MicroElectro - Mecánicos). Estos microdispositivos se emplean, por ejemplo, para la realización de acelerómetros, presentes en las bolsas de aire de los autos para determinar el momento justo en que se produce una colisión y disparar así el mecanismo de inflado de las bolsas. Este mismo tipo de MEMS se emplean como sensores de presión, temperatura, humedad y gas. Además de la ventaja del tamaño de estos dispositivos, está el hecho de que se puede fabricar en grandes cantidades abaratando notablemente su costo de fabricación. Los MEMS, como toda nueva tecnología, han tenido un impacto importante a la hora de favorecer el acceso a nuevo conocimiento científico.

1.1. Planteamiento del problema

Un microsensar de gas proporciona una señal en función del gas sensado en el rango de los μAmp y ηAmp , la cual debe ser convertida de una señal analógica a digital para poderla visualizar y utilizar por medio de la computadora o alguna aplicación electrónica. Para esto se debe diseñar una etapa de conversión analógico/digital a base de tecnología CMOS la cual permitirá llevar los valores entregados por dicho sensor, a

magnitudes mas grandes, las cuales podrán ser manipuladas mas fácilmente.

1.2. Objetivos de la tesis

1.2.1. Objetivo general

Diseño de la etapa del convertidor analógico/digital con tecnología CMOS para una señal proporcionada por un microsensar de gas.

1.2.2. Objetivos particulares

1. Estudio y comprensión de los principios de funcionamiento de los transistores CMOS.
2. Estudio y comprensión de los principios de funcionamiento de los convertidores A/D y D/A.
3. Aprendizaje de programas de simulación y diseño electrónico.
4. Diseño de un convertidor analógico/digital para un microsensar de gases.
5. Simulación de un convertidor analógico/digital para un microsensar de gases.
6. Diseño de layout del convertidor analógico/digital para un microsensar de gases.

1.3. Justificación

Un microsensar de gas proporciona una señal analógica la cual debe ser convertida a digital por lo que se propone el diseño de la etapa de conversión analógico/digital, basada en tecnología CMOS. Este diseño nos permite conocer los datos a través de la computadora.

Teniendo una aplicación para la detección de fuga de gases flamables o tóxicos en la industria, en el hogar y en cualquier otro lugar donde se requiera el uso de gases.

Este diseño permite el control de combustión y puede ser usado para desplegar la información en la computadora de los diferentes tipos de olores sentidos en el ambiente.

1.4. Estado del Arte del sensor

Los micromecanismos tienen dos categorías: sensores y actuadores, este trabajo se enfocará solamente a los sensores; los sensores miden alguna propiedad de su ambiente; la potencia de disipación de los sensores debe ser minimizada y su sensibilidad debe ser

maximizada. La sensibilidad ha sido incrementada y actualmente esta siendo limitada por problemas de ruido térmico.

Existen diferentes tipos de sensores, estos se clasifican de la siguiente manera:

- Sensores integrados e inteligentes.

Un sensor integrado es aquel en el que se encuentran en un mismo encapsulado un sensor y un circuito de procesamiento de señal. Un sensor integrado monolítico tiene el circuito de procesamiento de señal fabricado dentro del chip como el sensor, mientras que un sensor integrado híbrido tiene el circuito de procesamiento de señal en el mismo sustrato híbrido como el chip del sensor; de esta forma, el sensor encapsulado, no sólo traduce la medición a señales eléctricas, además puede tener otras capacidades como el procesamiento de señales y la toma de decisiones. Estos últimos se les conoce como sensores inteligentes.

- Sensores físicos. Los sensores físicos están clasificados en los siguientes grupos: térmicos, eléctricos, mecánicos, ópticos y magnéticos, acorde a sus principios. Avances recientes en la tecnología de micro maquinados adicionan nuevas dimensiones al desarrollo de sensores, la tecnología de micro maquinados ha sido aplicada al desarrollo de sensores físicos.

- Sensores químicos.

La fabricación de micro electrodos otorga ventajas para el desarrollo de los sensores químicos, que se describen brevemente como sigue:

1. El tamaño de electrodo pequeño requiere un volumen de muestra pequeño, aún en sensado biológico.
 2. El nivel muy pequeño de la corriente Faradaica resulta un efecto benéfico de la caída de potencial óhmico, aún en muestras de muy baja conductividad.
 3. La densidad de corriente limitada se incrementa a medida que el tamaño del electrodo decrece de esta forma se mejora la razón de señal-ruido.
 4. La rápida respuesta de micro electrodos permite el monitoreo de fluctuaciones de señales de baja frecuencia y la rápida obtención de curvas de polarización en estado estable.
 5. La salida de corriente en micro electrodos con dimensiones en el rango de micras es prácticamente insensitiva al flujo convencional en solución.
-

1.5. Contenido de esta tesis

La estructura de esta tesis es la siguiente

En el *Capítulo 2*. Se mencionan las características específicas del MOSFET, los MOSFET de empobrecimiento y enriquecimiento, así como las diferencias en su modo de operación y construcción. Asimismo se describe las ecuaciones características del MOSFET.

En el *Capítulo 3* se explican los diferentes tipos de convertidores analógico a digital utilizados, así como sus características principales en su construcción y, se concluye con la elección de algún tipo de convertidor del cual se habla a detalle.

En el *Capítulo 4* se describe el diseño y la simulación de un convertidor A/D; utilizando los siguientes simuladores: Multisim 7 y 9 de Workbench, Tina Pro V6 y WinSpice.

En el *Capítulo 5* se describe el diseño en layout del convertidor analógico a digital, utilizando el programa L-Edit V8 de Tanner Eda.

Por último, en el *Capítulo 6*, se realizan las conclusiones obtenidas durante el análisis y diseño del convertidor analógico a digital.

Capítulo 2

Transistores de efecto de campo Metal-Oxido-Semiconductor

2.1. Introducción

El transistor de efecto de campo metal óxido semiconductor (MOSFET) es un dispositivo de cuatro terminales que se utiliza para diversas aplicaciones. Es un dispositivo unipolar que depende únicamente de la conducción o bien, de electrones (canal-n) o huecos (canal-p). El transistor MOSFET se ha convertido en uno de los dispositivos más importantes en el diseño y construcción de los circuitos analógicos integrados contemporáneos. Su estabilidad térmica y otras características generales lo hacen muy popular en el diseño de circuitos. Existen dos tipos de MOSFET: *empobrecimiento* y *enriquecimiento* [3], los cuales se describen a continuación.

2.2. MOSFET de tipo empobrecimiento

Los términos empobrecimiento y enriquecimiento definen su modo básico de operación y debido a que existen diferencias en las características y en la operación de cada tipo de MOSFET, se han cubierto en secciones por separado. En esta sección se estudiara el MOSFET de tipo empobrecimiento de canal-p y canal-n.

2.2.1. Construcción básica del MOSFET de tipo empobrecimiento de canal-n

La construcción básica del MOSFET de tipo empobrecimiento de canal-n se muestra en la Figura (2.1). Se compone de una placa de material tipo p que está formada a partir de una base de silicio y se le conoce como sustrato, que es la base sobre la cual se construye el dispositivo. En algunos casos el sustrato se encuentra conectado interiormente con la terminal de la fuente y en otros dispositivos tienen una terminal

adicional con la etiqueta SS , como se observa en la Figura (2.1). Las terminales de fuente y compuerta están conectadas por medio de contactos metálicos a las regiones tipo n unidas por un canal- n . La compuerta se encuentra conectada también a una superficie de contacto metálico, pero permanece aislada del canal- n por una capa muy delgada de dióxido de silicio (SiO_2). El SiO_2 es una capa aislante la cual proporciona aislamiento eléctrico entre la terminal de la compuerta y el canal del MOSFET, además debido a esta capa aislante se produce una alta impedancia de entrada en el dispositivo. Ahora se entiende por que se le llama FET de metal-óxido-semiconductor: metal por las conexiones del drenaje, fuente y compuerta; el óxido por la capa aislante de dióxido de silicio; y el semiconductor por la estructura sobre la cual las regiones de tipo n y p se difunden.

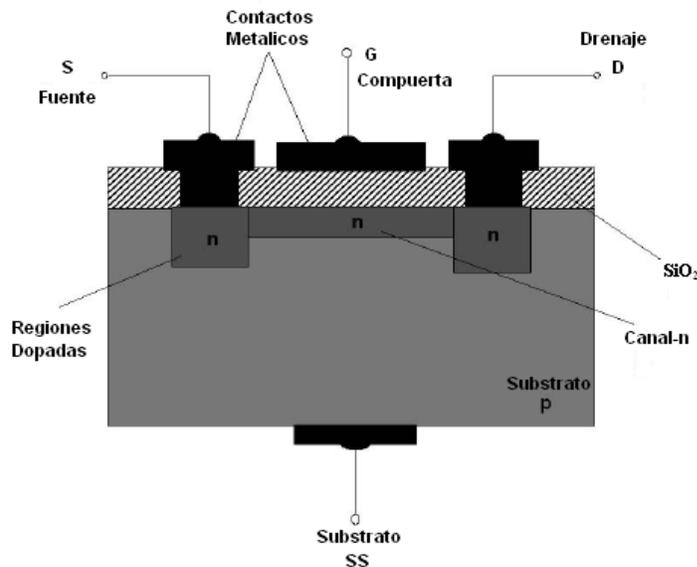


Figura 2.1: MOSFET de tipo empobrecimiento de canal- n .

2.2.2. Operación básica y características

En la Figura (2.2) el voltaje compuerta-fuente se hace cero volts mediante la conexión directa de estas terminales y, se aplica un voltaje V_{DS} a través de las terminales del drenaje y la fuente; el resultado es una atracción, por el potencial positivo del drenaje, para los electrones libres del canal- n y una corriente. La corriente resultante con $V_{GS}=0V$ se le denomina I_{DSS} (corriente de saturación) como se muestra en la Figura (2.3).

En la Figura (2.4) V_{GS} tiene un voltaje negativo de $-1V$. El potencial negativo en la entrada tiende a repeler a los electrones hacia el sustrato de tipo p y atraer a los huecos del sustrato de tipo p como se muestra en la Figura (2.4). A mayor polarización

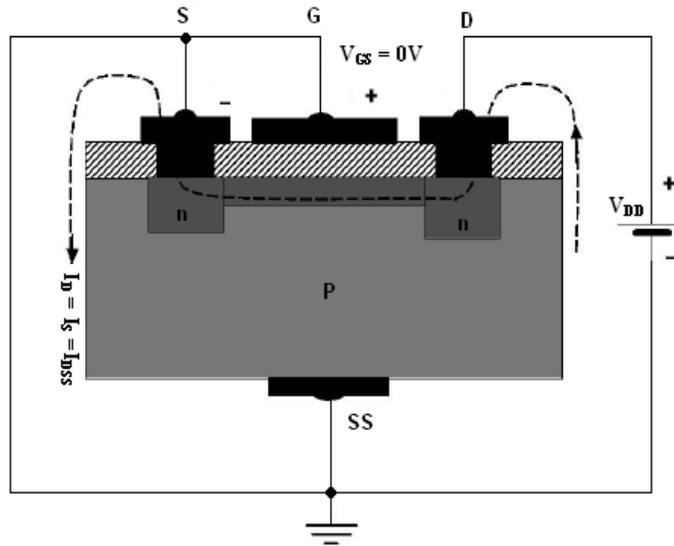


Figura 2.2: MOSFET de tipo empobrecimiento de canal-n con $V_{GS} = 0V$ y un voltaje aplicado V_{DD} .

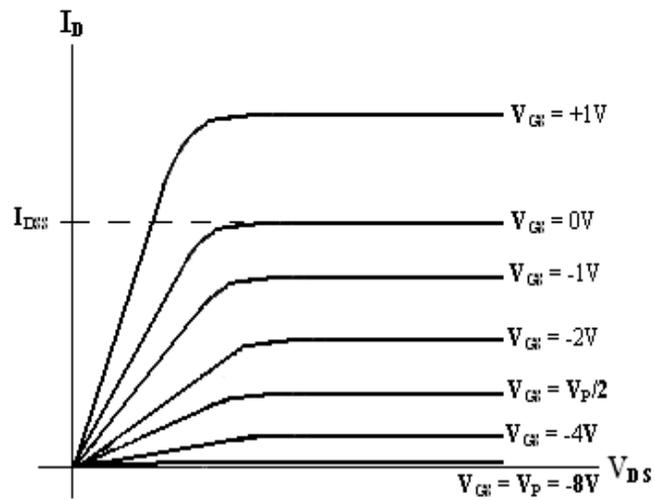


Figura 2.3: Características de drenaje para un MOSFET de tipo empobrecimiento de canal-n.

negativa que se aplique a V_{GS} , mayor será la recombinación entre los electrones y los huecos y, esto reducirá el número de electrones libres disponibles para la conducción en

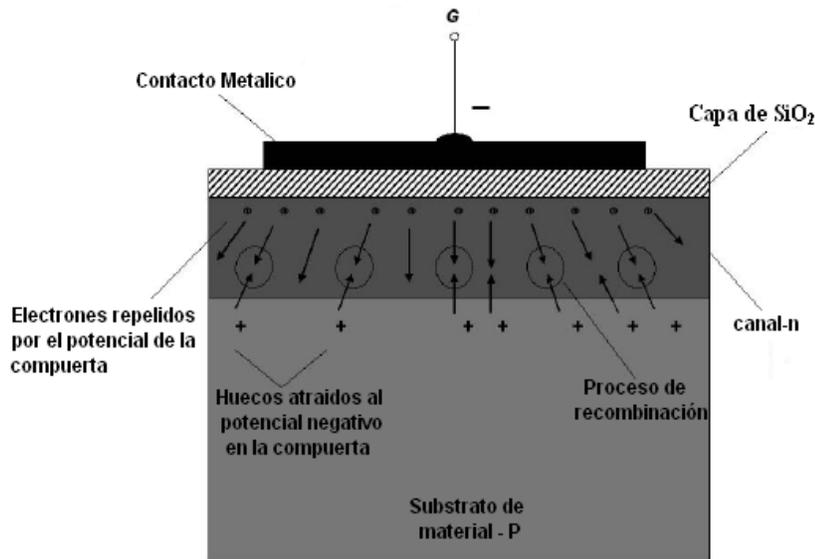


Figura 2.4: Reducción de portadores libres en el canal debido a un potencial negativo en la terminal de la compuerta.

el canal-n. La corriente resultante de drenaje es reducida con la polarización negativa como se muestra en la Figura (2.3).

Para valores positivos de V_{GS} la entrada positiva atraerá electrones desde el sustrato de tipo p . Mientras el voltaje compuerta-fuente sigue aumentando en la dirección positiva, la Figura (2.3) indica que la corriente de drenaje se incrementará rápidamente debido a que el voltaje positivo aplicado a V_{GS} atrae a los electrones adicionales del sustrato de tipo p y, crea nuevos portadores mediante la colisión resultante entre las partículas en aceleración.

En la Figura (2.3) se muestra un cambio significativo de corriente de $V_{GS}=0V$ y $V_{GS}=+1V$. Como ya se ha dicho, la aplicación de un voltaje positivo de la compuerta a la fuente ha incrementado el nivel de portadores libres en el canal. Por esta razón la región de voltajes positivos de la entrada sobre el drenaje o las característica de transferencia es a menudo conocida como la región incremental, con la región entre el nivel de corte y de saturación de I_{DSS} denominada como la región de agotamiento.

2.2.3. MOSFET de tipo empobrecimiento de canal-p

La construcción de un MOSFET de tipo empobrecimiento de canal-p es exactamente el inverso del que aparece en la Figura (2.1). Pero ahora hay un sustrato de tipo n y un canal de tipo p , como lo muestra la Figura (2.5). Las terminales permanecen iguales a las del canal-n, pero todas las polaridades de los voltajes y las direcciones de las corrientes están invertidas, como lo ilustra la Figura (2.5). Las características

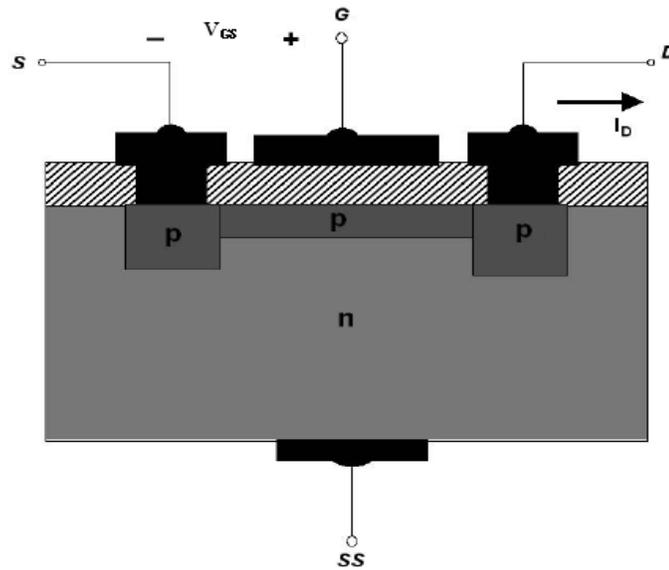
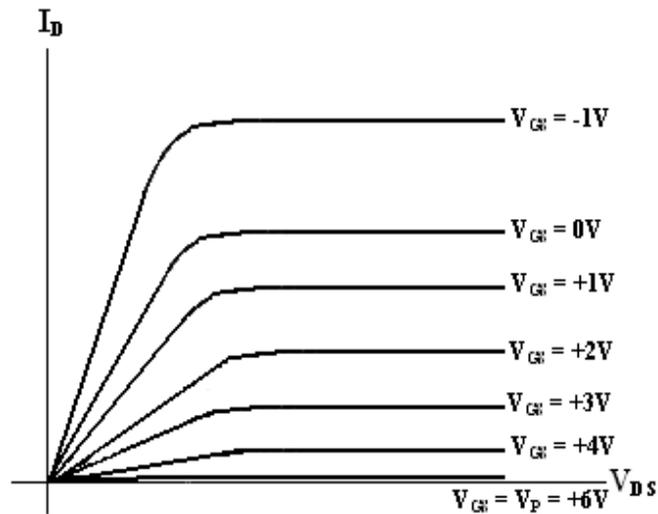


Figura 2.5: MOSFET de tipo empobrecimiento de canal-p.

Figura 2.6: MOSFET de tipo empobrecimiento de canal-p con $I_{DSS}=6\text{mA}$ y $V_P=+6\text{V}$.

de drenaje podrían aparecer iguales que en la Figura (2.3), pero con valores negativos de V_{DS} , I_D positiva y V_{GS} con las polaridades opuestas como se muestra en la Figura (2.6). La inversión en V_{GS} hace que la corriente de drenaje aumente desde el corte en $V_{GS}=V_p$ en la región positiva de V_{GS} a I_{DSS} y, después continua su crecimiento para

valores negativos mayores de V_{GS} , como lo muestra la Figura (2.6). [1-3]

2.2.4. Símbolos gráficos para un MOSFET de tipo empobrecimiento de canal-n y canal-p

Los símbolos gráficos para un MOSFET tipo empobrecimiento de canal-n y canal-p se proporcionan en la Figura (2.7). Obsérvese cómo los símbolos representan la construcción real del dispositivo. La falta de una conexión directa entre la compuerta y el canal está representado por un espacio entre la compuerta y las otras terminales del símbolo. La línea vertical que representa el canal está conectada entre el drenaje y la fuente y está soportada por el substrato. Se dan dos símbolos para interpretar que en algunos dispositivos el substrato se encuentra de forma externa, mientras que en otros no. [3]

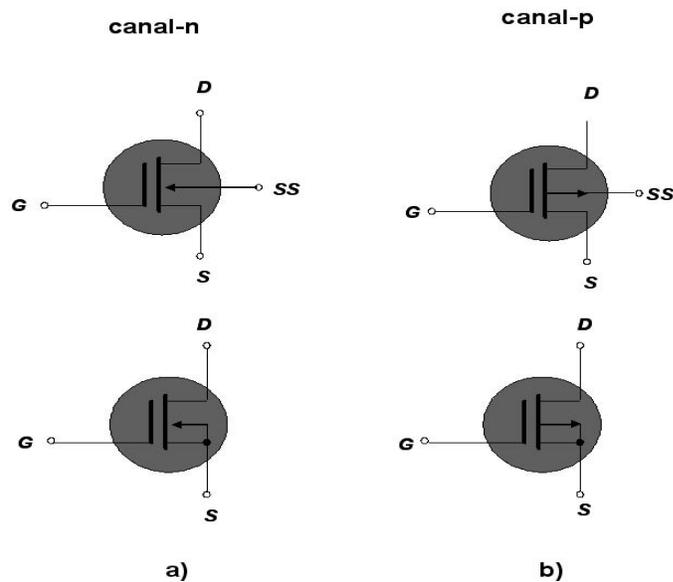


Figura 2.7: Símbolos gráficos para a) MOSFET de tipo empobrecimiento de canal-n y, b) MOSFET de tipo empobrecimiento de canal-p.

2.3. MOSFET de tipo empobrecimiento

Existen muchas similitudes en la construcción y modo de operación entre los MOSFET de tipo empobrecimiento y empobrecimiento, las características del MOSFET de tipo empobrecimiento son bastante diferentes a las del MOSFET de tipo empobrecimiento. La corriente de drenaje ahora esta en corte hasta que el voltaje compuerta-fuente

alcance una magnitud específica. El control del corriente en un dispositivo de canal-n ahora resulta afectado por un voltaje compuerta-fuente positivo en lugar del rango de voltajes negativos con los que trabajan los MOSFET de tipo empobrecimiento de canal-n.

2.3.1. Construcción básica del MOSFET de tipo enriquecimiento de canal-n

La construcción básica del MOSFET de tipo enriquecimiento de canal-n se muestra en la Figura (2.8). Una placa de material tipo p se forma a partir de una base de silicio y se le conoce como substrato. El substrato algunas veces se conecta a la terminal de la fuente, mientras que en otros casos se encuentra una cuarta terminal. Las terminales de la fuente y drenaje se conectan por medio de contactos metálicos a regiones impurificadas n y se observa la ausencia de un canal que conecte las dos regiones impurificadas n , esta es la característica principal entre los MOSFET de tipo empobrecimiento y los de tipo enriquecimiento. La capa de SiO_2 aísla la plataforma metálica de la compuerta de la región entre el drenaje y la fuente, pero ahora está separada de una sección del material de tipo p . La diferencia de la construcción entre un MOSFET de tipo enriquecimiento y uno de tipo empobrecimiento es la ausencia de un canal entre las terminales de drenaje y la fuente.

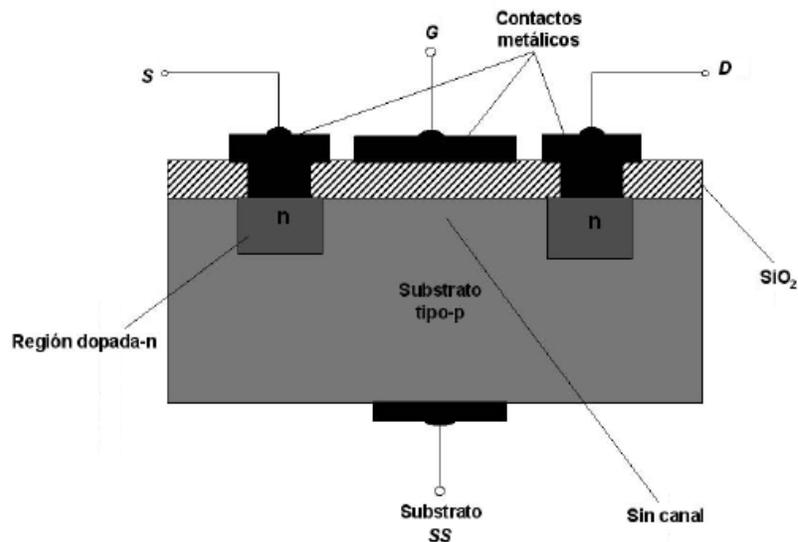


Figura 2.8: MOSFET de tipo enriquecimiento de canal-n.

2.3.2. Operación básica y características

Si V_{GS} es igual a 0V y se aplica un voltaje entre el drenaje y la fuente del dispositivo de la Figura (2.8), la ausencia de un canal-n dará por resultado una corriente de cero amperes. No es suficiente tener acumulados una gran cantidad de electrones en el drenaje y la fuente si no existe una trayectoria entre las dos. Si V_{DS} es un voltaje positivo, V_{GS} es 0V y la terminal SS se conecta directamente a la fuente, existen dos uniones p-n con polarización inversa entre las regiones dopadas n y el substrato p para oponer cualquier flujo entre el drenaje y la fuente.

En la Figura (2.9), V_{DS} y V_{GS} tienen un voltaje positivo mayor a 0V, teniendo, el drenaje y la compuerta, un potencial positivo respecto a la fuente. El potencial positivo en la compuerta presionara los huecos del substrato p a lo largo del filo de la capa de SiO_2 , como se muestra en la Figura (2.9). El resultado es una región de agotamiento cerca de la capa de aislante SiO_2 sin huecos. Los electrones del substrato p serán atraídos a la entrada positiva y se acumularan en la región cercana a la superficie de la capa de SiO_2 . La capa de SiO_2 evita que los portadores negativos sean absorbidos en la terminal de la compuerta. Al aumentar V_{GS} , la concentración de electrones cerca de la superficie de SiO_2 se incrementara hasta que una región inducida de tipo n pueda soportar un flujo entre el drenaje y la fuente. El aumento de V_{GS} que produce una corriente de drenaje se le llama voltaje de umbral y se le da el símbolo de V_T . Debido a que el canal no existe cuando $V_{GS} = 0V$ y se forma al incrementar el voltaje compuerta-fuente, se le llama MOSFET de tipo enriquecimiento.

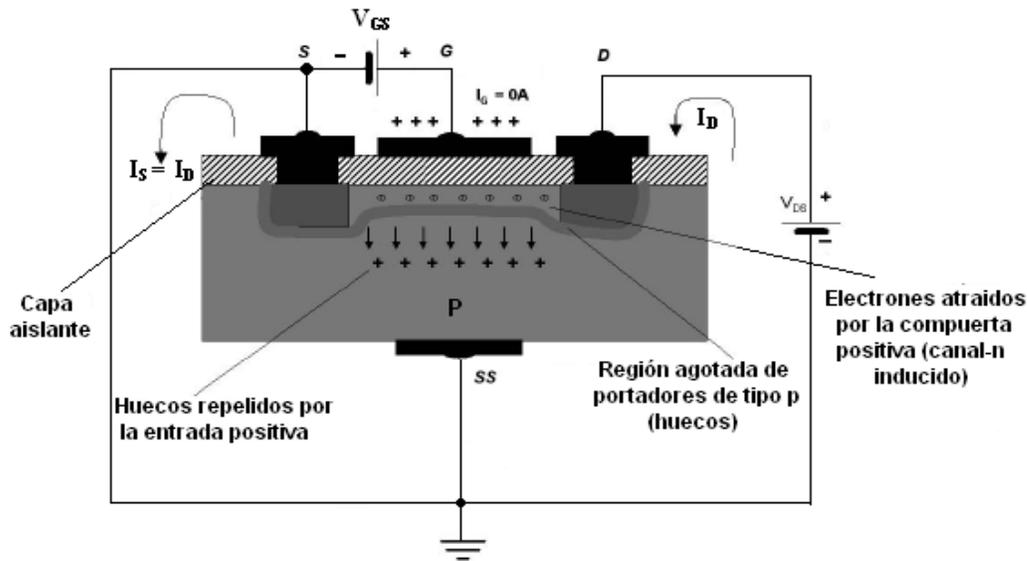


Figura 2.9: Formación del canal en el MOSFET de tipo enriquecimiento de canal-n.

Cuando V_{GS} es mayor al voltaje de umbral, la cantidad de los portadores libres en el canal inducido se incrementan, dando como resultado un nivel de corriente mayor de drenaje. Si se mantiene V_{GS} constante y solo se aumenta el nivel de V_{DS} la corriente de drenaje alcanzará un nivel de saturación. La saturación de I_D se debe a un proceso de estrechamiento descrito por un canal más angosto al final del drenaje del canal inducido, como se observa en la Figura (2.10). Al aplicar la ley de voltaje de Kirchhoff a los voltajes de las terminales del MOSFET se encuentra que

$$V_{DG} = V_{DS} - V_{GS} \quad (2.1)$$

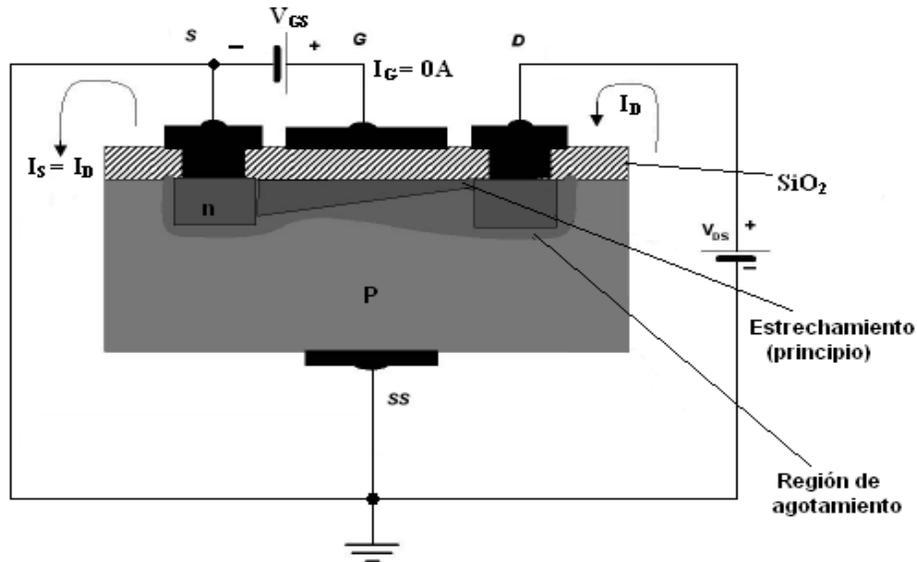


Figura 2.10: Cambio en la región de agotamiento y el canal con aumento en el nivel de V_{DS} para un valor fijo de V_{GS} .

Si V_{GS} se mantiene fijo en un valor tal como 8V y V_{DS} se aumenta de 2V a 5V, el voltaje V_{DG} [debido a la ecuación (2.1)] caerá de -6V a -3V y la entrada será menos positiva con respecto al drenaje. Esta reducción en el voltaje de la compuerta al drenaje reducirá a su vez la fuerza de atracción para los electrones en esta región del canal inducido, causando una reducción en el ancho efectivo del canal. El canal se reducirá al punto del estrechamiento y se establecerá una condición de saturación.

Las características de drenaje de la Figura (2.11) revelan que para el dispositivo de la Figura (2.10) con $V_{GS} = 8V$ la saturación ocurrió en $V_{DS} = 6V$. El nivel de saturación para V_{DS} está relacionado con el nivel de V_{GS} aplicado por

$$V_{DSsat} = V_{GS} - V_T \quad (2.2)$$

Por tanto, mientras mayor sea el nivel de V_{GS} que el de V_T , mayor será el nivel de saturación para V_{DS} , como se muestra en la Figura (2.10).

Para los valores de V_{GS} menores que el nivel de umbral, la corriente de drenaje de un MOSFET de tipo enriquecimiento es de 0 mA.

La Figura (2.11) indica que cuando el nivel de V_{GS} se incrementa de V_T a 8V, el nivel de saturación para I_D aumenta desde 0 mA a 10 mA.

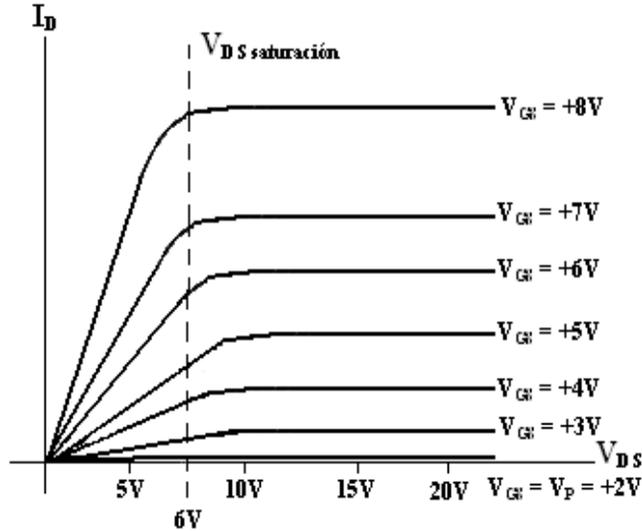


Figura 2.11: Características del drenaje de un MOSFET de tipo enriquecimiento de canal-n.

Para los niveles de V_{GS} a V_T la corriente de drenaje está relacionada al voltaje compuerta-fuente aplicando la siguiente relación no lineal:

$$I_D = k(V_{GS} - V_T)^2 \quad (2.3)$$

El término cuadrático resulta de la relación no lineal entre I_D y V_{GS} . El término k es una constante que es una función de la fabricación del dispositivo. El valor de k se puede calcular con la siguiente ecuación [derivada de la ecuación (2.3)] donde $I_{D(encendido)}$ y $V_{GS(encendido)}$ son los valores de cada uno en un punto en particular sobre las características del dispositivo.

$$k = \frac{I_{D(encendido)}}{(V_{GS(encendido)} - V_T)^2} \quad (2.4)$$

En la Figura (2.12) las características de drenaje y de transferencia se han colocado lado a lado para describir el proceso de transferencia tanto de una como de la otra. Recordando que la corriente de drenaje es de 0 mA para $V_{GS} \leq V_T$. Una corriente que

se pueda medir será el resultado para I_D y crecerá como se definió en la ecuación (2.3). Obsérvese que en la Figura (2.12) el dispositivo de canal-n está totalmente en la región de V_{GS} positiva y no aumenta hasta que $V_{GS} = V_T$.

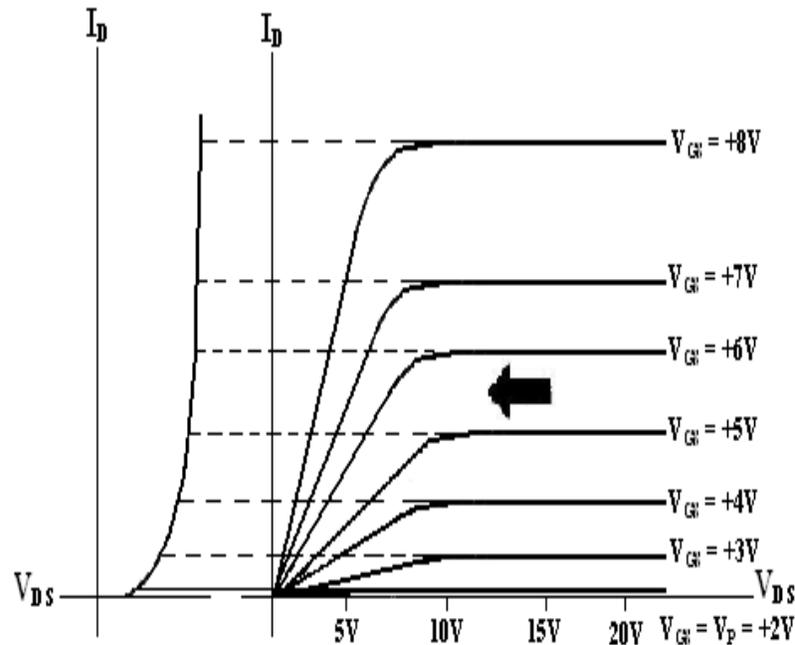


Figura 2.12: Trazo de las características de transferencia de un MOSFET de tipo enriquecimiento de canal-n a partir de las características de drenaje.

2.3.3. MOSFET de tipo enriquecimiento de canal-p

La construcción de un MOSFET de tipo enriquecimiento de canal-p es exacto al inverso del MOSFET de tipo empobrecimiento, como se muestra en la Figura (2.13). Ahora tiene un sustrato de tipo n y regiones dopadas p bajo las conexiones del drenaje y fuente. Tanto las polarizaciones de voltaje como las direcciones de corriente están invertidas. Las características del drenaje aparecen en la Figura (2.14), con niveles de corriente crecientes que resultan del incremento negativo de los valores de V_{GS} . En las características de transferencia I_D se incrementara con valores negativos de $V_{GS} > V_T$ como se muestra en la Figura (2.14). Pueden aplicarse igual que las ecuaciones (2.1) a la (2.4) a los dispositivos de canal-p. [1-3]

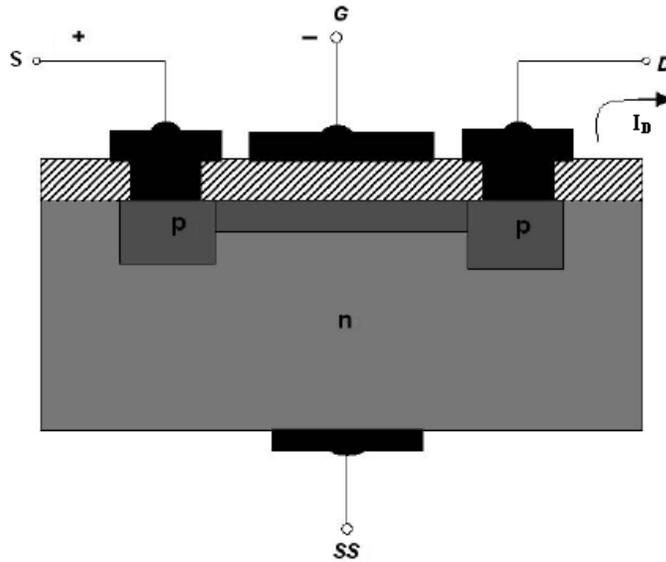


Figura 2.13: MOSFET de tipo enriquecimiento de canal-p.

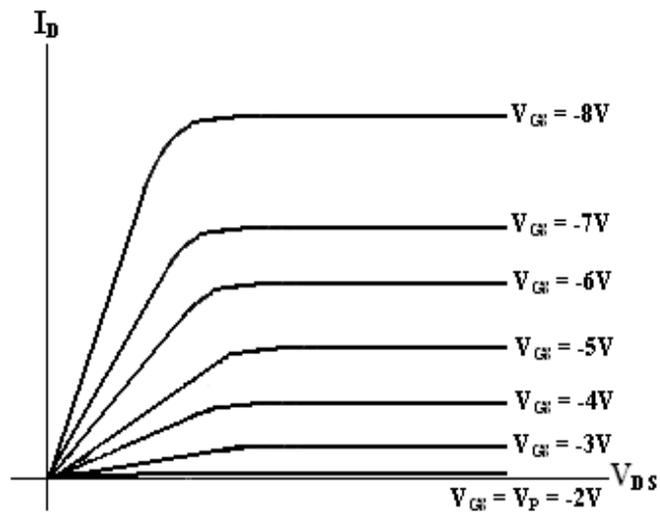


Figura 2.14: MOSFET de tipo enriquecimiento de canal-p con $V_T = 2\text{V}$.

2.3.4. Símbolos gráficos para un MOSFET de tipo enriquecimiento de canal-n y canal-p

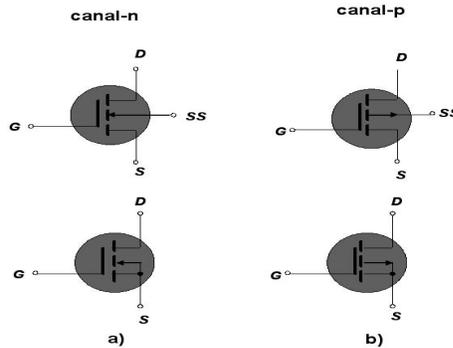


Figura 2.15: Símbolos para a)MOSFET de tipo enriquecimiento de canal-n y, b)MOSFET de tipo enriquecimiento de canal-p.

En la Figura (2.15) se proporcionan los símbolos gráficos para los MOSFET de tipo incremental para el canal-n y p. Se puede ver que los símbolos intentan reflejar la construcción real del dispositivo. La línea punteada entre el drenaje y la fuente significa que no existe un canal entre los dos que los conecte. Esta es la única diferencia entre los símbolos para los MOSFET de tipo empobrecimiento y de tipo enriquecimiento. [3]

2.4. ID (Dimensiones)

Considere el sustrato, la fuente y el drenaje aterrizados y un voltaje positivo y V_{GS} aplicado en la compuerta como se muestra en la Figura (2.16). Se acumula una carga positiva sobre la compuerta y en el sustrato una carga negativa. Inicialmente, la carga negativa del sustrato de tipo p se manifiesta por la creación de una *región de agotamiento* y la exclusión correspondiente de huecos bajo la compuerta. Esto se muestra en la Figura (2.16). El ancho X de la capa de agotamiento bajo el óxido se obtiene con

$$X = \frac{2\epsilon\phi}{qN_A} \quad (2.5)$$

donde ϕ es el potencial de la capa de agotamiento en la interface óxido silicio, la densidad de dopado en el sustrato de tipo p es la N_A átomos/ cm^3 (que se supone

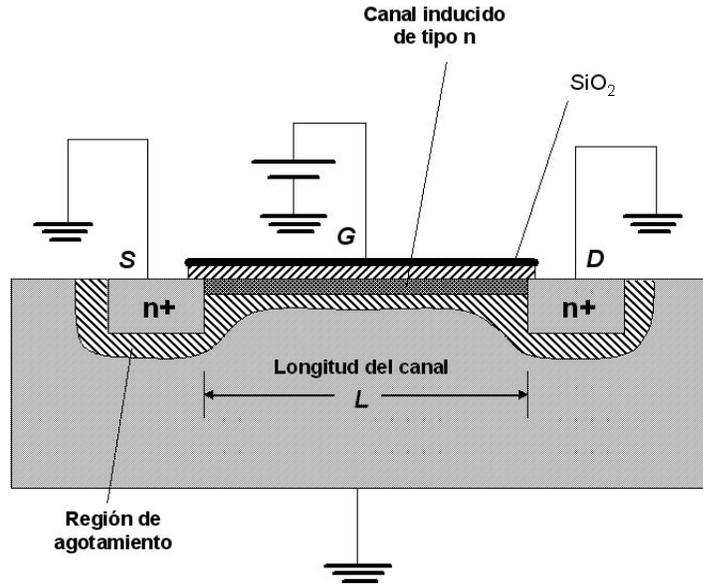


Figura 2.16: Sección transversal de un dispositivo NMOS idealizado, con un voltaje positivo V_{GS} aplicado, mostrando las regiones de agotamiento y el canal inducido.

constante) y, ϵ es la permitividad del silicio. La carga por unidad de superficie, en esta región de agotamiento, es

$$Q = qN_A X = \sqrt{2qN_A \epsilon \phi} \quad (2.6)$$

Para efectos del análisis se supone la fuente aterrizada y se aplican voltajes de polarización V_{GS} , V_{DS} , como se muestra en la Figura (2.17). Si V_{GS} es mayor que V_T , existe un canal conductor y V_{DS} origina la corriente I_D fluyendo del drenaje a la fuente. La caída de voltaje a lo largo del canal es pequeña, por lo que a lo largo del canal el ancho de la capa de agotamiento será constante.

A una distancia y a lo largo del canal, el voltaje con respecto a la fuente es $V(y)$ y, en dicho punto el voltaje compuerta-canal es $V_{GS} - V(y)$. Se supone que este voltaje excede al voltaje de umbral V_T y, por lo tanto, la carga de electrones inducida por unidades superficie en el canal es

$$Q_I(y) = C_{ox}[V_{GS} - V(y) - V_T] \quad (2.7)$$

La resistencia dR de una longitud dy del canal es

$$dR = \frac{dy}{W\mu_n Q_I(y)} \quad (2.8)$$

donde W es el ancho del dispositivo, perpendicular a la plano de la Figura (2.17). y μ_n es la movilidad promedio del electrón dentro del canal.

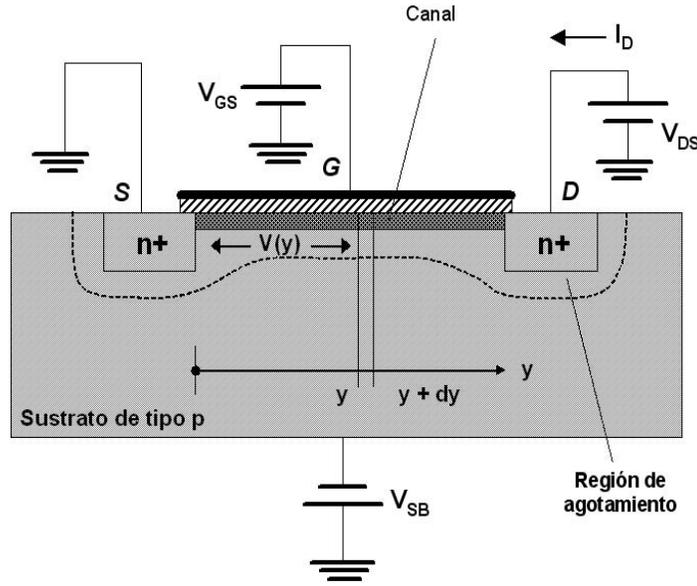


Figura 2.17: Dispositivo NMOS con voltajes de polarización aplicados.

La caída del voltaje dV a lo largo de la longitud del canal dy es

$$dV = I_D dR = \frac{I_D}{W\mu_n Q_I(y)} dy \quad (2.9)$$

Si L es la longitud total del canal, entonces la sustitución de la ecuación (2.7) en la ecuación (2.9) y la integración correspondiente da

$$\int_0^L I_D dy = \int_0^{V_{DS}} W\mu_n C_{ox} (V_{GS} - V - V_T) dV \quad (2.10)$$

Esto da como resultado

$$I_D = \frac{k'}{2} \frac{W}{L} [2(V_{GS} - V_T)V_{DS} - V_{DS}^2] \quad (2.11)$$

Donde

$$k' = \mu_n C_{ox} = \frac{\mu_n \epsilon_{ox}}{t_{ox}} \quad (2.12)$$

t_{ox} y ϵ_{ox} son el espesor y la permitividad del óxido, respectivamente.

La ecuación (2.11) es importante y describe las características $I - V$ de un transistor MOS, suponiendo un canal inducido continuo. Un valor típico de k' para $t_{ox} = 0.1\mu$ es de aproximadamente $20 \mu A/V_2$ para un dispositivo de canal n .

Conforme se incrementa al valor de V_{DS} , el canal conductor inducido se estrecha en el extremo del drenaje y la ecuación (2.7) indica que en el extremo del drenaje Q_I se aproxima a cero conforme V_{DS} se acerca a $(V_{GS} - V_T)$. Esto da como resultado el

estrechamiento total e, incrementos adicionales en V_{DS} producen cambios muy pequeños en I_D . Por lo tanto, la ecuación (2.11) ya no es válida, si V_{DS} es mayor que $(V_{GS} - V_T)$. El valor de I_D en esta región se obtiene sustituyendo $V_{DS} = (V_{GS} - V_T)$ en la ecuación (2.11), dando

$$I_D = \frac{k'}{2} \frac{W}{L} (V_{GS} - V_T)^2 \quad (2.13)$$

para un transistor MOS en la región de estrechamiento total, la corriente de drenaje en la región de estrechamiento varía ligeramente conforme varíe el voltaje de drenaje. Esto es debido a la presencia de una región de agotamiento entre el punto físico de estrechamiento sobre el canal, en el extremo del drenaje y, la región misma del drenaje. Si X_d es el ancho de esta capa de agotamiento, entonces la longitud eficaz del canal está dada por

$$L_{eff} = L - X_d \quad (2.14)$$

Si en la ecuación (2.13) se utiliza L_{eff} en lugar de L , para la región de estrechamiento obtendremos una fórmula más precisa

$$I_D = \frac{k'}{2} \frac{W}{L_{eff}} (V_{GS} - V_T)^2 \quad (2.15)$$

El hecho de que X_d y L_{eff} sean funciones del voltaje drenaje-fuente, resulta en una variación de I_D en relación con V_{DS} en la región de estrechamiento. Utilizando (2.14) y (2.15), obtenemos

$$\frac{\partial I_D}{\partial V_{DS}} = -\frac{k'}{2} \frac{W}{L_{eff}^2} (V_{GS} - V_T)^2 \frac{dL_{eff}}{dV_{DS}} \quad (2.16)$$

y por lo tanto,

$$\frac{\partial I_D}{\partial V_{DS}} = \frac{I_D}{L_{eff}} \frac{dX_d}{dV_{DS}} \quad (2.17)$$

Se puede definir un voltaje análogo al voltaje Early, como

$$V_A = \frac{I_D}{\partial I_D / \partial V_{DS}} \quad (2.18)$$

y por lo tanto,

$$V_A = L_{eff} \left(\frac{dX_d}{dV_{DS}} \right)^{-1} \quad (2.19)$$

Para el transistor MOS, el parámetro más utilizado para la caracterización de la resistencia de salida es

$$\lambda = \frac{1}{V_A} \quad (2.20)$$

Las propiedades a gran-señal del transistor se pueden aproximar, suponiendo que λ y V_A son constantes e independientes de las condiciones de polarización. Por lo tanto, se puede formular una mejor aproximación a la característica $I - V$ como

$$I_D = \frac{k'}{2} \frac{W}{L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \quad (2.21)$$

Es difícil calcular λ de la estructura de dispositivo, es necesario desarrollar valores efectivos de λ a partir de datos experimentales. El parámetro λ es una función lineal de longitud eficaz del canal y una función creciente del nivel de dopado del canal. Los valores típicos de λ están en el rango 0.05 a 0.005 V^{-1} . Note que a la región de estrechamiento total se conocida como la región de *saturación*. [2]

2.5. Transconductancia (g_m)

Los amplificadores con MOSFET proporcionan una excelente ganancia de voltaje y una alta impedancia de entrada. Esta ganancia de voltaje se debe a la transconductancia, g_m . El MOSFET de empobrecimiento puede utilizarse para diseñar amplificadores que tengan ganancias similares de voltaje.

El MOSFET puede utilizarse como un amplificador lineal o como un dispositivo digital en los circuitos lógicos. El MOSFET enriquecimiento es muy popular en los circuitos digitales, especialmente en los circuitos CMOS que requieren un consumo muy bajo de potencia. El MOSFET también se ocupa para aplicaciones que se requiera una alta frecuencia y en aplicaciones de interfases. [3]

2.5.1. MOSFET de tipo empobrecimiento

El análisis en ac de una configuración MOSFET requiere que se desarrolle un modelo de pequeña señal.

Utilizando el factor de transconductancia g_m se puede determinar el cambio en la corriente del drenaje que se obtendrá de un cambio en el voltaje de la compuerta a la fuente como lo muestra la siguiente ecuación:

$$\Delta I_D = g_m \Delta V_{GS} \quad (2.22)$$

Donde ΔI_D es la variación en la corriente del drenaje y ΔV_{GS} es la variación del voltaje compuerta-fuente.

El prefijo trans indica que se establece una relación entre las cantidades de salida y de entrada. La palabra raíz conductancia debido a que g_m se determina por la relación del voltaje a la corriente.

Al despejar g_m en la ecuación (2.22) se tiene:

$$g_m = \frac{\Delta I_D}{\Delta V_{GS}} \quad (2.23)$$

Determinación gráfica de g_m

Si se examina las características de transferencia de la Figura (2.18), se observa que g_m es la pendiente de las características en el punto de operación. Esto es,

$$g_m = m = \frac{\Delta y}{\Delta x} = \frac{\Delta I_D}{\Delta V_{GS}} \quad (2.24)$$

En la Figura (2.18) se muestra que g_m , se incrementa cuando V_{GS} se acerca a 0 V.

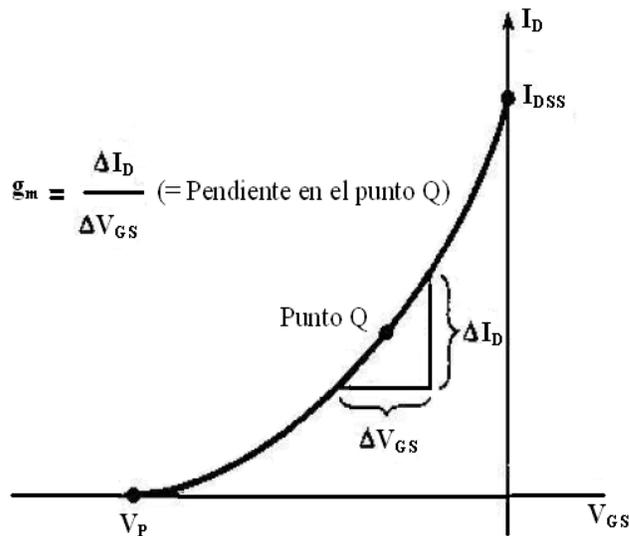


Figura 2.18: Definición de g_m utilizando la característica de transferencia.

La ecuación (2.23) indica que g_m puede determinarse en cualquier punto sobre las características de transferencia seleccionando un incremento finito en V_{GS} o en I_D cercano al punto Q y luego encontrar el cambio correspondiente en I_D o V_{GS} respectivamente. Los cambios que se obtienen en cada cantidad se sustituyen después en la ecuación (2.23) para calcular g_m .

Definición matemática de g_m

Un método alternativo para calcular g_m es tomando la derivada de I_D respecto a V_{GS} utilizando la ecuación de Shockley,

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_p}\right)^2 \quad (2.25)$$

resultando:

$$g_m = \frac{2I_{DSS}}{|V_p|} \left[1 - \frac{V_{GS}}{V_p}\right] \quad (2.26)$$

Donde $|V_p|$ denota la magnitud, para asegurar un valor positivo de g_m . Sustituyendo $V_{GS} = 0$ V en la ecuación (2.26) se obtiene la siguiente ecuación

$$g_{m0} = \frac{2I_{DSS}}{|V_p|} \quad (2.27)$$

donde el subíndice 0 que se agrego indica que $V_{GS} = 0$ V. Sustituyendo la ecuación (2.27) en la ecuación (2.26) da como resultado la siguiente ecuación

$$g_m = g_{m0} \left[1 - \frac{V_{GS}}{V_p}\right] \quad (2.28)$$

Gráfica de g_m en función de V_{GS}

Debido a que el factor $\left(1 - \frac{V_{GS}}{V_p}\right)$ de la ecuación (2.28) es menor que 1 para cualquier valor de V_{GS} diferente de 0 V, la magnitud de g_m se reducirá mientras V_{GS} se aproxima a V_p y la relación $\frac{V_{GS}}{V_p}$ se incrementa en magnitud. La ecuación (2.28) define una línea recta con un valor de 0 y un valor de g_m como se muestra en la gráfica de la Figura (2.19).

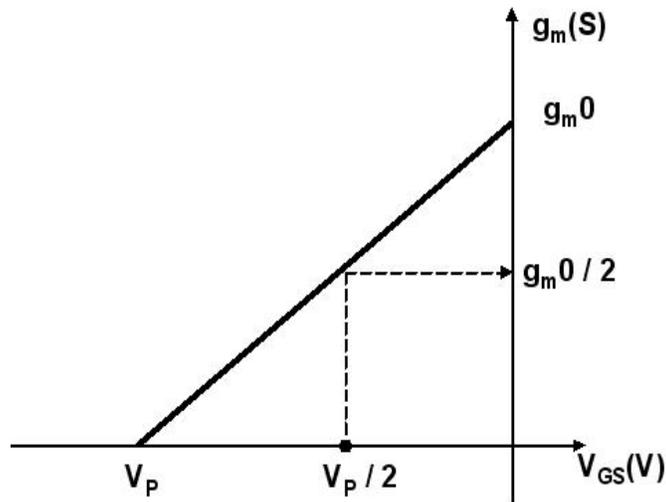


Figura 2.19: Gráfica de g_m en función V_{GS} .

Impacto de I_D sobre g_m

Puede derivarse una relación entre g_m y la corriente de polarización I_D al observar que la ecuación de Shockley puede escribirse de la siguiente manera:

$$1 - \frac{V_{GS}}{V_p} = \sqrt{\frac{I_D}{I_{DSS}}} \quad (2.29)$$

Al Sustituir la ecuación (2.29) en la ecuación (2.28) se obtiene

$$g_m = g_{m0} \left(1 - \frac{V_{GS}}{V_p}\right) = g_{m0} \sqrt{\frac{I_D}{I_{DSS}}} \quad (2.30)$$

2.5.2. MOSFET de tipo enriquecimiento

Para los MOSFET de tipo enriquecimiento la relación entre la corriente de salida y el voltaje controlador está definido mediante

$$I_D = k(V_{GS} - V_{GS})^2$$

Debido a que g_m se encuentra definido por la ecuación (2.23), puede tomarse la derivada de la ecuación de transferencia para determinar g_m como un punto de operación. Esto es

$$g_m = 2k(V_{gs_k} - V_{GS(TH)}) \quad (2.31)$$

Capítulo 3

Convertidor Analógico a Digital

3.1. Introducción

Los procesos del mundo real producen señales analógicas que varían constantemente. La velocidad puede ser muy lenta, como la variación de la temperatura ambiente o muy rápida. Los procesos analógicos se describen mejor por medio de números decimales y letras del alfabeto y, los procesos digitales utilizan patrones binarios para representar números, letras o símbolos.

Cuando se recurre a la tecnología analógica no es fácil almacenar, manipular, comparar, calcular o recuperar información con exactitud. En cambio ocupando técnicas digitales se puede efectuar estas tareas rápidamente y con precisión. Así, nació la necesidad de los *convertidores* para interrelacionar el mundo analógico con el digital. Los convertidores analógico a digital (CAD, ADC o A/D) permiten que el mundo analógico se comunique con las computadoras.

3.2. Características del convertidor analógico a digital

Un CAD cambia una señal de entrada analógica y proporciona su equivalente en forma digital. La Figura (3.1) representa el símbolo del CAD con una entrada analógica y n bits de salida. La salida digital de un convertidor analógico a digital ideal de n bits se grafica en función del voltaje de entrada analógica en la Figura (3.2). [5]

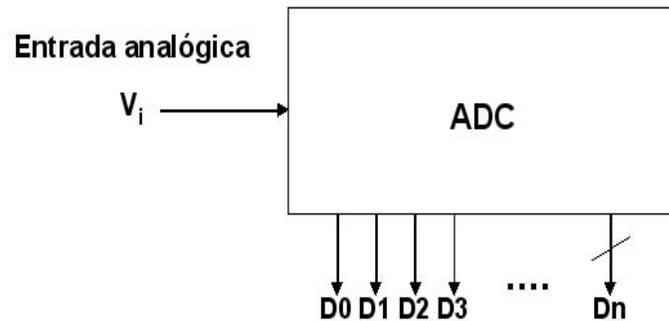


Figura 3.1: Símbolo de un CAD de n bits.

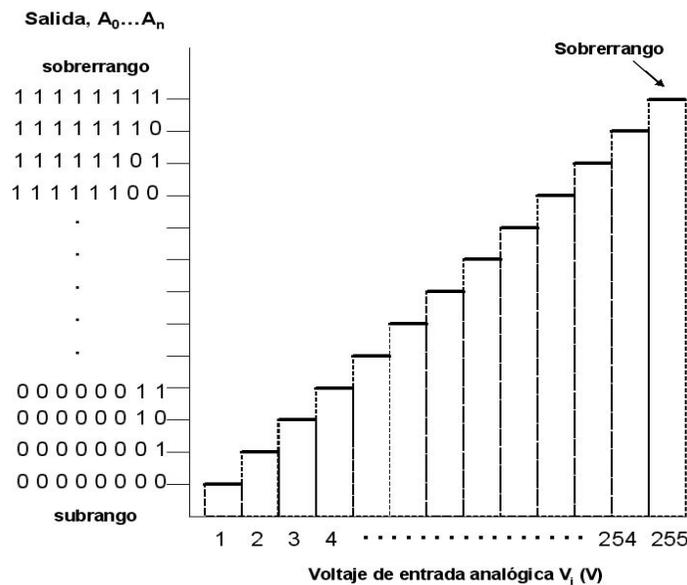


Figura 3.2: Características de entrada - salida de un CAD.[4]

3.2.1. Resolución

La resolución de un convertidor analógico a digital se define de dos maneras formas:

1. La resolución es el número máximo de códigos de salida digital. En el caso de un convertidor de n bits, se tiene

$$\text{resolución} = 2^n \quad (3.1)$$

2. La resolución se define también como la razón de cambio del valor en el voltaje de entrada, V_i , que se necesita para cambiar el bit menos significativo, en la salida

digital. Si se conoce el valor del voltaje de entrada a escala completa, V_{iFS} , que se requiere para producir una salida digital de todos los unos y, el número de entradas n es posible calcular la resolución mediante

$$resolución = \frac{V_{iFS}}{2^n - 1} \quad (3.2)$$

3.2.2. Error de cuantificación

La Figura (3.2) muestra que la salida binaria en un determinado valor es la misma para un cierto rango de valores de V_i . Existe una incertidumbre inevitable respecto al valor exacto de V_i . Dicha incertidumbre se especifica como error de cuantificación. Su valor es $\pm \frac{1}{2}$ del dígito menos significativo LSB. Al incrementar la cantidad de bits se logra una mejor resolución y el error de cuantificación es menor.

3.2.3. Subbordamiento y desbordamiento

Los voltaje que den una salida de 000..., indicando fuera de rango (subrango), o *subbordamiento* y, los voltajes que den una salida de 111... más un sobrerango, o *desbordamiento*. Las indicaciones de subrango y sobrerango se pueden usar para controlar la ganancia del canal analógico y mantener el voltaje analógico dentro del rango del CAD.

3.3. Tipos de convertidores analógico a digital

Hay diferentes tipos de convertidores analógico a digital los cuales son:

- Convertidor A/D flash.
- Convertidor A/D mediante una rampa de una sola pendiente.
- Convertidor A/D de doble pendiente.
- Convertidor A/D de red de escalera.
- Convertidor A/D por aproximación sucesiva.

Dichos convertidores se explican a continuación.

3.3.1. Convertidor A/D flash de dos bits

El más rápido de los convertidores A/D es el convertidor *flash* o paralelo que aparece en la Figura (3.3). Se le conoce como flash debido a que da una salida instantánea. Los resistores en serie establecen tres voltajes de referencia. Se aplica un voltaje de entrada analógica y se compara simultáneamente con todas las referencias, dando los resultados que se muestran en la tabla de la verdad de la Figura (3.4). El comparador de la parte más baja indica subbordamiento y el de la más alta desbordamiento. Los tres comparadores restantes indican en cuál de los cuatro posibles intervalos está contenida la entrada y, el circuito lógico enmarcado por la línea punteada convierte esta información en un código de salida binario.

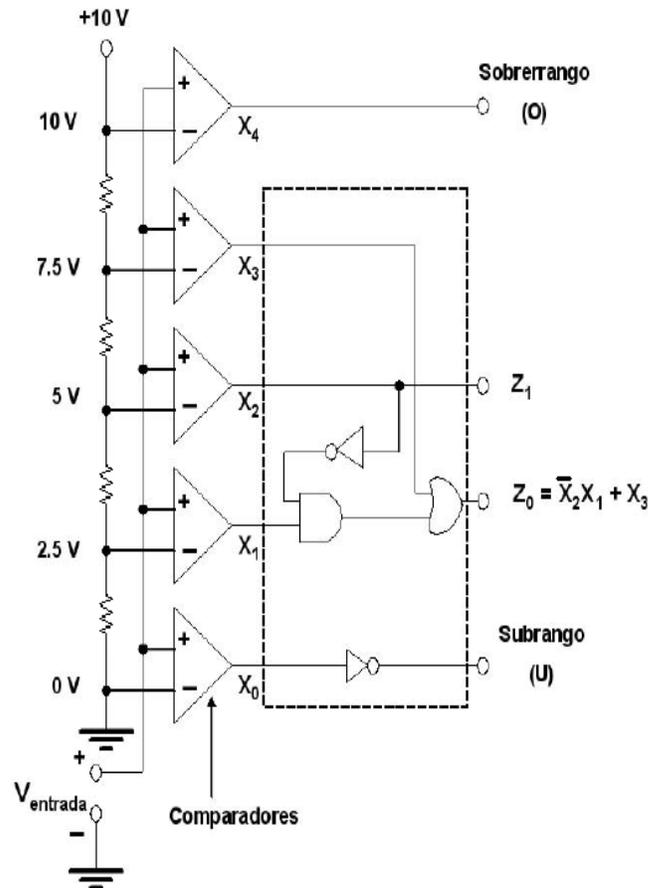


Figura 3.3: Diagrama a bloques de un convertidor A/D flash de 2 bits.

| | $X_4X_3X_2X_1X_0$ | Z_1Z_0 | OU |
|---------------------------------|-------------------|----------|----|
| $V_{\text{entrada}} < 0$ | 00000 | XX | 01 |
| $0 < V_{\text{entrada}} < 2.5$ | 00001 | 00 | 00 |
| $2.5 < V_{\text{entrada}} < 5$ | 00011 | 01 | 00 |
| $5 < V_{\text{entrada}} < 7.5$ | 00111 | 10 | 00 |
| $7.5 < V_{\text{entrada}} < 10$ | 01111 | 11 | 00 |
| $V_{\text{entrada}} > 10$ | 11111 | XX | 10 |

Figura 3.4: Tabla de verdad del CAD.

Tiempo de conversión

El tiempo de conversión del convertidor flash está limitado sólo por el tiempo de respuesta de los comparadores y las compuertas lógicas. Al aumentar la resolución se vuelve más costoso el convertidor. La Figura (3.3) muestra que el convertidor requiere tres comparadores (o sea $2^4 - 1$) para efectuar una conversión de 2 bits. El número de comparadores (nc) necesarios para lograr una resolución de n bits

$$nc = 2^n - 1 \quad (3.3)$$

Por lo tanto entre más bits de salida se requieran, mayor será el número de comparadores a utilizar. [4-8]

3.3.2. Convertidor A/D mediante una rampa de una sola pendiente

Un convertidor de rampa de una sola pendiente usa un integrador para generar un voltaje, el cual se incrementa linealmente para compararse con un voltaje desconocido (Figura (3.5)). El circuito de la Figura (3.5) utiliza un amplificador operacional para integrar un voltaje de referencia de entrada (V_{ref}), el CAD da a la salida una función de rampa, como se muestra en la Figura (3.6). Mientras la rampa se incrementa (señal en la salida del integrador), la salida del comparador permanece en saturación positiva, lo cual se considera como un 1 lógico, que esta conectado a una de las entradas de la compuerta AND, esta última permite el conteo de los pulsos de reloj por medio del

contador, el cual esta conectado a su otra entrada, cuando la rampa excede al voltaje de entrada, el comparador se conmuta a saturación negativa, ahora la salida se considera un 0 lógico y el contador se detiene, la señal $DONE = 1$ lo cual indica que la conversión se ha llevado a cabo y, da como resultado la salida que se muestra en la Figura (3.6). Entonces el capacitor se descarga electrónicamente y, el CAD queda listo para empezar un nuevo ciclo de conversión. [4-8]

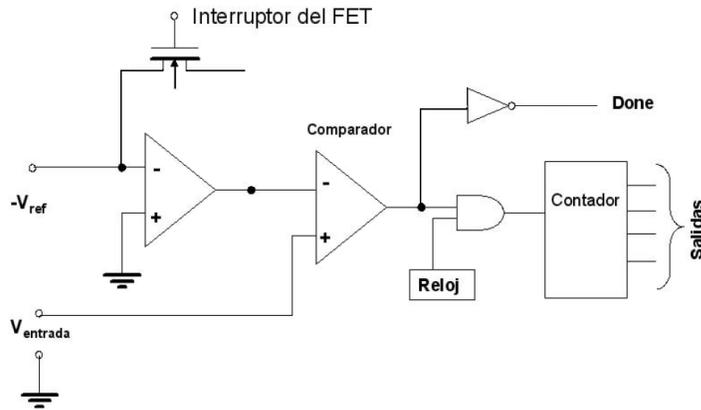


Figura 3.5: El convertidor cuenta los pulsos del reloj hasta que un voltaje de rampa, que se incrementa, excede el voltaje de entrada.

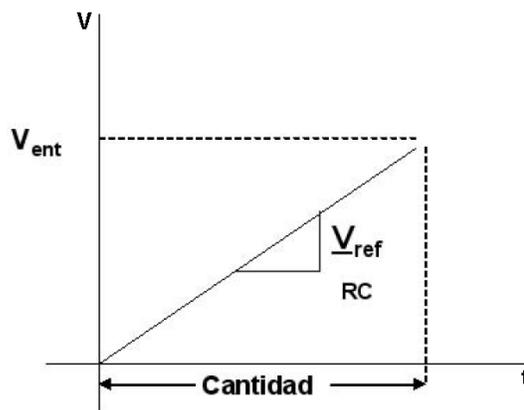


Figura 3.6: La cantidad es proporcional al voltaje de entrada.

3.3.3. Convertidor A/D de doble pendiente

Un método popular para convertir un voltaje analógico a un valor digital es el método de doble pendiente. La Figura (3.7) muestra un diagrama a bloques para el convertidor de doble pendiente básico. El voltaje analógico de entrada, al ser convertido se aplica por medio de un interruptor electrónico a un integrador o circuito generador de rampa. La salida digital se obtiene de un contador que opera durante los intervalos de pendiente positiva y negativa del integrador.

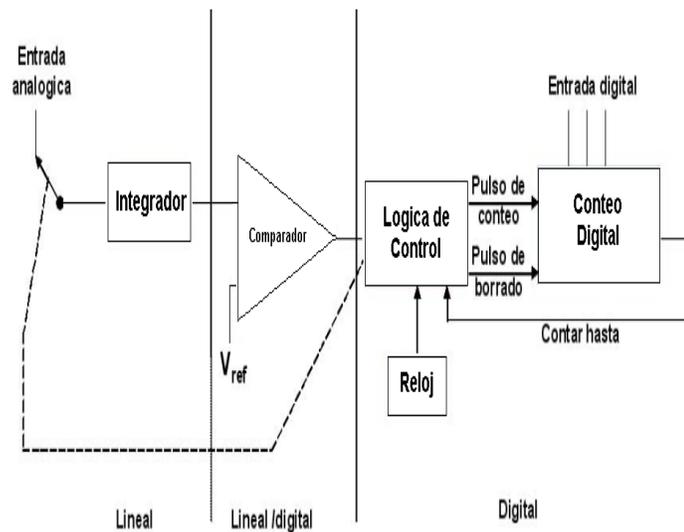


Figura 3.7: Diagrama lógico de un convertidor A/D de doble pendiente.

El método de conversión funciona de la siguiente manera. Durante un intervalo de tiempo fijo, el voltaje analógico conectado al integrador eleva el voltaje en la entrada del comparador a algún nivel positivo. La Figura (3.8) muestra que al final del intervalo de tiempo fijo, el voltaje del integrador es proporcional al voltaje de entrada, es decir, mientras mas grande sea el voltaje de entrada, mayor será el voltaje del integrador. Al final del intervalo de conteo fijo, el contador se inicializa a cero y, el interruptor electrónico conecta al integrador con un voltaje de entrada fijo de referencia.

La salida del integrador disminuye entonces a una tasa fija. El contador avanza durante este tiempo, mientras que la salida del integrador disminuye a una tasa fija hasta que cae por abajo del voltaje de referencia del comparador, momento en el cual la lógica de control recibe una señal (la salida del comparador) para detener la cuenta. El valor digital almacenado en el contador es entonces la salida digital del convertidor. [4-8]

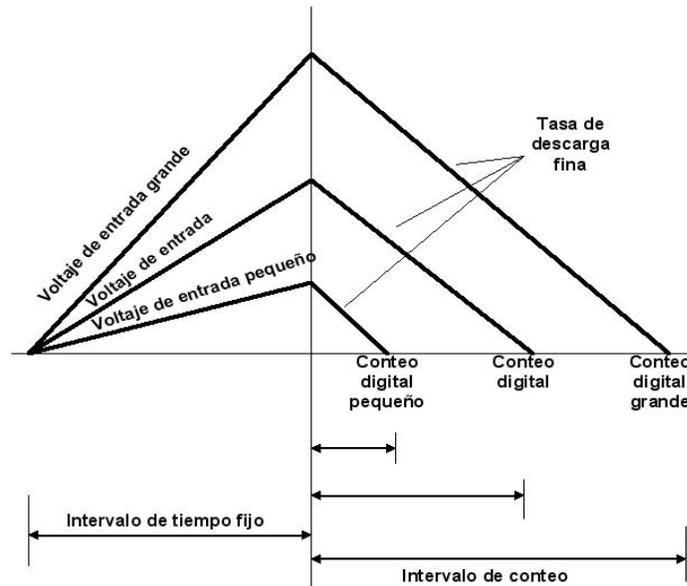


Figura 3.8: Forma de onda del convertidor A/D usando el metodo de doble pendiente.

3.3.4. Convertidor A/D de red de escalera

Otro método popular de conversión analógico a digital utiliza una red de escalera junto con un contador y un circuito comparador, como lo muestra la Figura (3.9). Un contador digital avanza a partir de cero mientras un circuito de escalera, manejado por el contador, da un voltaje de salida escalonado, como se muestra en la Figura (3.10), que incrementa el voltaje en cada paso del contador. Un circuito comparador, que recibe el voltaje en escalones y el voltaje analógico de entrada (V_{ent}), proporciona una señal para detener la cuenta cuando el voltaje en escalones llega a ser superior al voltaje de entrada. La salida digital es el valor del contador en ese momento. [4-8]

3.3.5. Convertidor A/D por aproximaciones sucesivas

La Figura (3.11) muestra el diagrama de bloques de un convertidor A/D por aproximaciones sucesivas. Consta de un convertidor digital analógico, un comparador, un programador y un registro. Se necesita una terminal para el voltaje de entrada analógica V_{ent} . La salida digital está disponible en forma paralela. Se requiere un mínimo de tres terminales de control: inicia la conversión, da inicio la secuencia de conversión A/D, fin de conversión indica cuándo se termina la conversión y una terminal externa de reloj establece el tiempo para completar cada conversión.

La orden de *inicia conversión* inicia el ciclo de conversión analógico a digital. El registro conecta la secuencia de números digitales, un número por cada bit, a las entradas del convertidor digital a analógico.

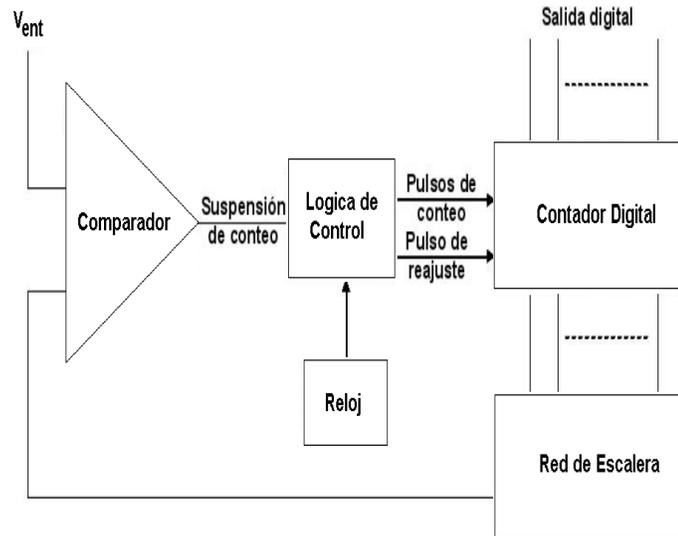


Figura 3.9: Conversión A/D usando una red de escalera (diagrama lógico).

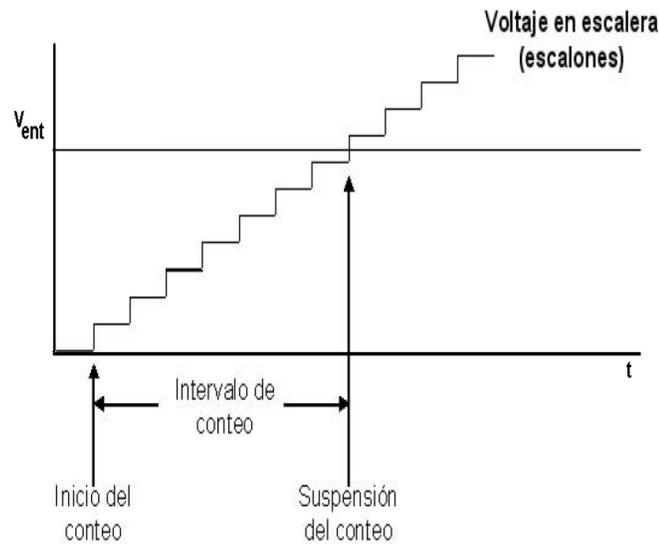


Figura 3.10: Forma de onda de un convertidor A/D usando una red de escalera.

El convertidor digital a analógico transforma cada número digital en una salida analógica V_o . El voltaje analógico de entrada se compara con V_o . El comparador le dice al registro cuando V_{ent} es mayor o menor que la salida del convertidor digital a analógico. Para cada bit de la salida de n bits, deben efectuarse n comparaciones.

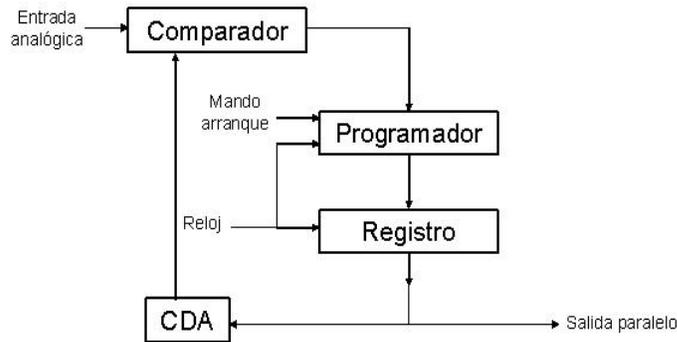


Figura 3.11: Diagrama a bloques de un convertidor A/D por aproximaciones sucesivas.

Las comparaciones se hacen comenzando con el bit más significativo y termina con el bit menos significativo. Al terminar la comparación el registro envía la señal que finalizó la conversión. El equivalente digital de V_{ent} está ahora presente en la salida digital del registro.

Las comparaciones se realizan de la siguiente manera: suponiendo que se tienen los valores de 1, 2 y 4 volts. Se considera el valor de 1 V como 1 LSB y el valor más significativo de 4 V. En las Figuras (3.11) y (3.12) el V_{ent} corresponde a un valor desconocido.

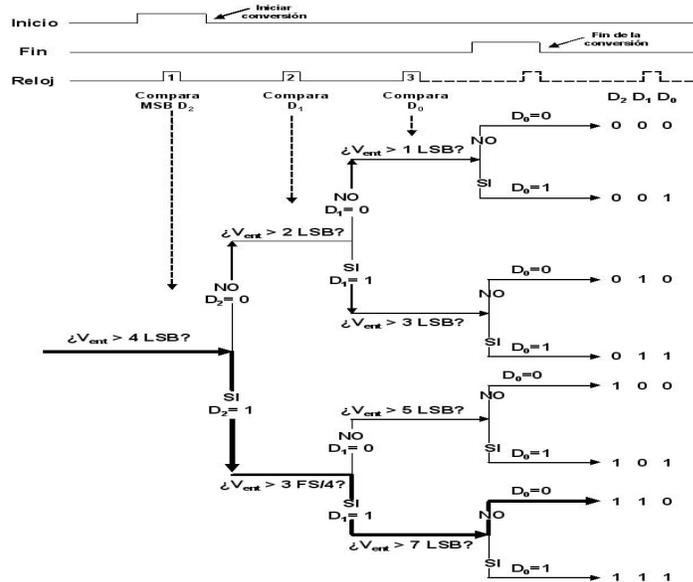


Figura 3.12: Inicia la operación de este registro de aproximación sucesiva de 3 bits comenzando con el MSB, el peso de cada bit se compara con V_{ent} con el comparador de la Figura (3.11).

Se convierte $V_{ent} = 6.5 \text{ V}$ en una salida digital. Se compara el V_{ent} con los 4 V para saber si el valor desconocido (V_{ent}) excede 4 V. El registro utiliza un pulso de reloj para aplicar 100 bits más significativos (MSB) al convertidor digital a analógico en la Figura (3.12). Su salida, $V_o = 4 \text{ V}$, se compara con V_{ent} . El bit más significativo se hace 1 si $V_{ent} > V_o$.

El registro de aproximación sucesiva aplica después 110 (se agrega el valor de 2 V) al convertidor digital a analógico; D_1 se pone a 1 puesto que $V_{ent} = 6.5 \text{ V}$ es mayor que $V_o = 6 \text{ V}$. Por último, el registro aplica 111 al convertidor digital a analógico (se agrega 1V) . Dado que $V_{ent} = 6.5 \text{ V}$ es menor que 7 V, D_0 toma el valor de cero. [4-8]

Tiempo de conversión

La Figura (3.12) muestra que se necesita un pulso de reloj para que el registro de aproximación sucesiva compare cada bit. El tiempo que tarda una conversión analógica a digital dependerá tanto del periodo del reloj T como el número de bits n . La relación es

$$T_c = T(n - 1) \quad (3.4)$$

donde T_c es el tiempo de conversión.

De acuerdo al análisis anterior de los convertidores analógico a digital se concluye que se ocupara el convertidor por aproximaciones sucesivas debido a las ventajas que presenta, las cuales se mencionan a continuación.

- Tiempo de conversión muy corto.
 - Alta resolución.
 - Información de salida en paralelo.
 - Buena Linealidad.
 - La exactitud no depende de la estabilidad del reloj.
 - Funcionamiento en multiplex.
 - Se puede usar en toda clase de instrumentos donde se requiera rapidez y exactitud.
 - Se puede usar en interfase entre variable física y computadora.
-

Capítulo 4

Diseño y Simulación del convertidor A/D por aproximaciones sucesivas

4.1. Introducción

En el Capítulo anterior se menciona en forma general el convertidor analógico a digital por aproximaciones sucesivas el cual consta de un convertidor digital analógico, un comparador, un programador y un registro como se muestra en la Figura (3.11). En este Capítulo se describe este convertidor etapa por etapa para su diseño y simulación.

4.2. Amplificador operacional

Los amplificadores operacionales (opamps) tienen cinco terminales básicas: dos para la fuente de alimentación, dos para las señales de entrada y, una para la salida. Internamente son complejos, como se muestra en el diagrama esquemático en la Figura (4.1).

El circuito esquemático para el opamp es una cabeza de flecha, como se muestra en la Figura (4.2). La cabeza de flecha simboliza amplificación y apunta de la entrada a la salida. [2,3]

4.2.1. Terminales de la fuente de alimentación

Las terminales del opamp etiquetadas como $V+$ y $V-$ identifican las terminaciones que deben conectarse a la fuente de alimentación; como se muestra en la Figura (4.1) y se puede observar que la fuente de alimentación tiene tres terminales: positiva, negativa y común.

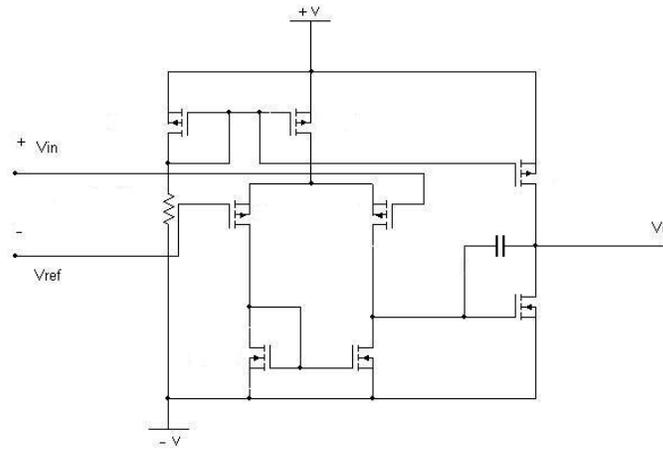


Figura 4.1: Esquema de un opamp.

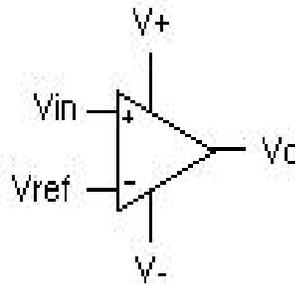


Figura 4.2: Diagrama de un opamp.

4.2.2. Terminales de entrada

En la Figura (4.1) hay dos terminales de entrada, etiquetadas - y +. Se llaman terminales de entrada diferencial ya que el voltaje de salida V_o depende de la diferencia de voltaje entre ellas, E_d . La terminal de salida es positiva con respecto a tierra cuando la entrada (+) es positiva con respecto a la entrada (-) y cuando la entrada negativa es mayor que la entrada positiva la terminal de salida es negativa con respecto a tierra.

Se concluye que a partir de la Figura (4.1), que la polaridad de la terminal de salida es la misma que la polaridad de la terminal de entrada (+). Por otra parte, la polaridad de la terminal de salida es opuesta o inversa respecto a la polaridad de la terminal de entrada (-). Por estas razones, la entrada (-) se denomina *entrada inversora* y la entrada (+) se designa *entrada no inversora*.

Es importante hacer énfasis en que la polaridad V_o depende sólo de la diferencia en voltaje entre las entradas inversora y no inversora. Esta diferencia de voltaje puede

encontrarse por

$$E_d = \text{voltaje en la entrada (+)} - \text{voltaje en la entrada (-)} \quad (4.1)$$

4.2.3. Terminal de salida

En la Figura (4.1) el voltaje de salida se mide con respecto a tierra. Ya que hay sólo una terminal de salida en un opamp. Existen límites en los niveles de voltaje en la terminal de salida; estos límites están establecidos por los voltajes de suministro y por los MOS de salida como se muestra en la Figura (4.1). El límite superior de V_o se denomina voltaje positivo de saturación, $+V_{sat}$ y, el límite inferior se llama voltaje negativo de saturación, $-V_{sat}$.

4.2.4. Voltaje de salida

- Voltaje de referencia $V_{ref} = 0$

El opamp en la Figura (4.3) opera como un comparador. Su entrada (+) compara el voltaje V_{in} con un voltaje de referencia de 0V ($V_{ref}=0V$). Cuando V_{in} está arriba de V_{ref} , V_o es igual a $+V_{sat}$. Esto se debe a que el voltaje en la entrada (+) es más positivo que el voltaje en la entrada (-). Por tanto, el signo de V_{in} en la ecuación (4.1) es positivo. En consecuencia, V_o es positivo.

La polaridad de V_o indica si V_{in} está arriba o debajo de V_{ref} . La transición de V_o indica cuándo V_{in} cruza la referencia y en qué dirección. Por ejemplo, cuando V_o hace una transición al ir a positivo desde $-V_{sat}$ a $+V_{sat}$, indica que V_{in} precisamente cruza 0 en la dirección positiva.

En la Figura (4.4) se muestra la simulación del opamp con un $V_{in} = 5V$ y un $V_{ref} = 0V$

- Voltaje positivo de referencia

En la Figura (4.5) se aplica un voltaje positivo de referencia V_{ref} a la terminal negativa. Esto significa que el opamp está habilitado como un comparador para registrar un voltaje positivo. Cuando V_{in} está arriba de V_{ref} , V_o es igual a $+V_{sat}$. Cuando V_{in} está debajo de V_{ref} , V_o es igual a $-V_{sat}$.

En la Figura (4.6) se muestra la simulación del opamp cuando V_{ref} se encuentra en algún voltaje positivo en este caso $V_{ref} = 2V$ y un $V_{in} = 5V$

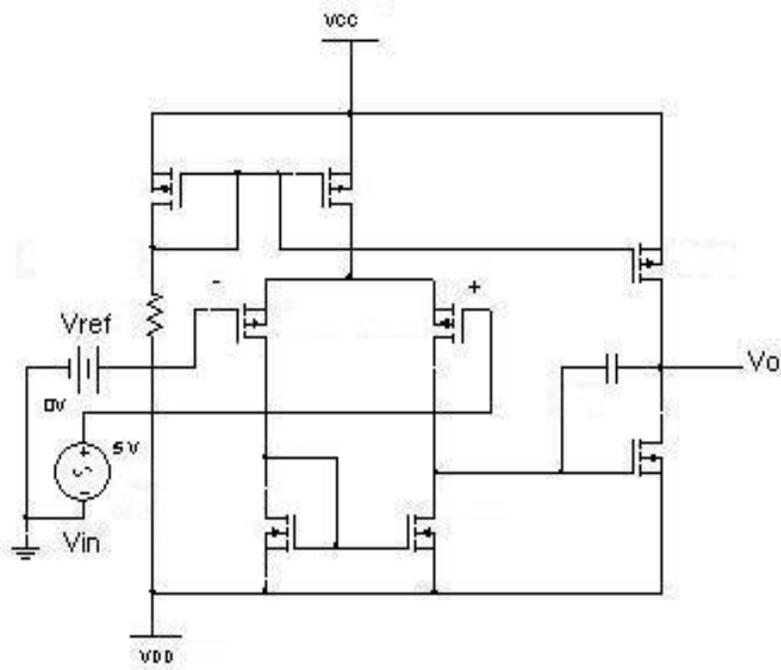


Figura 4.3: Esquema de un opamp.

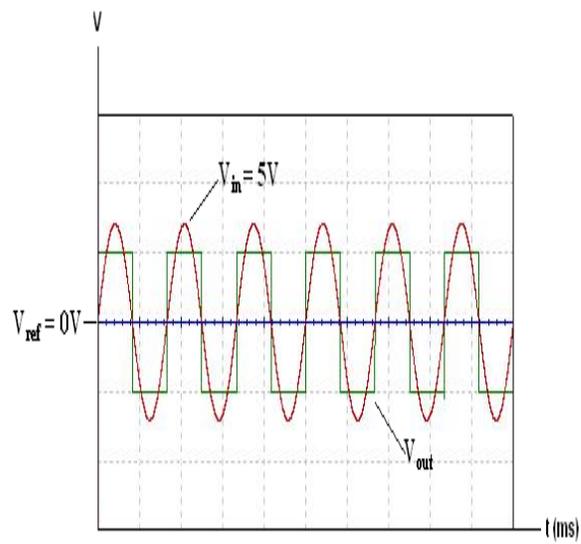


Figura 4.4: Simulación del opamp.

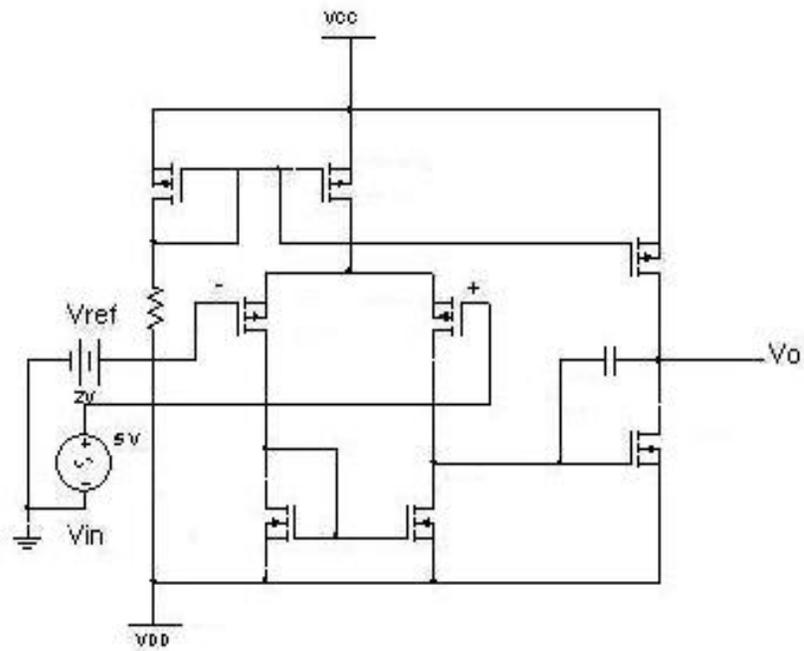


Figura 4.5: Esquema de un opamp.

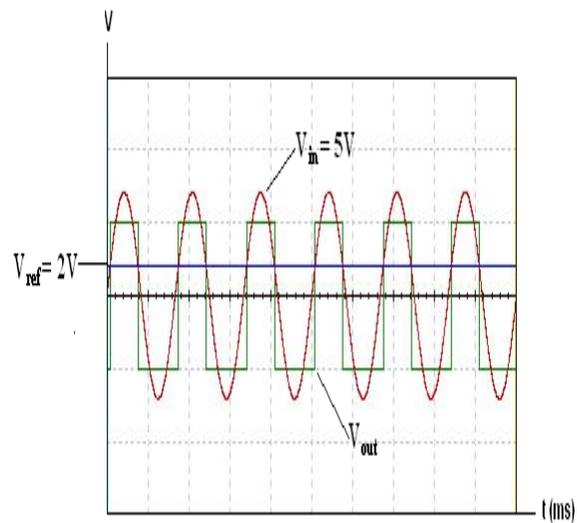


Figura 4.6: Simulación del opamp.

4.3. Convertidor D/A

En la Figura (4.7) se presenta un diagrama a bloques para un convertidor digital a analógico básico. El voltaje de referencia V_{ref} , está conectado a una red de resistencias. Un código digital de entrada, a través de los circuitos de control, acciona los interruptores, uno por cada bit, conectados a la red de resistencias. La salida de esta red, se da en forma de corriente. Esta última puede convertirse en voltaje. Tanto las salidas de corriente como de voltaje son representaciones analógicas del código digital de entrada.

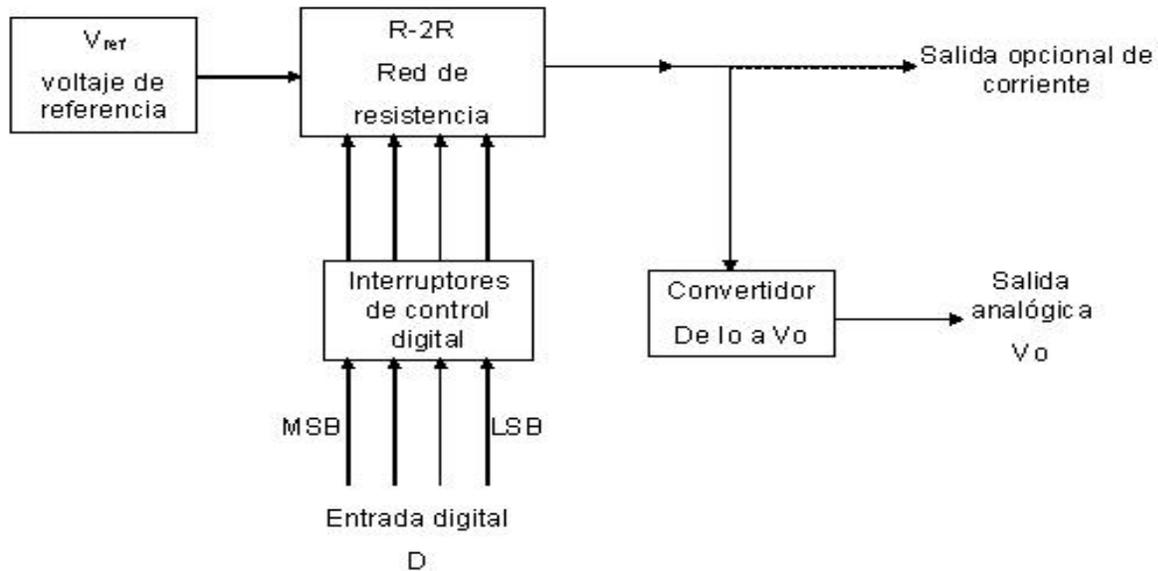


Figura 4.7: Diagrama a bloques para un convertidor digital a analógico.

La conversión digital a analógico tiene lugar dentro de la red de resistencias. Por lo cual se inicia el estudio del circuito del convertidor digital a analógico examinando la red de resistencias, a la cual se le da el nombre de red de escalera $R-2R$. [5]

4.3.1. Red de escalera $R-2R$

En la Figura (4.8) se describe una red de escalera $R-2R$ de 8 bits. Cada entrada digital controla la compuerta de los MOSFET's, así, dichos transistores funcionan como interruptores. Ahora si el bit asociado estuviera en el estado OFF, el punto D7 estaría conectado a tierra; si el bit estuviera en el estado ON, el punto D9 estaría conectado a V_{ref} .

En la Figura (4.8), las corrientes de *riel* fluyen horizontalmente y, las corrientes de *escalón* fluyen hacia abajo a través de los interruptores de bit.

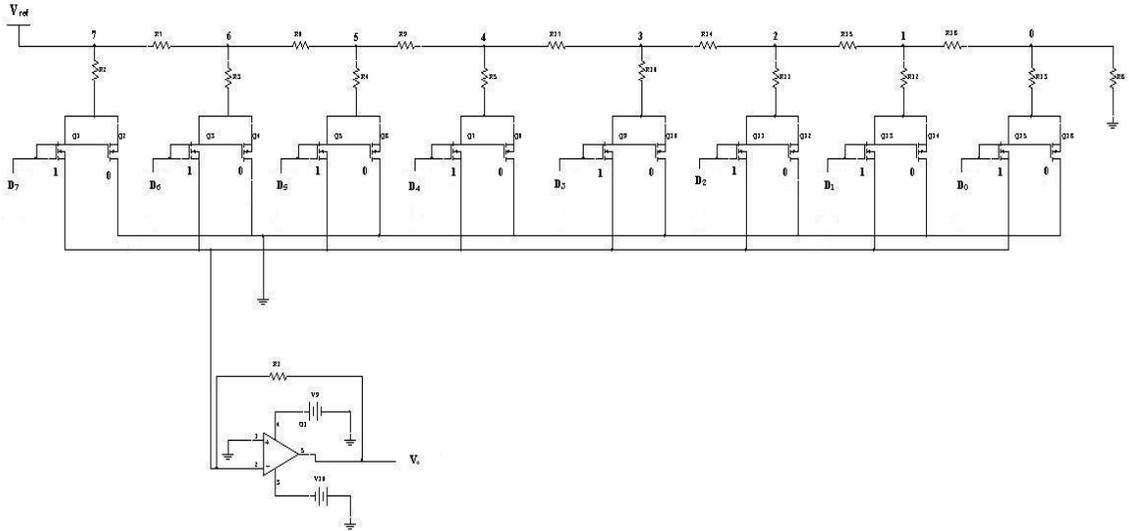


Figura 4.8: Convertidor digital/analógico.

El V_{ref} toma a la red de escalera como una resistencia R , la corriente de riel I_{ref} será

$$I_{ref} = \frac{V_{ref}}{R} \quad (4.2)$$

En la red R - $2R$ de la Figura (4.8) la corriente I_{ref} se divide en dos partes iguales en el nodo 7. La corriente de escalón $I_7 = I_{ref}/2$ y la corriente del riel $I_7 = I_{ref}/2$. Cada corriente de riel se divide en partes iguales en cada nodo a medida que desciende por la escalera. Las corrientes de escalón se evalúan a partir de:

$$I_7 = \frac{I_{ref}}{2}; I_6 = \frac{I_{ref}}{4}; I_5 = \frac{I_{ref}}{8}; I_4 = \frac{I_{ref}}{16}; I_3 = \frac{I_{ref}}{32}; I_2 = \frac{I_{ref}}{64}; I_1 = \frac{I_{ref}}{128}; I_0 = \frac{I_{ref}}{256} \quad (4.3)$$

Donde I_o es la corriente controlada por el interruptor del bit menos significativo.

4.3.2. Salida de corriente del convertidor digital a analógico

El conductor de la corriente de salida recibe la de un escalón si el interruptor del bit correspondiente se encuentra en la posición 1. Para determinar la ecuación de entrada-salida correspondiente a la red de escalera, se sabe que I_{sal} es la suma de todas las corrientes de escalera dirigidas hacia los interruptores. En forma de ecuación esto se

expresa así:

$$I_{sal} = \text{resolución} \times D \quad (4.4)$$

donde D es igual al valor decimal de la entrada digital y la resolución se evalúa a partir de

$$\text{resolución} = \frac{I_{ref}}{2^n} = \frac{1}{2^n} \frac{V_{ref}}{R} \quad (4.5)$$

donde n es el número de bits a convertir.

4.3.3. Salida de voltaje del convertidor digital a analógico

Como se observa en la Figura (4.8), la corriente de salida de la escalera se puede convertir en voltaje al incorporar un amplificador operacional y una resistencia de retroalimentación. El voltaje de salida V_o está dado por:

$$V_o = -I_{sal}R_F \quad (4.6)$$

Al sustituir I_{sal} de la ecuación (4.4) se obtiene:

$$V_o = -(\text{resolución} \times D) \times R_F \quad (4.7)$$

y V_o se puede escribir como:

$$V_o = -\text{resolución} \times D \quad (4.8)$$

En términos del circuito. V_o se expresa como:

$$V_o = -\left(\frac{V_{ref}}{R} \frac{1}{2^n}\right) \times D \quad (4.9)$$

4.4. Programador y Registro

Esta sección trata de los conceptos básicos para el diseño del contador de anillo y registro. Para el contador de anillo se ocupan biestables D y para el registro biestables RS. También se explica su funcionamiento en conjunto con las demás etapas.

4.4.1. Biestable RS

El manejo de los números binarios en los sistemas digitales exige que se almacenen los números, bien sea temporal o permanentemente. El biestable también conocido por el término inglés flip-flop, constituye el componente lógico digital que proporciona el almacenamiento requerido, almacenándose en una serie de biestables un número binario. En cada uno de ellos se almacena un dígito binario. En los circuitos de biestables, se

denomina a un dígito binario 1 por el término estado 1 y al 0 por estado 0. Una vez que se haya almacenado en el circuito biestable un 1 o un 0, sólo cambiará de estado si se presenta nueva información a las entradas o si se quita potencia del circuito.

En la Figura (4.9) podemos ver un esquema de bloques representativo del circuito biestable *RS*. Los términos marcados *R*, *CLK*, *S*, Puesta a uno y Puesta a cero son terminales de entrada y, los dos marcados *Q* y \bar{Q} son salidas. Es imposible que las dos salidas tengan simultáneamente el mismo valor.

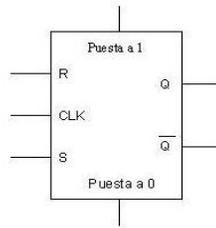


Figura 4.9: Esquema de bloque de un biestable RS.

El biestable *RS* puede ocuparse en modo síncrono o asíncrono. De modo síncrono es aquel que realiza funciones lógicas de acuerdo con un tren de pulsos de reloj. En modo asíncrono, las funciones lógicas se completan secuencialmente. Completada una operación lógica, se genera un pulso iniciador que pone en marcha la operación siguiente.

La terminal *CLK* es la entrada síncrona o de reloj y, las terminales Puesta a uno y Puesta a cero corresponden a las entradas asíncronas. *R* y *S* son las entradas de los dígitos binarios. La función lógica de la línea *S* es llevar la salida *Q* a un estado 1 y la \bar{Q} a un 0. Inversamente, un pulso en la línea *R* lleva *Q* a 0 y \bar{Q} a 1. La tabla (4.1) establece claramente la función lógica. En dicha tabla, el subíndice *n* denota el tiempo del bit y *n+1* un tiempo de bit más tarde.

Tabla 4.1: Tabla de verdad del biestable RS

| t_n | t_n | t_{n+1} |
|-------|-------|-----------|
| S | R | Q |
| 0 | 0 | F^n |
| 1 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 1 | i |

Según indica la tabla de verdad, el caso de 0 en ambas entradas no hay variación en las líneas de salida. El símbolo F^n se utiliza en t_{n+1} para indicar que *Q* mantiene el valor que tenía en el instante t_n . Un 1 en la entrada *S* establece un 1 en la salida *Q* y, un 1 en la entrada *R* vuelve a poner a 0 la salida. El caso de un 1 en ambas entradas no

tiene una relación definida con una salida dada, por lo que es indeterminante (i), por eso deberá evitarse esta combinación de entradas. [11-14]

Podemos comprender la lógica de un biestable RS representándolo como conexión en cruz de dos puertas. En la Figura (4.10) se observa una combinación de puertas NOR acopladas en cruz y en la Figura (4.11) se muestra un biestable RS que utiliza lógica CMOS.

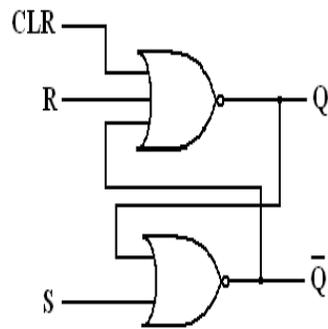


Figura 4.10: Esquema lógico del biestable RS.

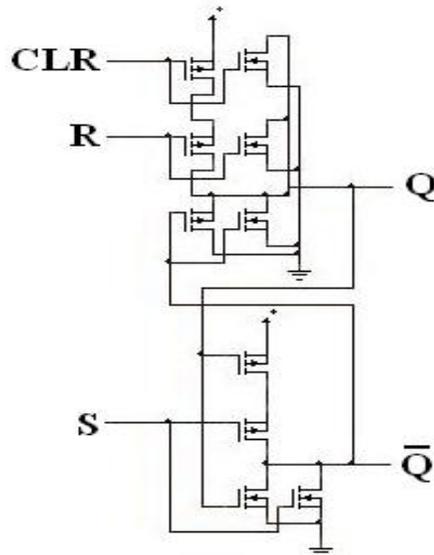


Figura 4.11: Esquema de lógica del biestable RS con tecnología CMOS.

4.4.2. Biestable D

El biestable de retardo (biestable D) es de entrada única que proporciona una memoria o almacenamiento de un bit. La salida es igual a la entrada y, la única diferencia es que está retardada en un tiempo de bit. La función lógica del biestable D relaciona la entrada D en el tiempo de bit n con la salida F en el tiempo de bit $n+1$. La tabla (4.2) muestra la tabla de verdad para dicho dispositivo de memoria.

Tabla 4.2: Tabla de verdad del biestable D

| t_n | t_{n+1} |
|-------|-----------|
| D | Q |
| 0 | 0 |
| 1 | 1 |

En la Figura (4.12) se observa un esquema de bloques representativo del circuito biestable y en la Figura (4.13) se presenta un esquema lógico de un biestable D.

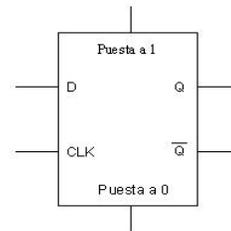


Figura 4.12: Esquema de bloque de un biestable D.

Como en el caso de otros circuitos destinados a operar sincrónica y asincrónicamente, se dispone de una línea para poner directamente a 1 y a 0 el biestable. Estas entradas directas superan a los demás mandos del biestable independientemente del cuál sea el estado del reloj. [11-14]

En la Figura (4.14) podemos ver el esquema de un biestable D, pudiendo trazarse fácilmente las interconexiones entre las diferentes puertas del circuito.

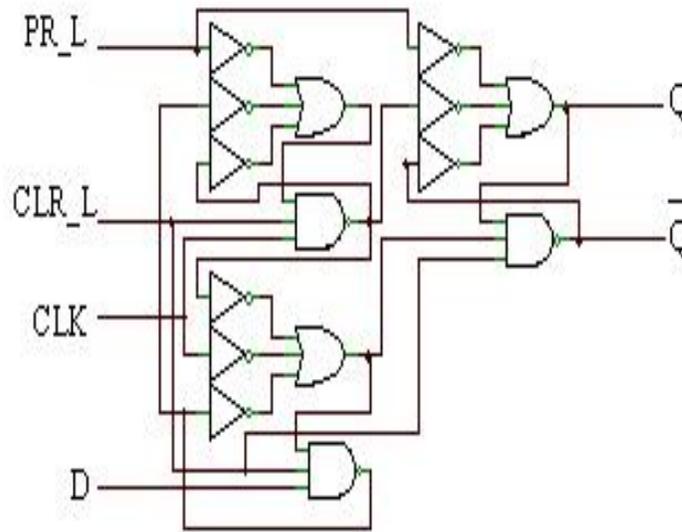


Figura 4.13: Esquema lógico del biestable D.

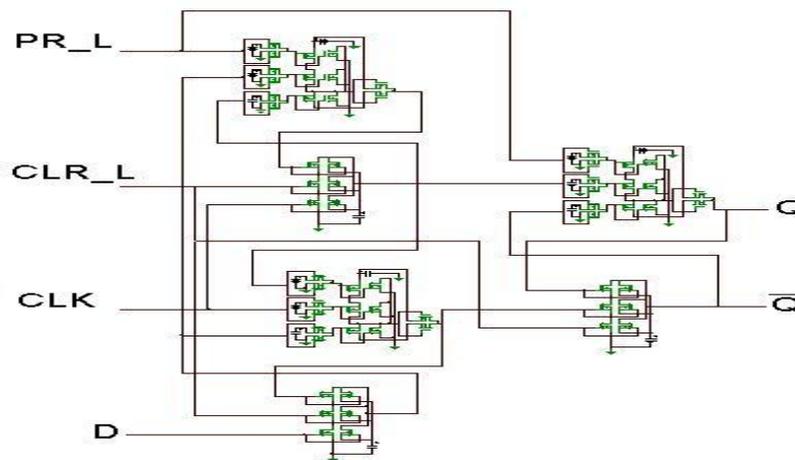


Figura 4.14: Esquema lógico del biestable D con tecnología CMOS.

4.4.3. Contador de anillo

Un contador de anillo es un registro de corrimiento circular capaz de correr información binaria ya sea a la derecha o a la izquierda. La configuración lógica de un registro con corrimiento consta de una cadena de flip-flops conectados en cascada, con la salida de un flip-flop conectada a la entrada del siguiente flip-flop.

En la Figura (4.15), los biestables FF1 hasta FF10 son flip-flops D que se conectan para formar un registro por desplazamiento circulante de diez bits. Aplicando un nivel

bajo a la entrada Puesta a 1 de FF1 y a las entradas Puesta a 0 de los restantes biestables, se pone la salida Q de FF1 a 1 y las restantes salida \bar{Q} se dejan sin conectar. El valor inicial del registro es 1000000000, lo cual produce la variable A_1 . El bit único se corre a la derecha con cada pulso de reloj y circula regresando desde A_{10} a A_1 . Cada flip-flop está en el estado 1 una vez cada diez pulsos de reloj y produce una de las 10 señales de temporizado que se muestran en la Figura (4.16). Cada salida se vuelve un 1 después de la transición de borde negativo de un pulso de reloj y permanece en 1 durante el siguiente pulso de reloj. [11-14]

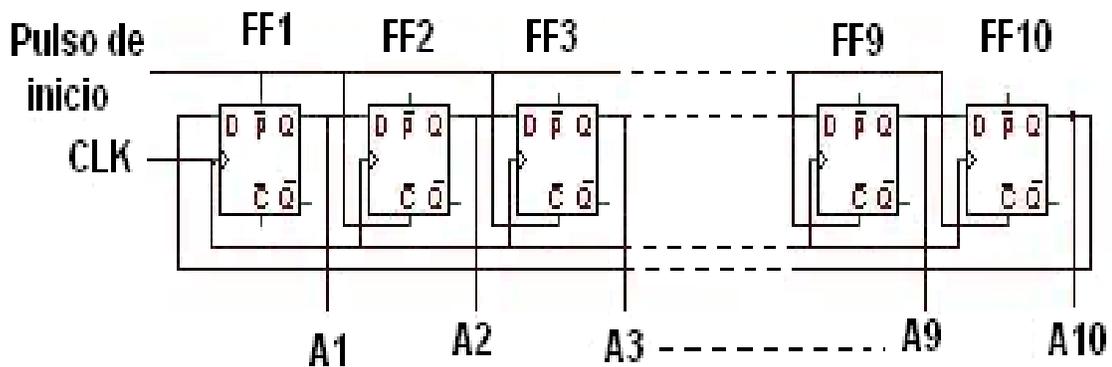


Figura 4.15: Contador de anillo.

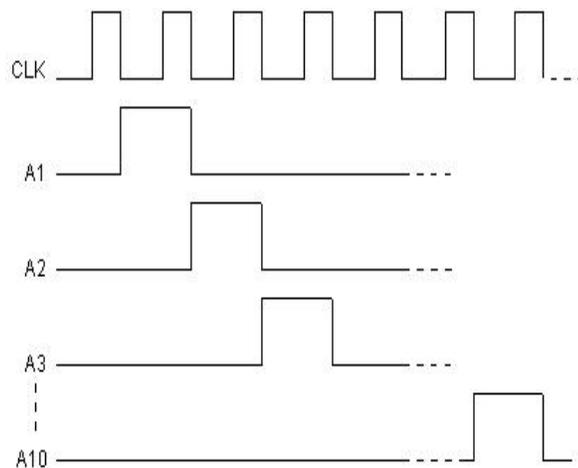


Figura 4.16: Secuencia de diez señales de temporizado.

En la Figura (4.17) se muestra el contador de anillo usando la lógica de compuertas y posteriormente en la Figura (4.18) se muestra con tecnología CMOS.

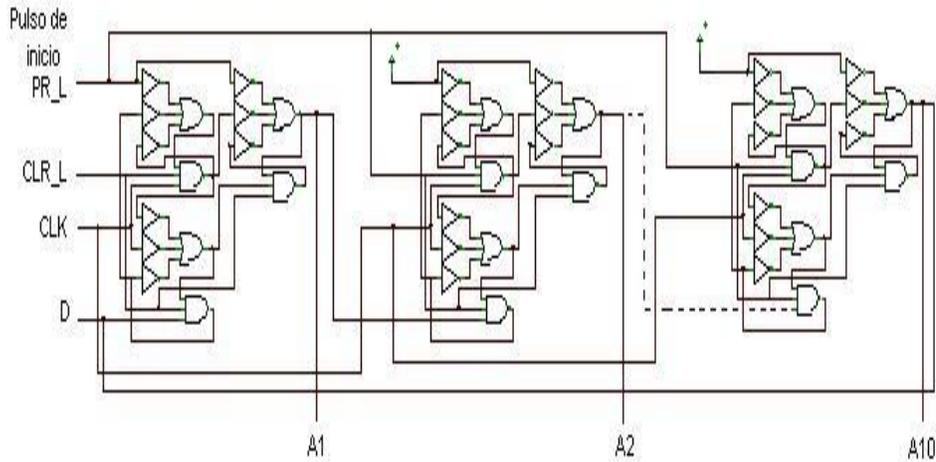


Figura 4.17: Esquema lógico del contador de anillo.

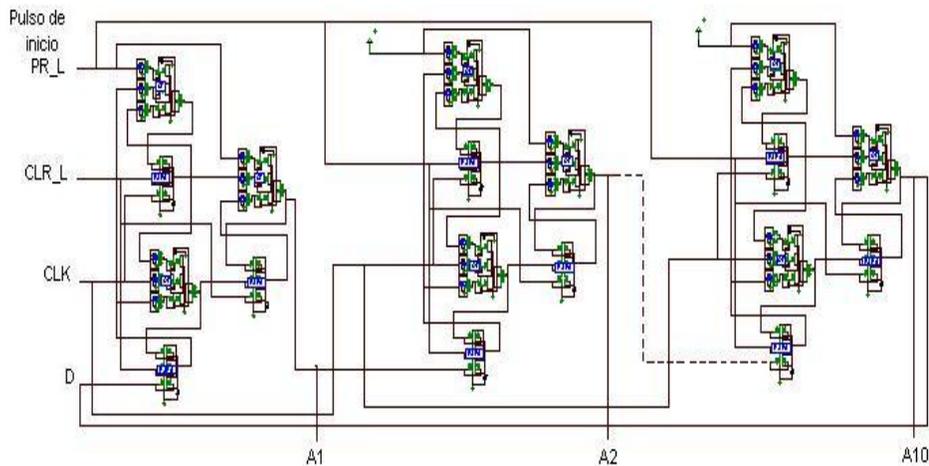


Figura 4.18: Esquema lógico del contador de anillo con tecnología CMOS.

4.4.4. Etapa de control

La técnica de aproximaciones sucesivas, realiza una conversión comparando la tensión de entrada analógica con aproximaciones sucesivamente generadas por un registro y un convertidor D/A programado. La etapa de control está constituida por el contador de anillo (formado por 12 biestables D), el registro (8 biestables RS) y la decisión lógica

que consiste en una serie de compuertas AND y NAND que interconectan al registro con el contador de anillo como se muestra en la Figura (4.19).

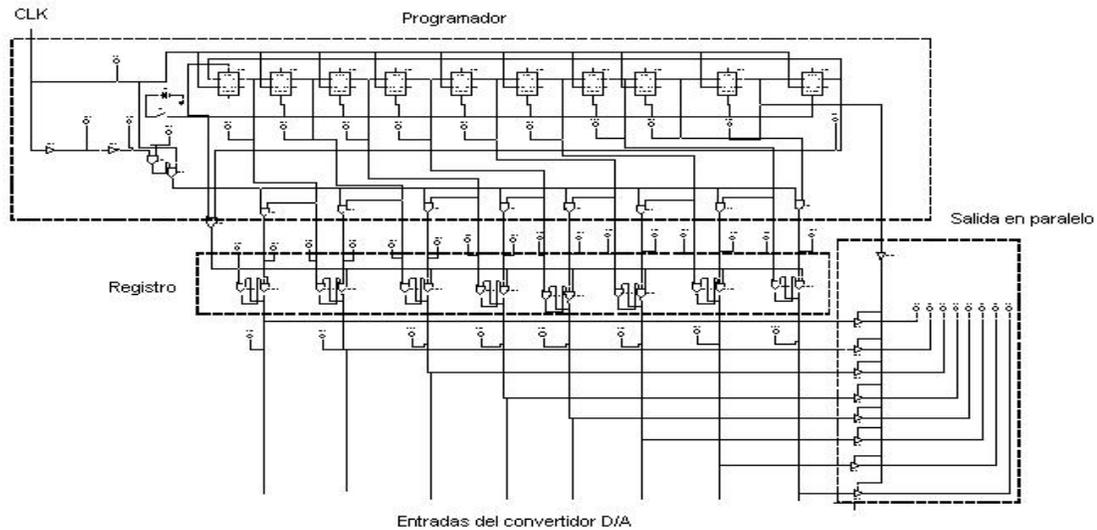


Figura 4.19: Etapa de control.

Esta etapa básicamente funciona de la siguiente manera:

Mediante el pulso de inicio, el bit más significativo del registro se pone inicialmente a 1 mediante el programador, dando como resultado una tensión digital de 10000000, ello genera un voltaje a la salida del convertidor D/A que es la mitad de la tensión de entrada. Se compara esta tensión en el amplificador operacional con la entrada, se suma la señal de entrada analógica V_{in} a la salida del convertidor D/A y se amplifica la diferencia resultante para originar un estado de tensión de salida de ON o de OFF, que estará determinado por el signo de la diferencia ($V_{in} - V_{ref}$), si ésta fuese aún mayor que la aproximación, con el siguiente pulso de reloj el segundo bit más significativo en el registro se pondría a 1 y la tensión resultante sería 11000000, por lo contrario, si fuese menor, el bit más significativo se pondrá en cero a la vez que el segundo bit queda en 1, dando como resultado una tensión de 01000000 y esta a su vez nuevamente es la tensión de salida del convertidor D/A y es comparada con la entrada.

El contador de anillo de diez etapas debe generar diez señales mutuamente exclusivas, una durante cada intervalo de tiempo, ocho para sensibilizar los biestables RS, una para sacar por puerta el código digital y una para poner a cero todos los biestables del registro para la conversión siguiente.

Este proceso se repite para los 8 bits hasta completar el ciclo.

4.4.5. Circuito del convertidor A/D por aproximaciones sucesivas

A continuación se muestra el diseño esquemático del convertidor A/D de aproximaciones sucesivas como resultado de la integración de las etapas antes mencionadas, conforme al diagrama de la Figura (3.11). En este diagrama se integran los subcircuitos siguientes: comparador (Figura 4.1), convertidor D/A (Figura 4.8) y la etapa de control que esta a su vez se compone del programador y el registro (Figura 4.19).

La Figura (4.21) muestra el diseño del convertidor con tecnología CMOS.

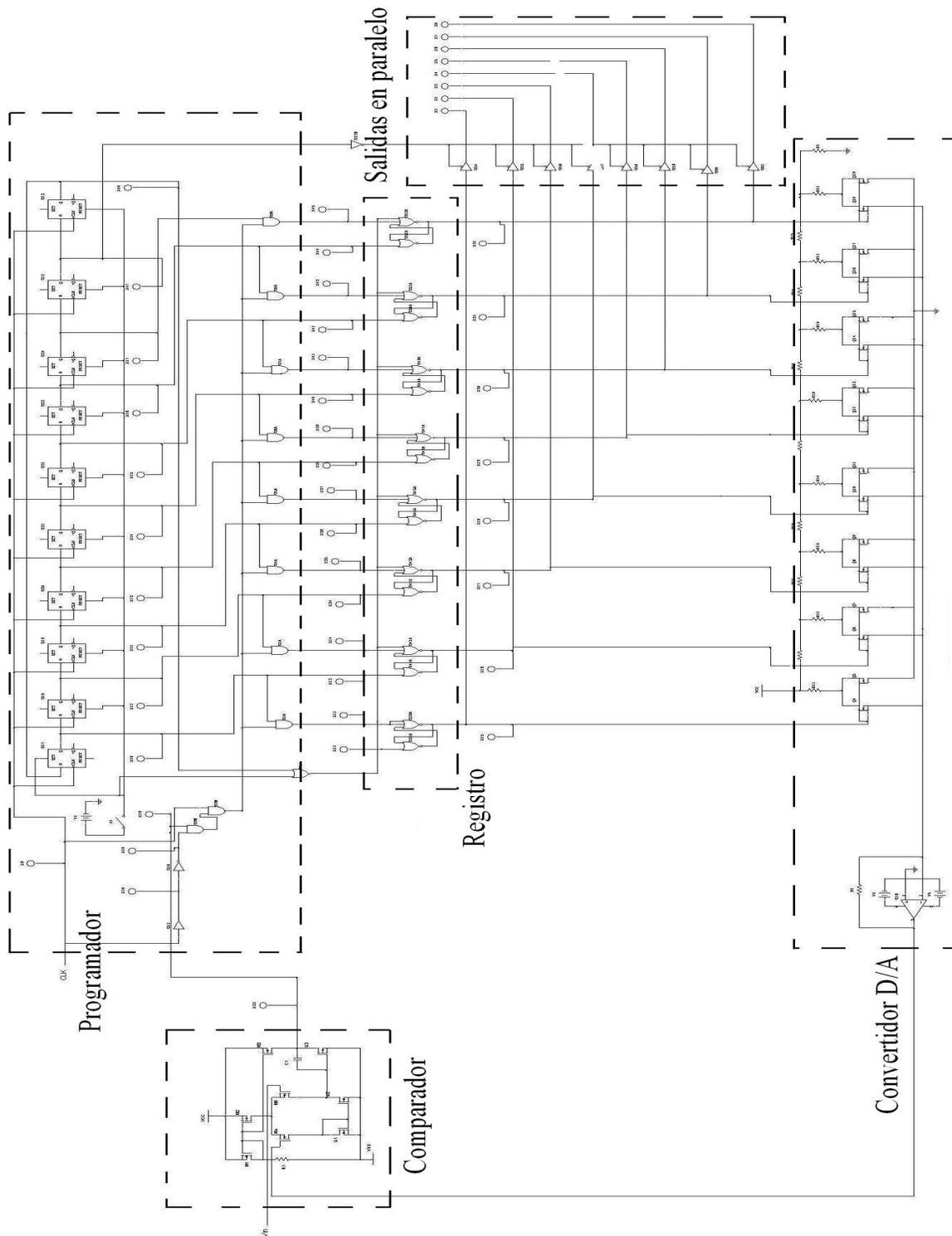


Figura 4.20: Esquema lógico completo del CAD.

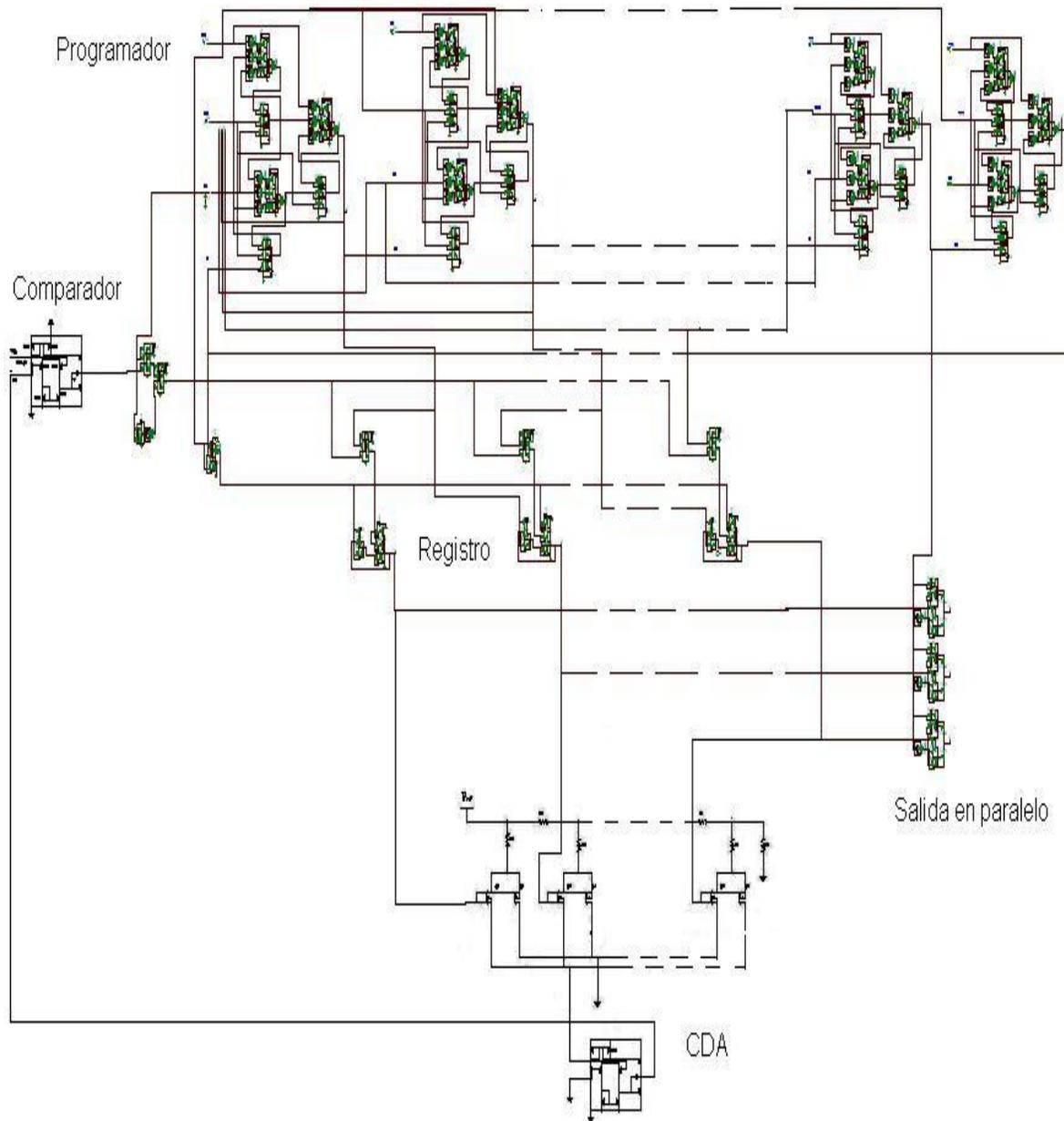


Figura 4.21: Esquema lógico del CAD con tecnología CMOS.

Capítulo 5

Layout del convertidor A/D

5.1. Introducción

En el capítulo anterior se describió el diseño y la simulación del convertidor A/D. En este capítulo se abarcara el diseño del Layout del mismo, dando una pequeña introducción al diseño del Layout del CMOS y siguiendo con las diferentes etapas que conforman al convertidor A/D.

El diseño de CMOS es altamente dependiente de los pasos de fabricación y de las propiedades eléctricas resultantes. Por lo que a continuación se da una breve descripción al proceso de fabricación de un Circuito Integrado CMOS.

5.2. Proceso de fabricación de un Circuito Integrado

Un circuito integrado es una colección de capas de un patrón de materiales que se combinan para formar una estructura física tridimensional que dan como resultado los dispositivos electrónicos y las interconexiones. Un circuito integrado CMOS típico consiste de varias capas individuales tales como silicio policristalino (poly), dióxido de silicio y conductores metálicos. Cada capa es definida por su propio patrón de objetos geométricos que son estratégicamente situados en otras capas para formar transistores y las líneas de interconexión necesarias que definen en si al circuito integrado.

La secuencia del proceso consiste de pasos físicos que deben ser ejecutados en orden para crear el patrón de capas en el substrato de silicio. En esta sección se caracterizara los pasos de fabricación más importantes para entender el diseño de circuitos integrados CMOS. [17]

5.2.1. Óxidos

El dióxido de silicio (SiO_2) es usado extensivamente en circuitos integrados ya que es fácil de crecer o de depositar y, tienen excelentes características aislantes. Este es usado como aislante entre la compuerta del MOSFET, como se vió en secciones anteriores y, provee aislamiento entre las capas conductoras. Hay dos caminos para crear el óxido, crecimiento térmico y depósito de vapor químico (CVD). [17, 20-30]

5.2.2. Polisilicio

La tecnología MOS moderna hace uso de silicio policristalino (el cual es llamado polisilicio o simplemente poly) como una capa conductora depositada arriba del óxido. Una simple reacción para producir poly es la pirólisis la cual tiene varias características conforme se varia la temperatura. El polisilicio es de particular importancia en CMOS ya que las compuertas MOSFET generalmente consisten de una capa de poly depositada con un metal, uno encima del otro, o mezclado durante el proceso de depósito. El silicio policristalino tiene este nombre debido a muchas regiones pequeñas de cristal en vez de tener una estructura sencilla de cristal a lo largo de la misma (tal como en la oblea de silicio). Este estado se logra depositando silicio sobre un material amorfo tal como el dióxido de silicio. El polisilicio es usado por que provee excelente cobertura, tiene buenas propiedades de adhesión a la superficie del dióxido de silicio y puede ser sometido a procesos de elevadas temperaturas. Una de las desventajas del material es que un poly altamente dopado tiene una alta resistencia. [17, 20-30]

5.2.3. Implantación iónica y dopaje

Los circuitos VLSI (muy alta escala de integración) usan implantación iónica para crear regiones dopadas n y p en el sustrato de silicio. Una región dopada es simplemente una sección del silicio en la cual han sido depositadas impurezas de forma intencional para alterar las propiedades eléctricas. En el proceso de implantación iónica, los iones dopantes son acelerados a altas energías y literalmente hacerse pedazos en la oblea de silicio. Las colisiones entre los iones y los átomos de silicio eventualmente provocan que los iones se depositen en la oblea. Este mecanismo crea varios daños en la oblea que deben ser reparados, por medio de un horneado los iones deben de encontrar su camino a sitios de red normales del silicio en orden, para actuar como sustitución de las impurezas. [17, 20-30]

5.2.4. Capas metálicas

Muchas interconexiones son creadas usando un patrón de capas de metales o metales aleados. En procesos modernos, llegan a existir de 4 a 7 o mas interconexiones metálicas entre las diferentes capas. Al principio del proceso del MOS, el aluminio fue usado exclusivamente para compuertas FET e interconexiones. El metal fue preferido debido

a que era fácil para evaporar y depositar en la oblea y, exhibía buena adhesión a las superficies. Una de las desventajas es que era relativamente fundente a temperaturas pequeñas la cual se eliminaba en procesos de altas temperaturas.

A nivel de diseño de circuitos, el interés en la elección de metales es usualmente orientado a los valores de resistencia parásita. Los detalles del multinivel de capas dan la identidad y capacitancias de acoplamiento que afectan el diseño de niveles del sistema. Y ya que no se entrara en detalles en el proceso de metalización, solo se deja como observación. [17]

5.2.5. Fotolitografía

Los patrones de los materiales son conseguidos usando el proceso de Litografía. Este proceso comienza con el diseño de cada capa usando una herramienta CAD llamada layout editor (en este caso L-Edit V8 de Tanner EDA), el cual es un paquete de gráficos donde diferentes patrones de materiales son representados por diferentes colores en la pantalla. La salida del layout editor es enviado a un fabricante de mascarillas donde la información es usada para crear una máscara para cada capa. Físicamente, la máscara es un plato de un cristal de alta calidad, el patrón está definido por características de cromo. La transferencia del patrón a la capa es obtenida en secuencia de pasos. En otras palabras la fotolitografía es el proceso de transferencia de patrones hacia un sustrato, por medio de la incidencia de luz (UV) sobre una mascarilla y un material sensible a la luz (resina) encima del sustrato. Después se elimina la resina excedente, quedando resina con el patrón deseado. Existen resinas positiva y negativa: la resina positiva transfiere el mismo patrón de la mascarilla sobre la superficie, mientras que la resina negativa lo hace en forma inversa. [20-30]

5.2.6. Aislamiento y pozos

Un circuito integrado CMOS consiste de MOSFETs que son juntamente reforzados por líneas conductoras llamadas interconexiones. Como se discutió en el capítulo 2, hay dos tipos de MOSFETs usados en CMOS: el canal n y canal p. Los dos son eléctricamente complementarios uno del otro con regiones inversas tipo n y tipo p. Hay dos importantes términos que deben ser examinados antes de entrar con detalles con el proceso CMOS. Primero, un circuito integrado es fabricado en una oblea de sustrato que puede ser dopada para darle polaridad (tipo p o tipo n) durante el crecimiento del lingote. A nivel dispositivo, los nFETs requieren un sustrato tipo p, mientras que los pFETs son construidos en un sustrato tipo n. Para crear un circuito complementario que usa ambos tipos de transistores, se debe proveer un pozo de polaridad opuesta en el proceso. Esto significa que si un sustrato tipo p es usado como punto de inicio, entonces los nFETs pueden ser fabricados directamente en el sustrato, pero los pFETs deben residir en regiones de pozos n (n-well) que son incrustados en pasos de enmascaramiento diferentes.

El segundo punto importante que se debe considerar es el hecho que los VLSI son basados en la habilidad para alcanzar una alta densidad de empaquetado de transistores. Por ejemplo, diseños típicos comerciales emplean entre 5 y 10 millones de MOSFETs en un solo *dado*. Cuando los transistores son fabricados en el sustrato, deben ser aislados de cada una de las conexiones requeridas en el circuito. Las técnicas de aislamiento son alcanzadas usando un proceso razonable que no provoque muchas pérdidas en el área de la superficie, es decir, que la separación de cada uno de los MOSFETs sea suficiente para que no estén interconectados. [17]

5.3. Diseño del Layout de un CMOS

El diseño de circuitos integrados se centra alrededor de dos puntos importantes:

- Trasladar la lógica funcional necesaria en circuitos electrónicos equivalentes y,
- Crear redes de switcheo rápido.

La operación lógica sincronizada es llevada a cabo por una apropiada colocación y conexión de los MOSFETs. Por otro lado, el desempeño del switcheo, es más difícil de controlar porque depende de las medidas del transistor, las características de conexión del circuito, la resistencia parásita y capacitancia en el circuito.

El diseño físico proporciona especificaciones de la medida exacta y localización de todas las figuras geométricas en todas las capas de los materiales del circuito integrado. A nivel diseño, esto se lleva a cabo diseñando todas las máscaras que sean necesarias para fabricar la estructura tridimensional. Esto se logra usando una herramienta de dibujo CAD conocida como un Layout Editor que permite especificar el patrón de todos los pasos litográficos en el proceso de fabricación y, en este caso se utilizó el programa L-Edit V8 de Tanner EDA. Los pasos de diseño físico dan importantes características tal como la densidad de empaquetado de transistores y las propiedades de transmisión eléctrica de las interconexiones que son posibles en un proceso de fabricación en línea.

Todos los patrones en el proceso de fabricación requieren una máscara por separado. Los pasos de enmascaramiento necesarios en el proceso básico CMOS son:

1. Nwell: máscara de pozo n (n-well)
 2. Active: regiones donde los transistores pueden ser situados
 3. Poly: patrón de polisilicio de compuerta
 4. Pselect: regiones donde el ión de tipo p se implanta para formar regiones p+
 5. Nselect: regiones donde el ión de tipo n se implanta para formar regiones n+
 6. Poly contact: cortes en el óxido que proveen contacto entre el Metal1 y el Poly
-

7. Active contact: cortes en el óxido que proveen conexión entre el Metal1 y la región n+ o p+
8. Metal1: patrón para la primer capa de metal
9. Via: corte en el óxido para proveer conexión entre el Metal1 y Metal2
10. Metal2: patrón para la segunda capa de metal

Procesos mas complicados incluyen otras capas, por ejemplo, capas de metal adicional son requeridas en diseño de circuitos avanzados.

A continuación se muestra un ejemplo de una secuencia de enmascaramiento.

En la Figura (5.1a), la primera mascara, Nwell, define la localización de los pozos n necesarios para los pFETs. La primer capa es también usada para proveer marcas de registro en la oblea que son usados para alinear varias de las capas que le siguen. La siguiente mascara en la secuencia define las áreas activas como se muestra en la Figura (5.1b). Después de que esto es completado, el óxido es crecido y el polisilicio de compuerta es depositado como se muestra en la Figura (5.1c). En muchos procesos, la capa de poly es dopada n mientras esta siendo crecida y tiene una capa de metal encima; esto permite que las líneas de poly puedan ser usadas como interconexiones.

El siguiente enmascaramiento, en la Figura (5.1d), muestra la mascara de Pselect que define la región de silicio que es expuesta a una implantación iónica tipo p (por ejemplo Boro), esto crea regiones p+ en el silicio. La implantación p es seguida por una implantación iónica del tipo n que tiene un patrón definido por una mascara Nselect, esto origina las regiones drain y source y, las regiones de contacto n-well (para la aplicación de voltaje). Después de que los FETs son creados la oblea es cubierta con óxido. La siguiente mascara es el Active Contact, el cual es usado para definir donde se corta el óxido y se hagan las líneas de conexión del Metal1, como se muestra en la Figura (5.2f). El componente final del enmascaramiento básico es el Metal1 la cual define la capa de interconexión, que se muestra en la Figura (5.2g). El material puede ser eléctricamente conectado a las áreas activas (n+ o p+), a las líneas de polisilicio o a líneas de metal de niveles arriba. [17]

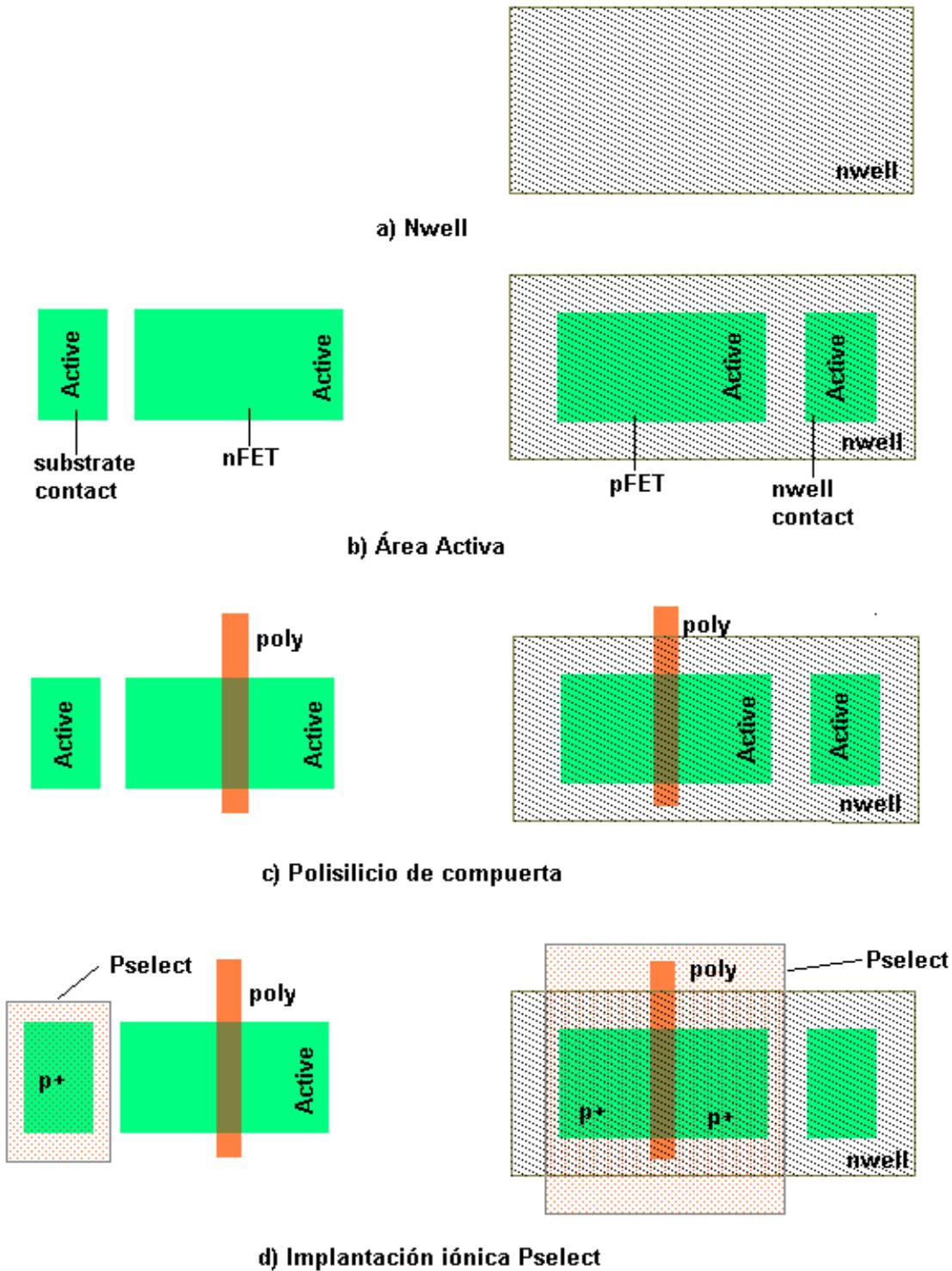
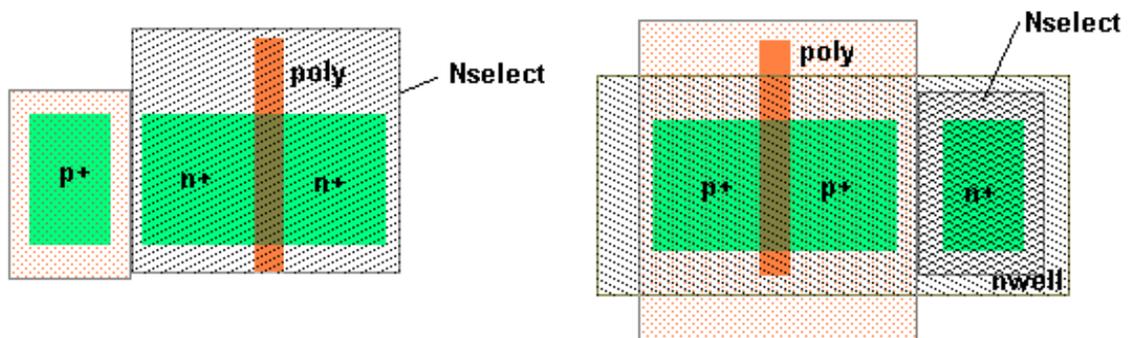
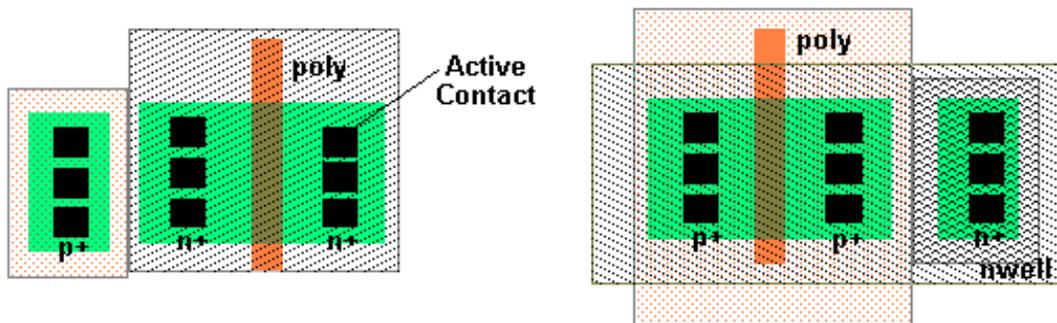


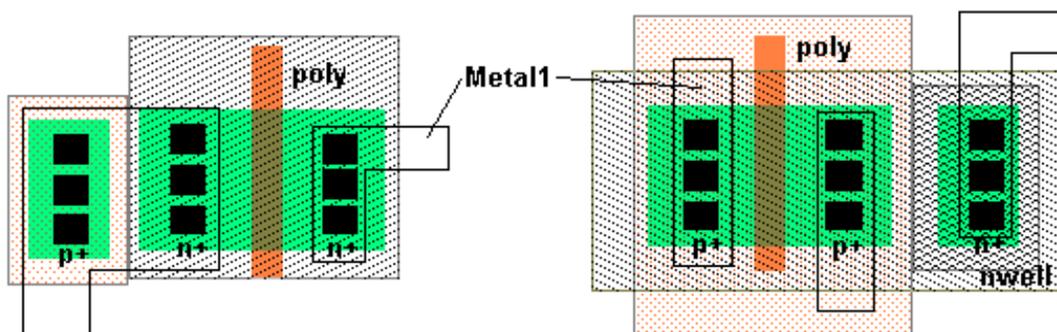
Figura 5.1: Pasos básicos de enmascaramiento usados en definición de FETs.



e) Implantación ionica Nselect



f) Active Contact



g) Patrón de Metal1

Figura 5.2: Pasos básicos de enmascaramiento usados en definición de FETs (continuación).

5.4. Reglas de diseño

Ya se tiene una pequeña noción de la fabricación y del diseño de un CMOS, pero, para que esto se lleve acabo se tienen que seguir ciertas reglas en el diseño de circuitos integrados. Dichas reglas las predispone el fabricante para asegurar que la fabricación del chip no tendrá ningún inconveniente y por tanto ningún defecto. A continuación se enumeran algunas de las reglas básicas que se siguieron en el diseño del convertidor A/D.

5.4.1. Nwell

El ancho del Nwell, como se muestra en la Figura (5.3), debe de ser por lo menos de 10 Lamdas (una λ Lamda es igual a la unidad en el Layout Editor) y, la separación entre diferentes Nwell debe de ser mínimo de 9λ .

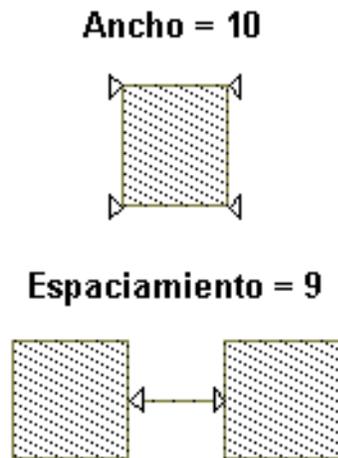


Figura 5.3: Reglas de diseño del Nwell.

5.4.2. Active

El ancho mínimo que debe de tener el Active es de 3λ , el espaciamiento entre diferentes Active debe de ser de por lo menos 3λ , la separación entre la zona activa y Nwell debe de ser mayor a 5λ y el contacto debe de tener un mínimo de 3λ , como se muestra en la Figura (5.4).

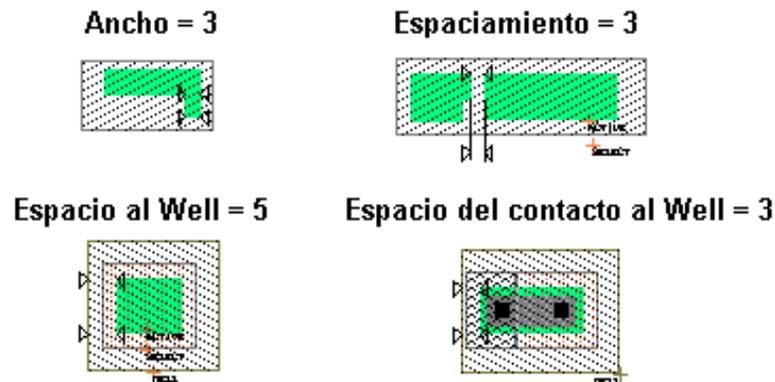


Figura 5.4: Reglas de diseño del Active.

5.4.3. Poly

En la Figura (5.5) se muestran las especificaciones que debe de tener el Poly, estas son: el ancho mínimo es de 2λ , el Drain y Source deben de tener un ancho mínimo de 3λ con respecto al poly, la separación entre poly debe de ser mayor a 2λ , la separación entre en active y el poly tiene que ser de 1λ como mínimo y la Compuerta se debe de extender fuera del active por lo menos 2λ .

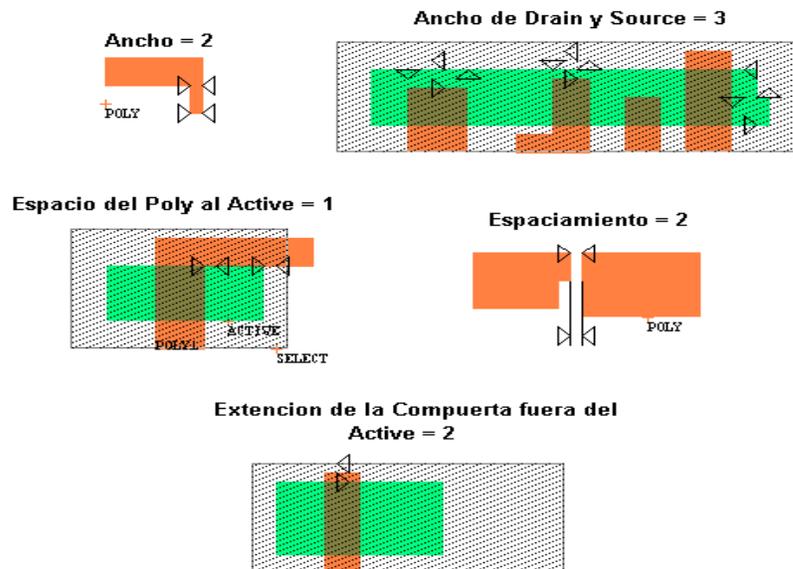


Figura 5.5: Reglas de diseño del Poly.

5.4.4. Poly Contact

El contacto debe ser exactamente de $2 \times 2\lambda$, el Poly Contact debe estar superpuesto como mínimo 1.5λ del Poly y el espacio entre contactos debe de ser de 2λ , Figura (5.6).

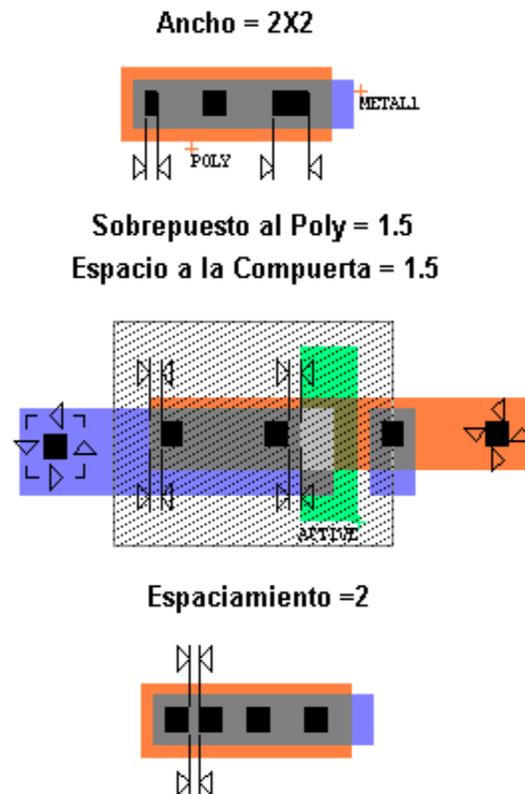


Figura 5.6: Reglas de diseño del Poly Contact.

5.4.5. Pselect y Nselect

La zona que delimita al Drain y Source debe de ser de 3λ , la zona Activa debe de tener una separación de por lo menos 2λ del limite del Pselect (o Nselect), entre el Active Contact debe de haber una separación de por lo menos 1λ , el ancho mínimo tiene que ser mayor a 2λ y la separación entre dos Pselect (o Nselect), como mínimo es de 2λ , como se observa en la Figura (5.7).

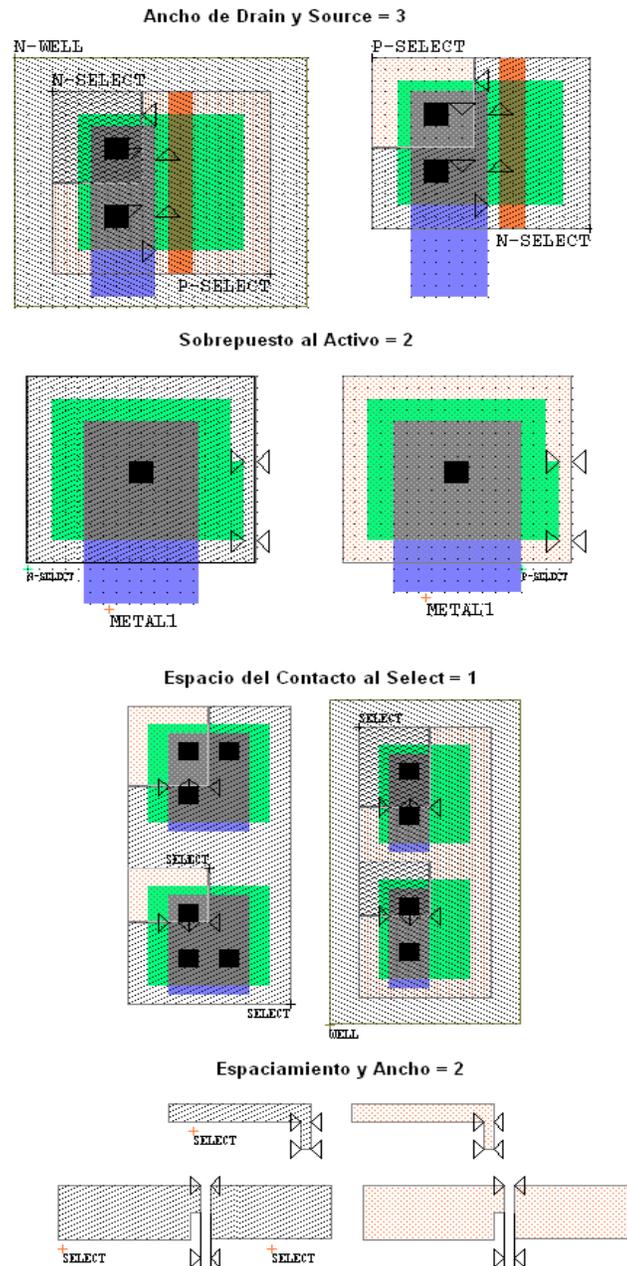


Figura 5.7: Reglas de diseño del Pselect y Nselect.

5.4.6. Active Contact

Debe de ser exactamente de $2 \times 2\lambda$, el Active Contact debe estar sobrepuesto como mínimo 1.5λ de la zona activa, tiene que haber una separación mínima de 2λ y el espacio entre la compuerta como mínimo tiene que ser 2λ .

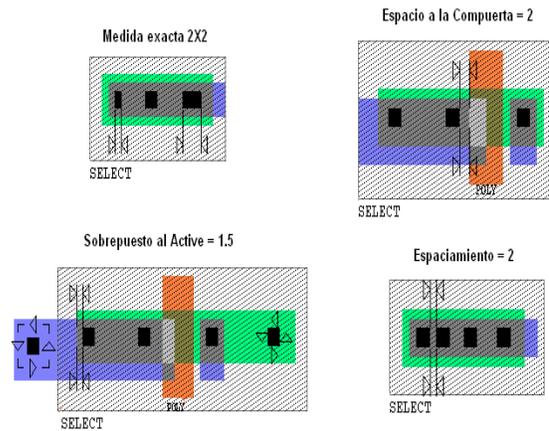


Figura 5.8: Reglas de diseño del Active Contact.

5.4.7. Metal1

En la Figura (5.9), se muestra que el ancho debe de ser mayor a 3λ , tiene que haber un espaciamento de 3λ , debe de estar sobrepuesto 2λ del Poly Contact y estar sobrepuesto 1λ del Active Contact.

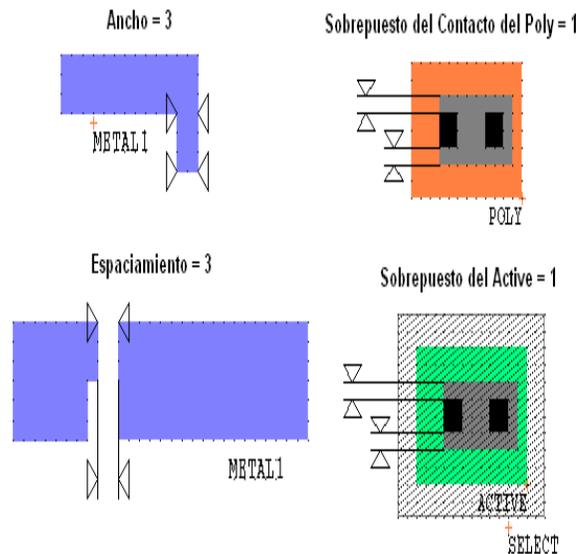
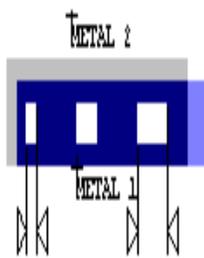


Figura 5.9: Reglas de diseño del Metal1.

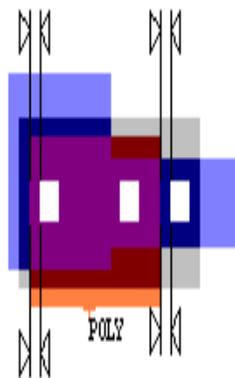
5.4.8. Via

Debe ser exactamente de $2 \times 2\lambda$, el espacio entre Vias tiene que ser mayor a 3λ , la Via debe de estar sobrepuesta 1λ del Metal1, el espacio al poly mas próximo debe de ser de 2λ , tiene que haber un espacio a la zona activa 2λ como mínimo y el espacio entre los diferentes contactos debe de ser de 2λ .

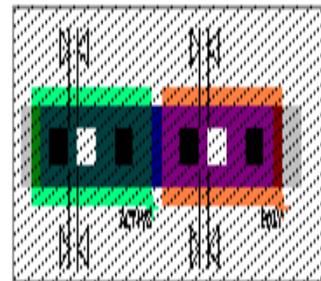
Medida Exacta = 2×2



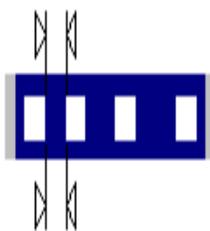
Espacio al Poly = 2



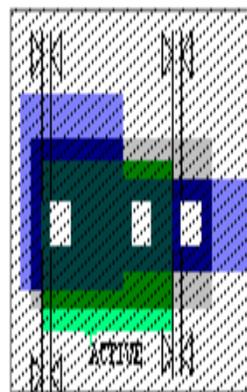
Espacio a los Contactos = 2



Espaciamiento = 3



Espacio al Active = 2



Sobrepuesto al Metal1 = 1

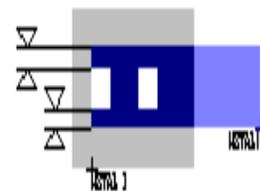


Figura 5.10: Reglas de diseño de la Via.

5.4.9. Metal2

El ancho debe de ser de 3λ , el espacio entre metales debe de ser de 4λ y debe de extenderse fuera de la Via por lo menos 1λ , como se muestra en la Figura (5.11).

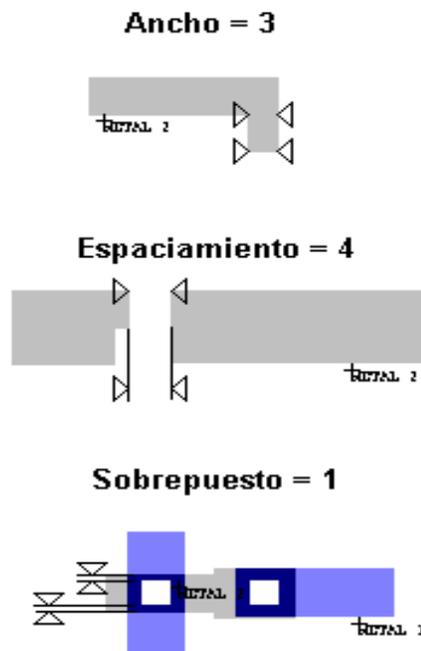


Figura 5.11: Reglas de diseño del Metal2.

5.5. Layout de la parte digital del convertidor A/D

Como se vió en el capítulo 2, los valores del ancho y la longitud del canal son los parámetros primordiales en el diseño de circuitos integrados CMOS. Ahora, teniendo en cuenta que los CMOS utilizados en la parte digital del convertidor A/D, funcionan solo como switches, se propone utilizar valores pequeños de W y L para el diseño de cada uno de estos; que son: para PMOS, $W=5.4\mu\text{m}$ y $L=1.2\mu\text{m}$; y para NMOS $W=1.8\mu\text{m}$ y $L=1.2\mu\text{m}$.

Teniendo los valores de W/L se puede diseñar el layout de los transistores CMOS.

La Figura (5.12) muestra el diseño propuesto del NMOS, con las especificaciones de W/L anteriores, que fue utilizado para las simulaciones del capítulo 4.

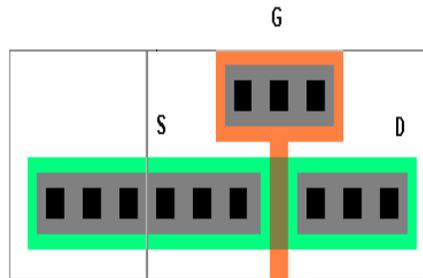


Figura 5.12: Layout NMOS.

Y en la Figura (5.13) se muestra el diseño propuesto del PMOS que, al igual que el NMOS anteriormente mencionado, fue utilizado para las simulaciones del convertidor A/D del capítulo 4.

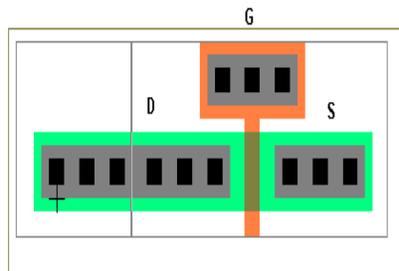


Figura 5.13: Layout PMOS.

Con estas especificaciones se puede implementar la parte digital del convertidor A/D y, posteriormente se diseñara la parte analógica del mismo.

Teniendo como bases las reglas de diseño, el diseño de los CMOS antes mencionados, las simulaciones del capítulo 4 y la infraestructura de cada una de las partes digitales del convertidor A/D, se muestra a continuación el layout de cada una de las partes que conforman al convertidor.

En la Figura (5.14) se muestra el layout de un inversor, el cual se conforma de un NMOS y de un PMOS.

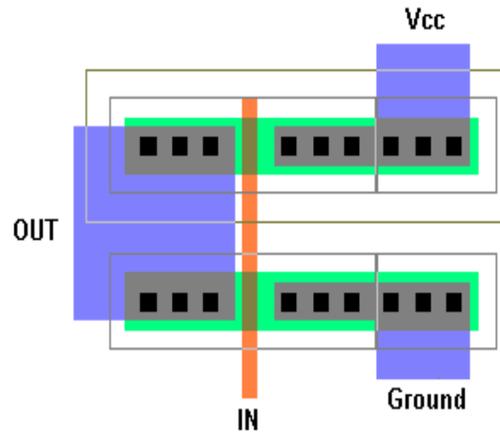


Figura 5.14: Layout de un inversor (NOT).

Utilizando el inversor, se pueden diseñar todas las compuertas digitales necesarias para el funcionamiento del convertidor A/D. A continuación se enlista una serie de layout que muestran cada una de dichas compuertas donde se muestran las entradas, las salidas y las conexiones a Vcc y Tierra de cada una:

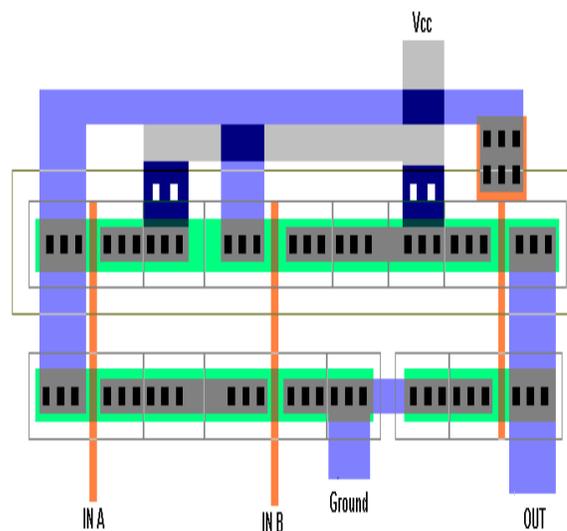


Figura 5.15: Layout AND de 2 entradas.

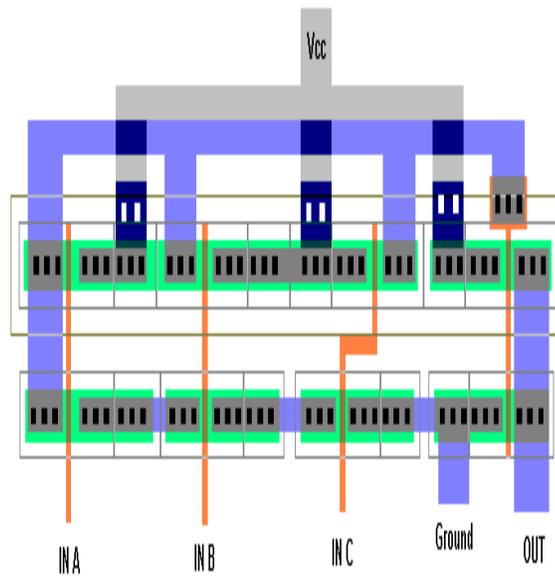


Figura 5.16: Layout AND de 3 entradas.

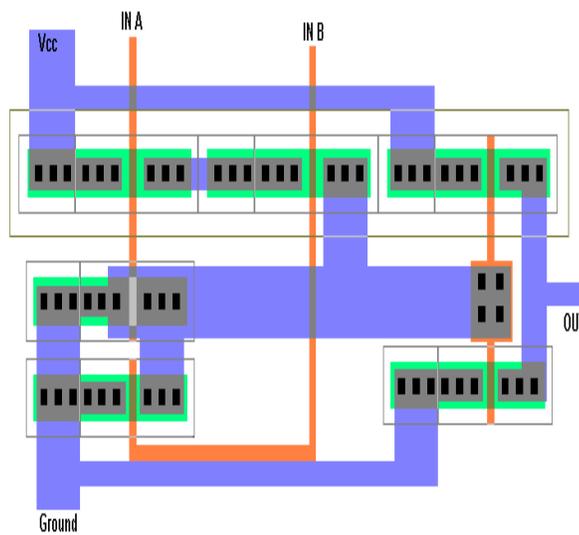


Figura 5.17: Layout OR de 2 entradas.

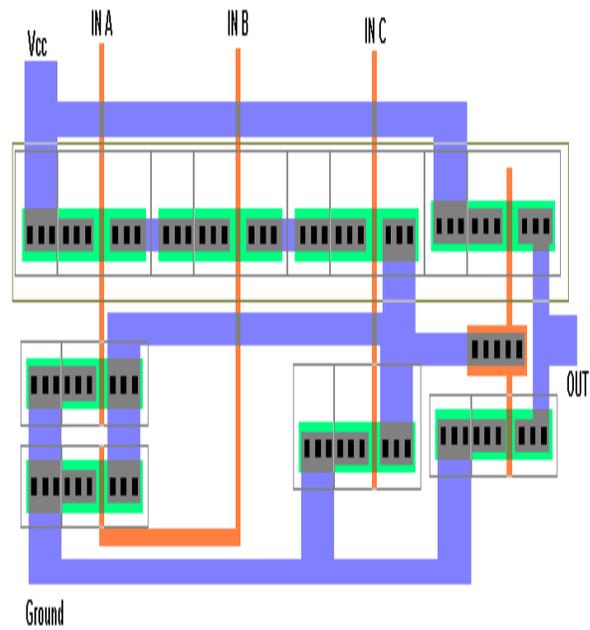


Figura 5.18: Layout OR de 3 entradas.

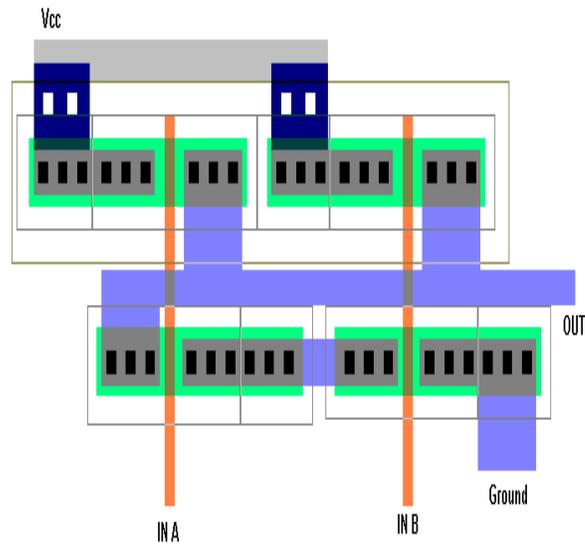


Figura 5.19: Layout NAND de 2 entradas.

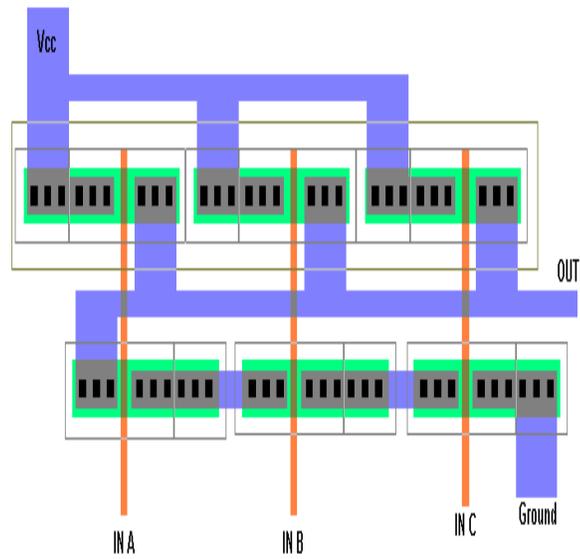


Figura 5.20: Layout NAND de 3 entradas.

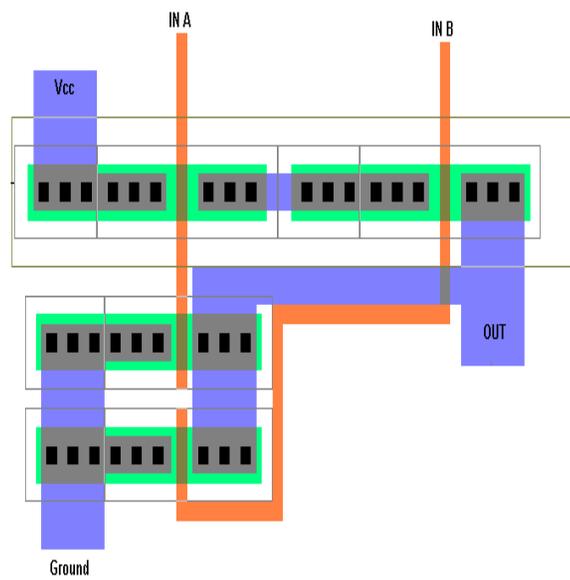


Figura 5.21: Layout NOR de 2 entradas.

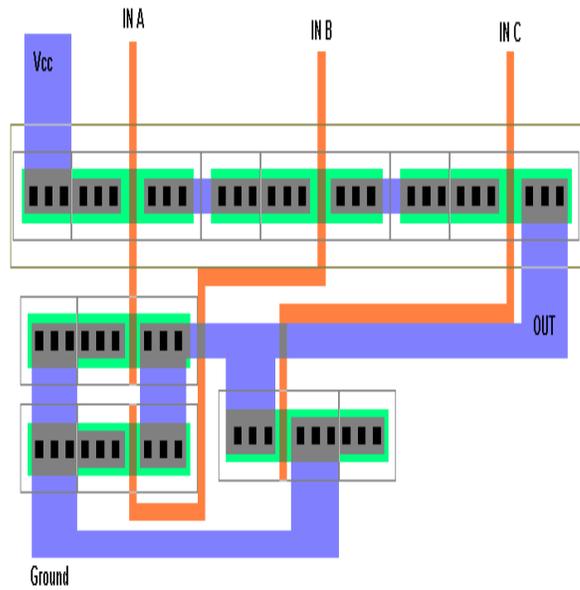


Figura 5.22: Layout NOR de 3 entradas.

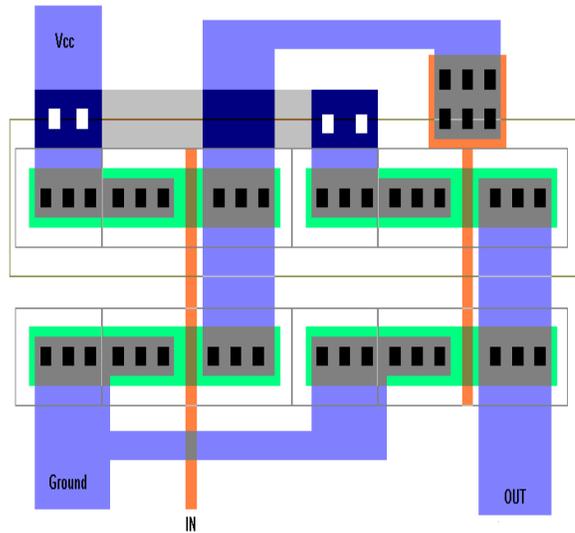


Figura 5.23: Layout BUFFER.

En la Figura (4.13) se muestra el esquema lógico de un biestable D, tomándo dicha figura como base y utilizando el diseño de los layout anteriores, se llega al diseño del layout del flip-flop D mostrado en la Figura (5.24).

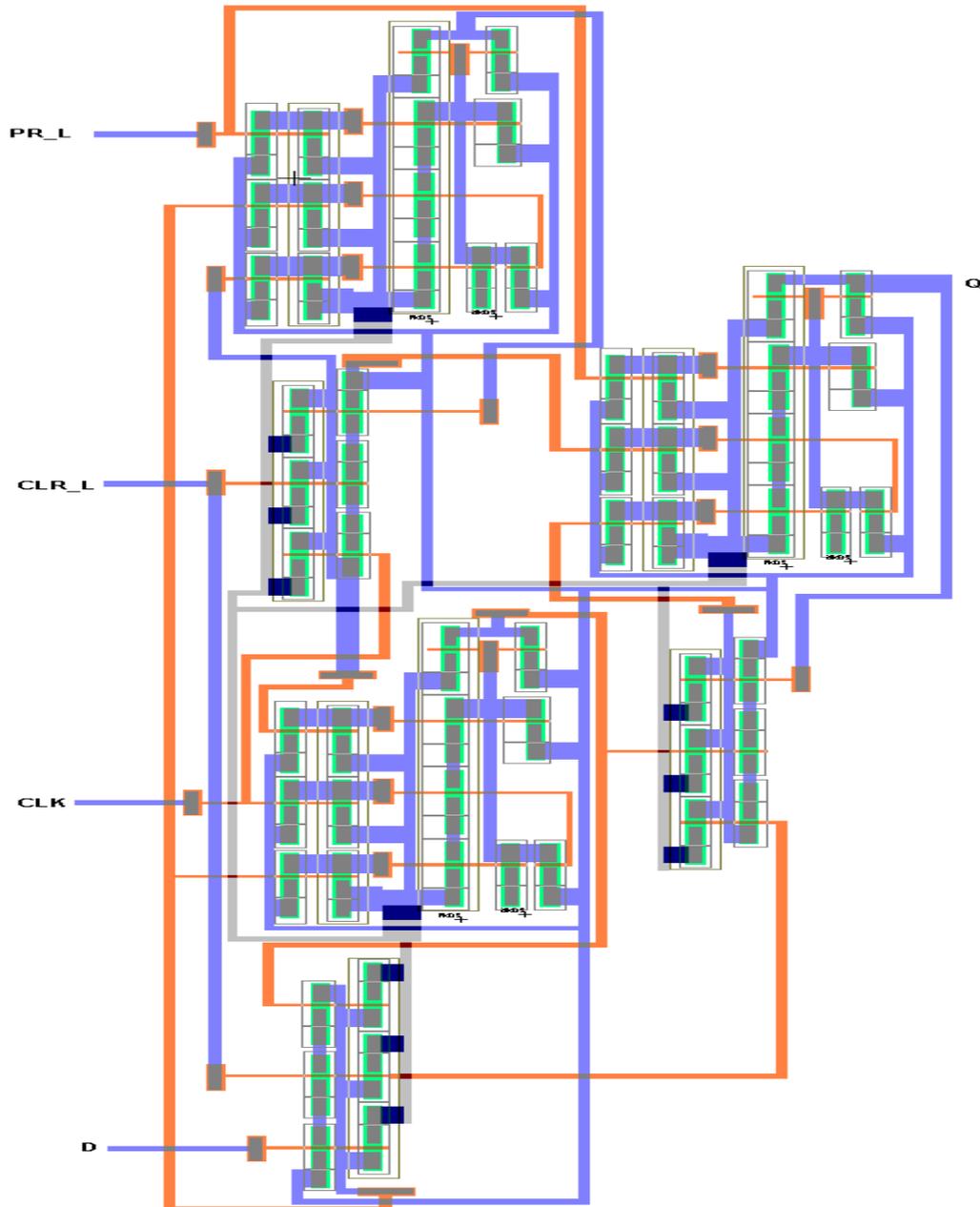


Figura 5.24: Layout FLIP-FLOP D.

En la Figura (5.25) se muestra el layout de un registro de corrimiento (Contador de anillo), basado en la Figura (4.17) y en el layout del flip-flop D mostrado anteriormente.

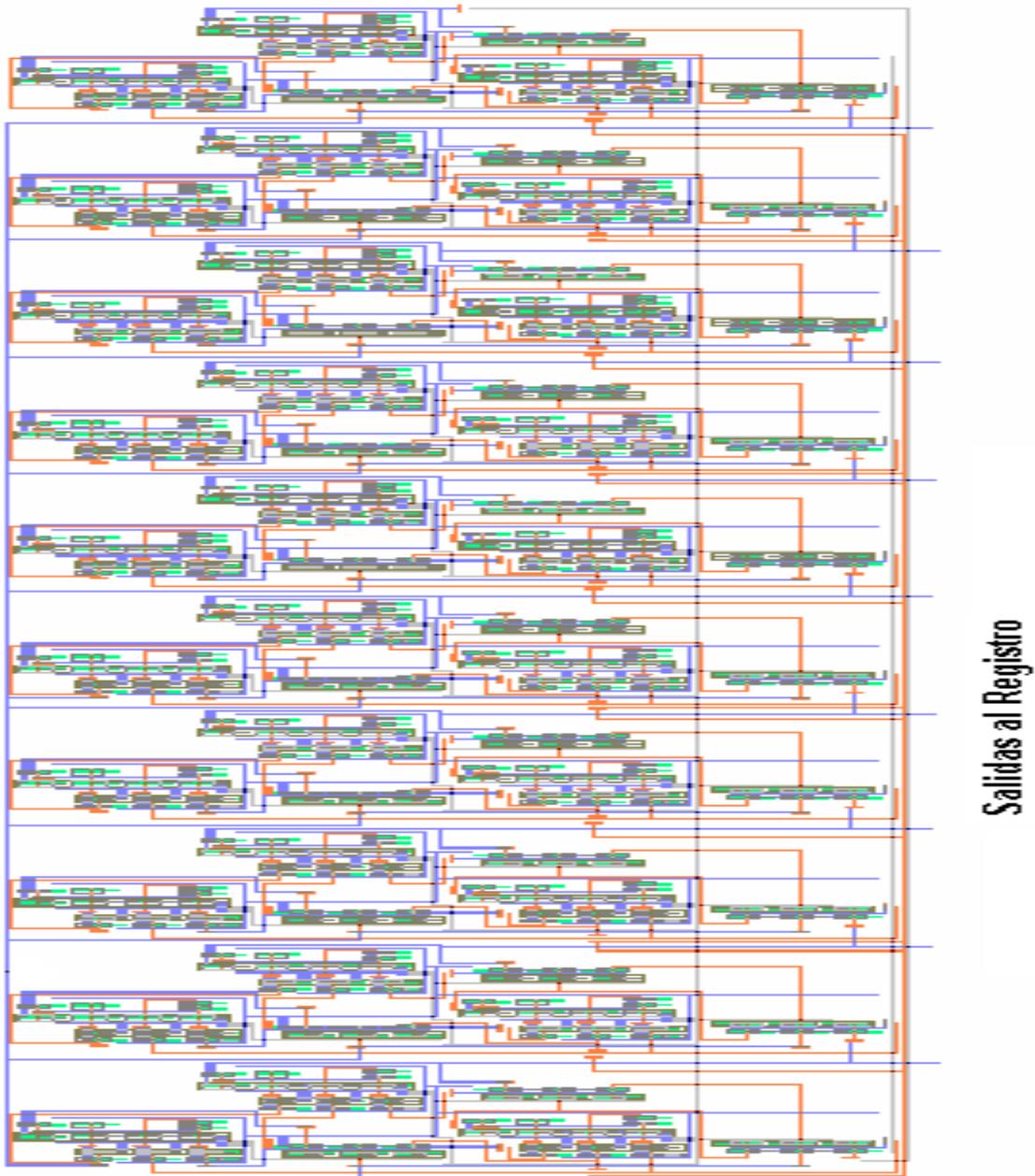


Figura 5.25: Layout Registro de Corrimiento (Contador de Anillo).

La siguiente etapa corresponde al programador, que esta compuesta por un registro y una etapa de control. El registro se compone por 8 flip-flop RS, por lo que a continuación se muestra el layout del RS que fue utilizado para el diseño de esta etapa.

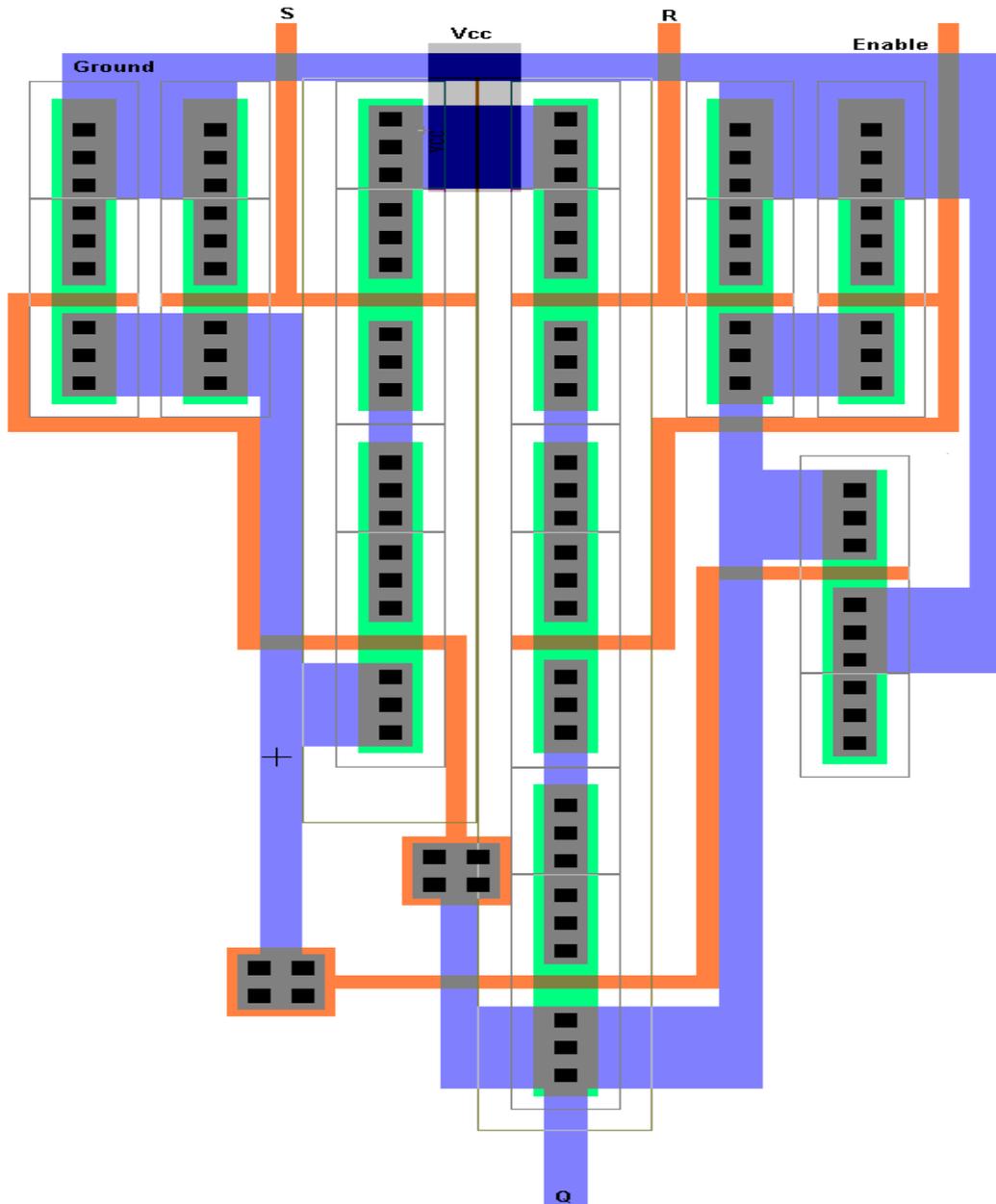


Figura 5.26: Layout FLIP-FLOP RS.

El registro, como anteriormente se menciono, esta compuesto por 8 RS, así, se tiene como resultado el siguiente layout de un registro de 8 bits.

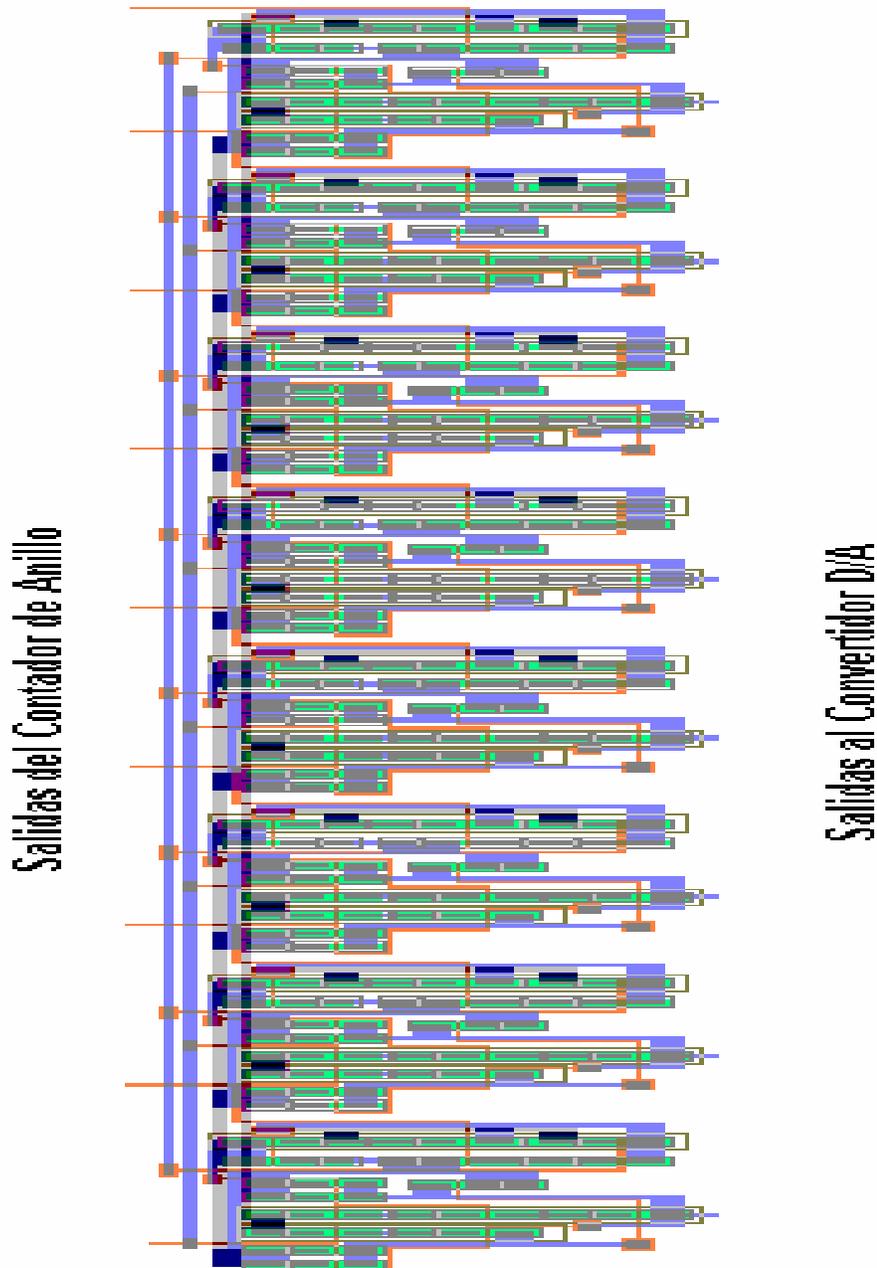


Figura 5.27: Layout del Registro de 8 bits.

La etapa de control esta compuesta por un par de compuertas como se observa en la Figura (4.19), el diseño del layout de esta etapa se muestra en la Figura (5.28).

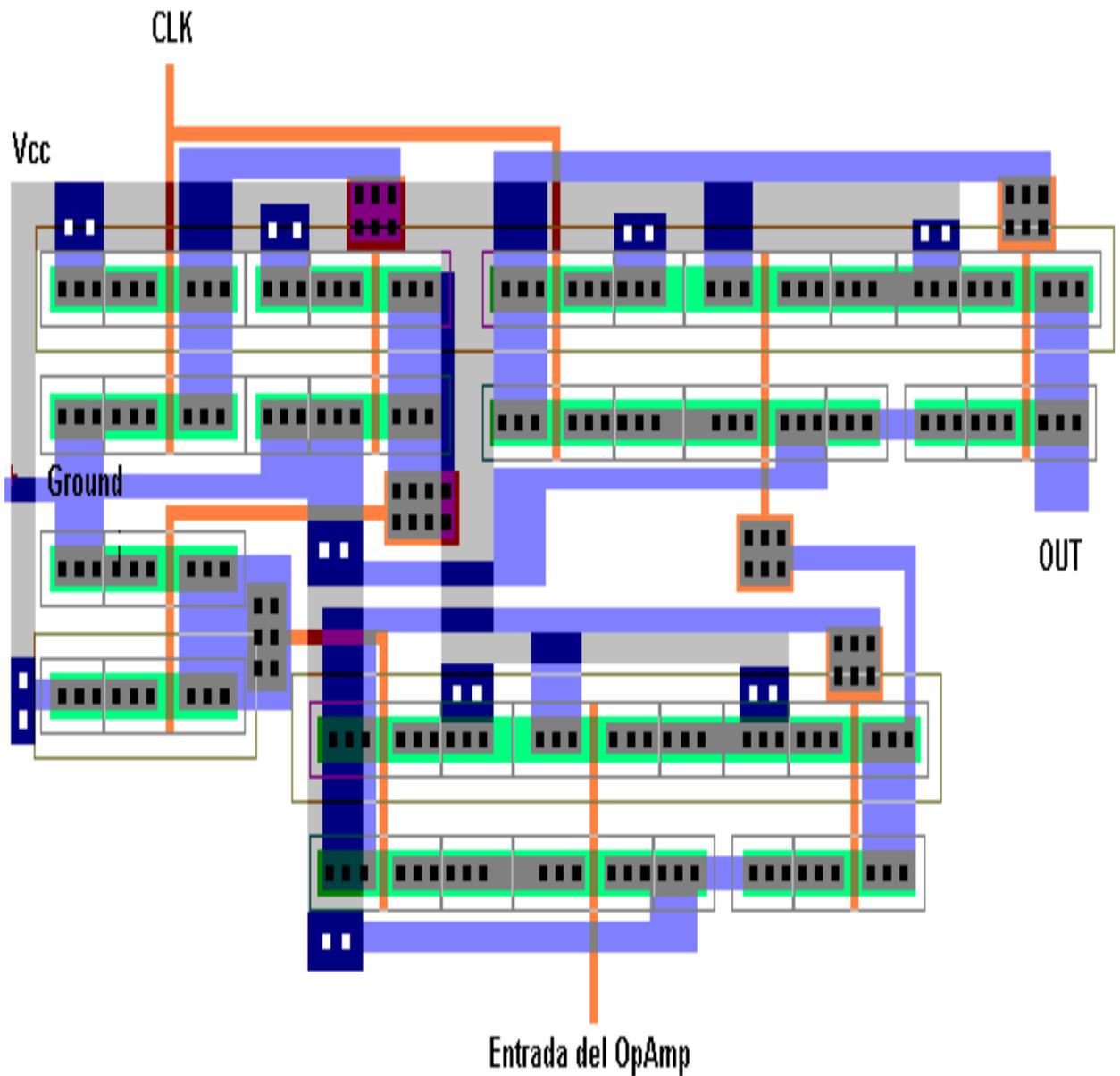


Figura 5.28: Layout de la etapa de control.

Por lo tanto la unión de los layout anteriores (Registro y control), da como resultado la etapa del programador que se muestra en la Figura (5.29).

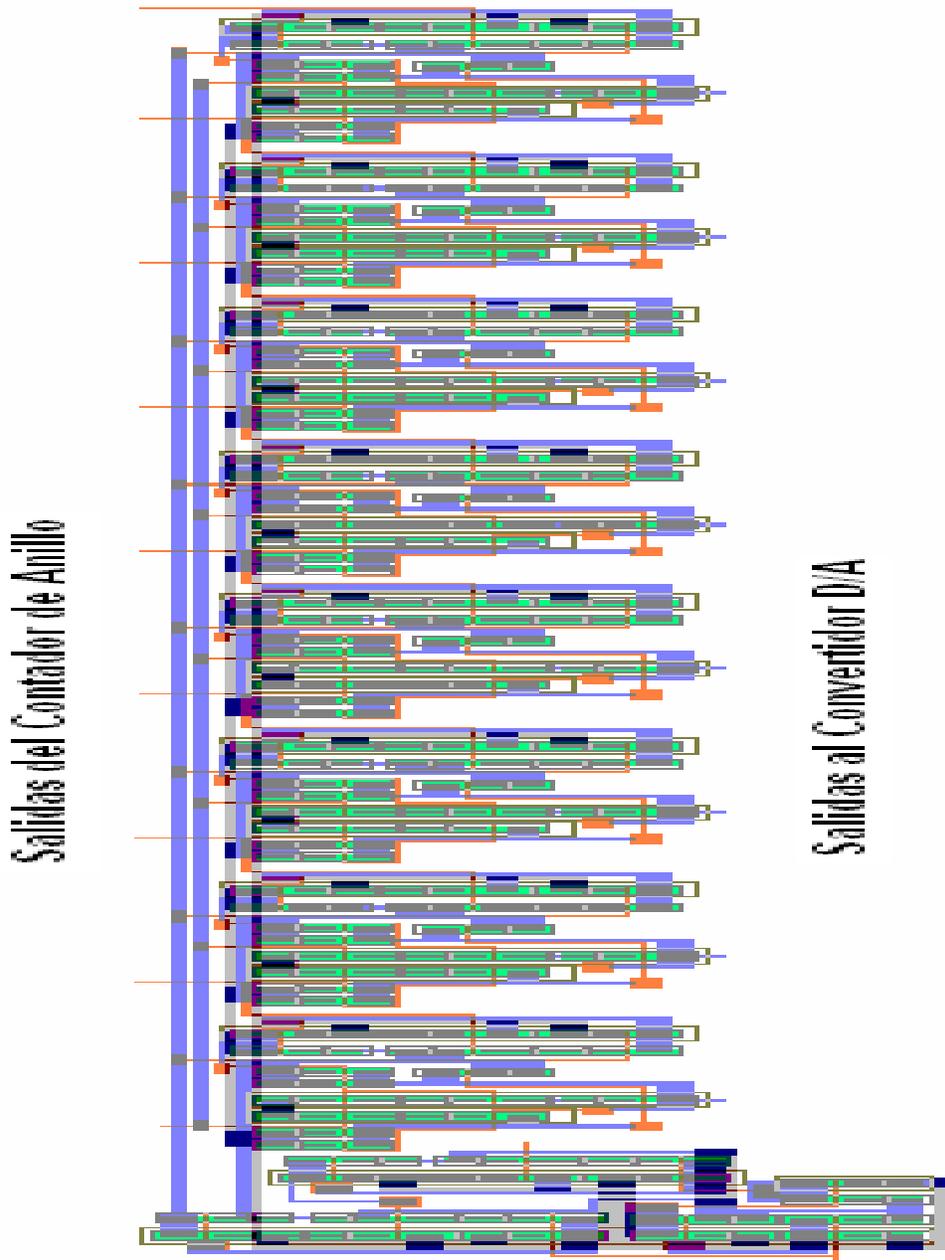


Figura 5.29: Layout del Programador.

La última parte digital del convertidor A/D le corresponde a la salida, la cual esta formada por la unión de 8 buffer de 3 estados. Como se menciona en el capítulo 4, en el contador de anillo, el noveno pulso controla el momento de salida de los bits del convertidor, el cual esta conectado a cada uno de los Buffer en su terminal de control (Enable). La Figura (5.30) muestra el layout de un Buffer de 3 estados y, la Figura (5.31) muestra las salidas de convertidor A/D y su terminal de control que va conectada al pulso 9 del contador de anillo.

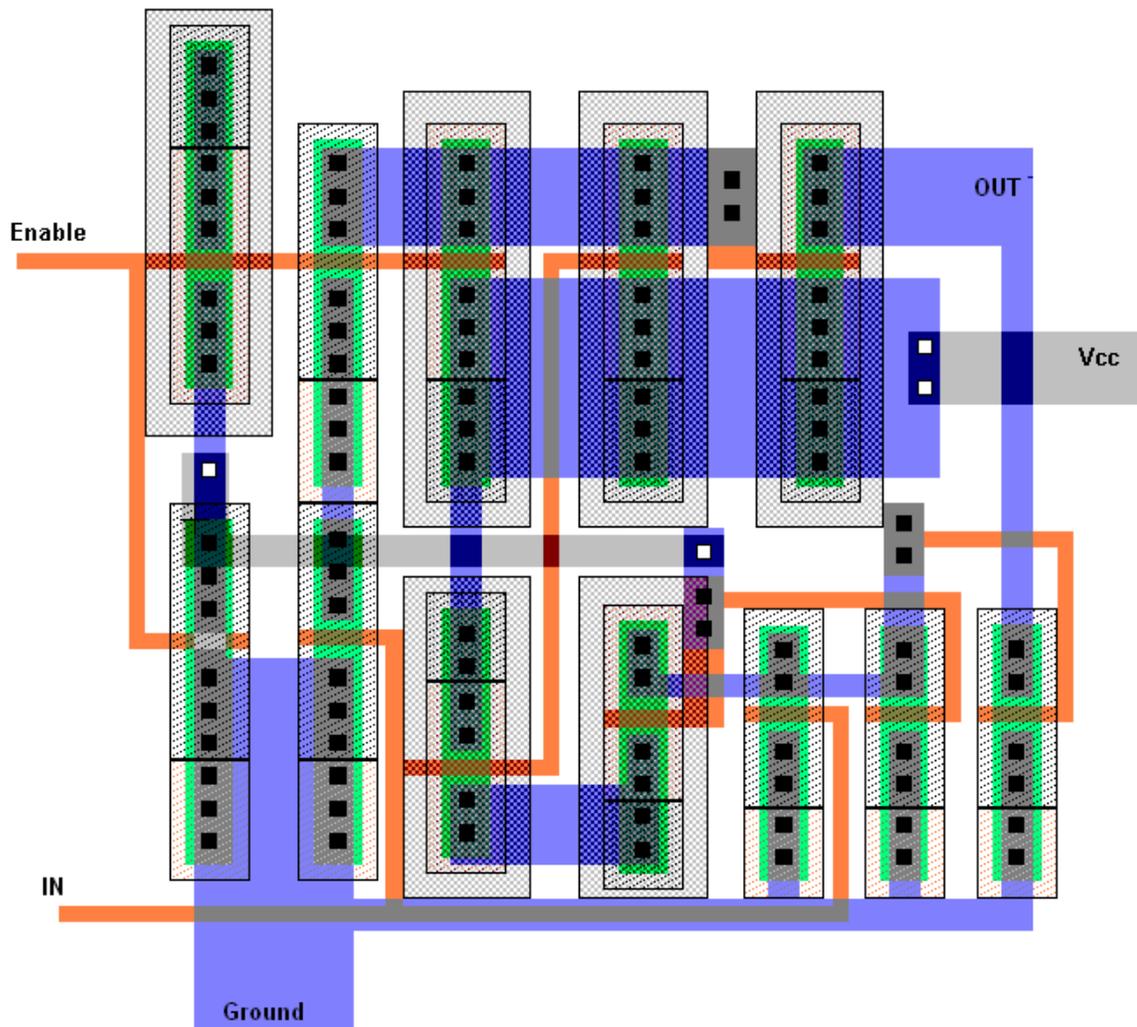


Figura 5.30: Layout Buffer de 3 Estados.

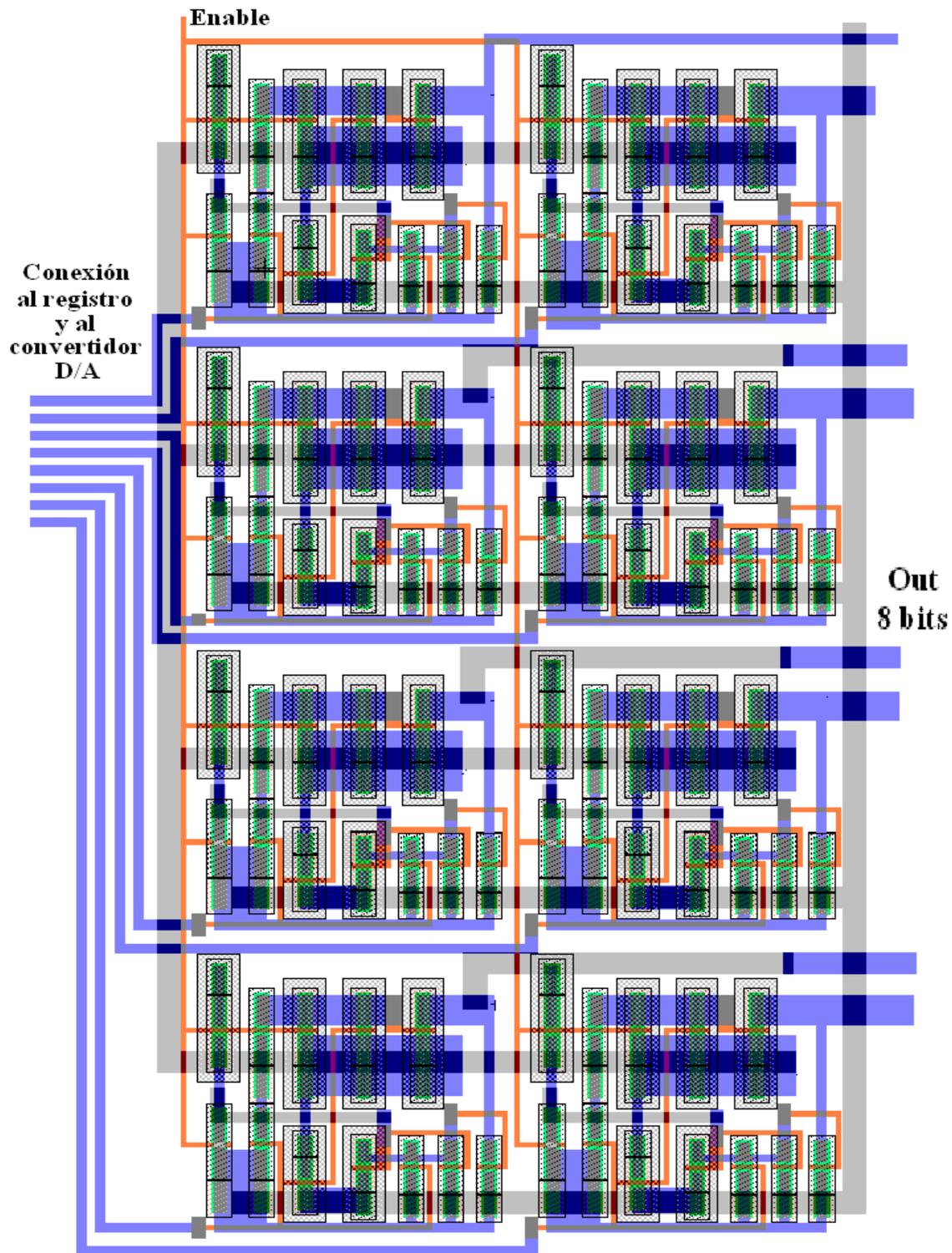


Figura 5.31: Salidas del convertidor A/D.

5.6. Layout de la parte analógica del convertidor A/D

La parte analógica del convertidor es mas complicada de diseñar que la parte digital, ya que la parte analógica contiene dos opamps (un comparador y un convertidor de corriente/voltaje) y resistencias de distintos valores, las cuales se tiene que diseñar con transistores CMOS, ya que una resistencia diseñada con algún tipo de material ocupa demasiado espacio de la oblea.

Iniciando con el diseño de las resistencias del convertidor D/A, las cuales se propusieron de 100 y 200 Ohms, es necesario utilizar la siguiente formula que determina el valor de resistencia que tiene un NMOS en estado ON (con un voltaje aplicado a la compuerta). [16]

$$R_{on} = \frac{L}{WK_n(V_{GS} - V_T)} \quad (5.1)$$

Teniendo en cuenta los mismos parámetros usados en las simulaciones del capítulo 4, se tiene como resultado un NMOS de $L=4\mu\text{m}$ y $W=70\mu\text{m}$ para una resistencia de 400 Ohms. Usando esta resistencia se puede generar una resistencia de 200 Ohms, al ponerla en paralelo con otra del mismo valor. La Figura (5.32) muestra el layout de una resistencia de 200 Ohms. Para generar una resistencia de 100 Ohms se utilizan dos resistencias en paralelo de 200 Ohms, tal resistencia se muestra en la Figura (5.33). El diseño de las resistencias antes mencionadas sin utilizar la de 400 Ohms es muy compleja, ya que los valores necesarios de W/L son demasiado pequeños (menores a la unidad), por lo que se opta por usar arreglos de resistencias.

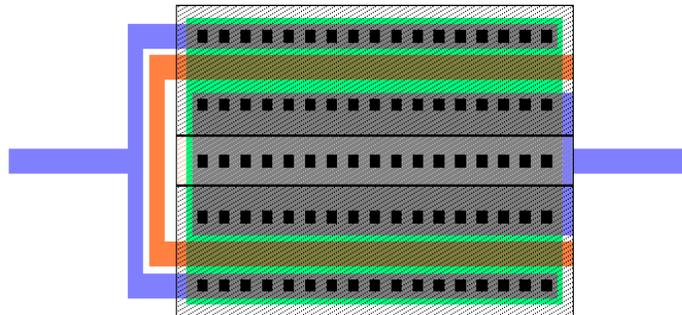


Figura 5.32: Layout Resistencia de 200 Ohms.

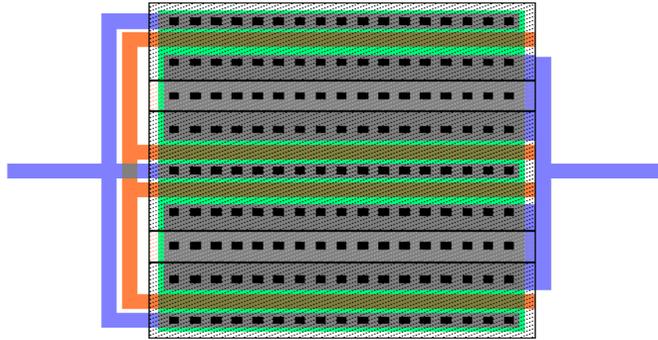


Figura 5.33: Layout Resistencia de 100 Ohms.

La resistencia que se utiliza en el convertidor D/A, para la conversión de corriente a voltaje (por las simulaciones del capítulo 4) debe ser de 6.5 KOhms. Las medidas deben de ser de $L=10\mu\text{m}$ y $W=10\mu\text{m}$ deducidos de la formula (5.1). El layout de dicha resistencia se muestra en la Figura (5.34).

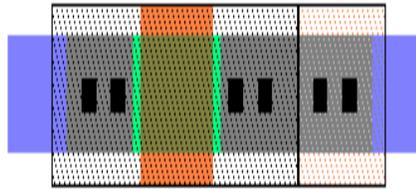


Figura 5.34: Layout Resistencia de 10 KOhms.

El comparador, que es la entrada del convertidor, es un amplificador operacional que debe ser diseñado según las especificaciones requeridas. Tales especificaciones hacen que cada uno de los MOSFETs que componen al comparador, sean diseñados con medidas diferentes entre si. Las simulaciones del capítulo 4, dieron como resultado las siguientes medidas de W/L para cada transistor: L igual a $10\mu\text{m}$ para todos los MOSFETs; W de $10\mu\text{m}$ para el par diferencial, de $30\mu\text{m}$ para la carga activa, de $10\mu\text{m}$ y $60\mu\text{m}$ para la fuente de corriente, de $60\mu\text{m}$ y $20\mu\text{m}$ para los MOSFETs de salida y por último una resistencia para el voltaje de polarización de la fuente de corriente de 25 KOhms que fue diseñada con un arreglo de 5 resistencias en serie de 5 KOhms de $L=8\mu\text{m}$ y $W=10\mu\text{m}$. La Figura (5.35) muestra el layout del comparador con las especificaciones anteriores.

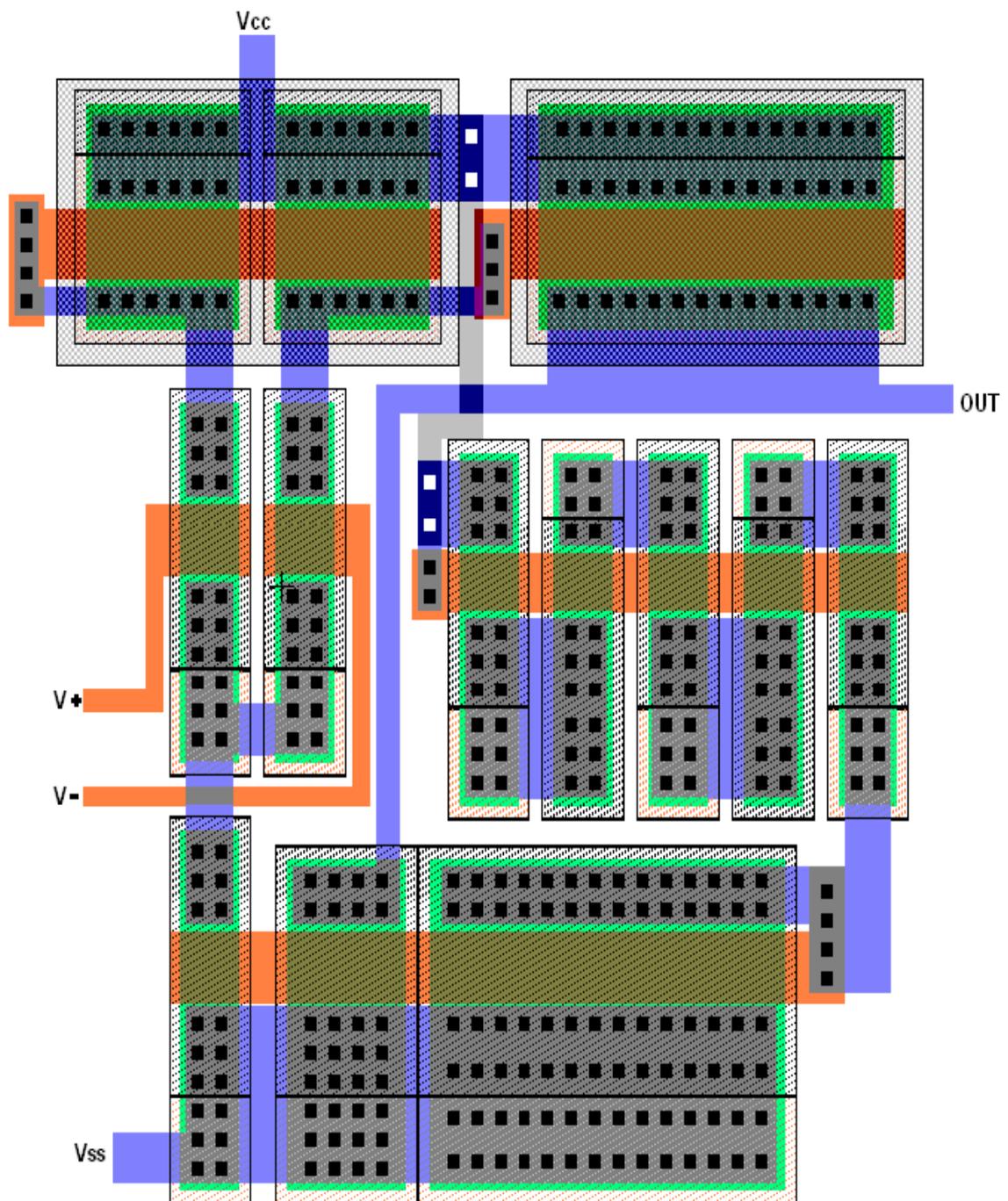


Figura 5.35: Layout del Comparador

La última parte a diseñar del circuito es el convertidor D/A que, como se vió en el capítulo 4 en la Figura (4.8), esta formado por un opamp, una serie de MOSFETs que funcionan como switches y un arreglo de resistencias. Las resistencias se mencionaron anteriormente y se muestran en las Figuras (5.33) y (5.32). Para el diseño de los switches se utilizan MOSFETs con una L de 10um y una W de 80um. Y para el diseño del opamp se sugiere utilizar el comparador de la Figura (5.35), utilizando la configuración de un convertidor de corriente a voltaje, tal configuración necesita una resistencia, que se muestra en la Figura (5.34). Los parámetros mencionados dan como resultado el layout del convertidor D/A que se muestra en la Figura (5.36).

Por último, en la Figura (5.37) se muestra el layout del convertidor A/D, que es el resultado de la unión del diseño de la etapa digital y la etapa analógica, donde se muestran sus conexiones de entrada (CLK, pulso de inicio, Vcc, Vdd, tierra y la entrada de la señal a convertir) como de salida (los 8 bits de salida).

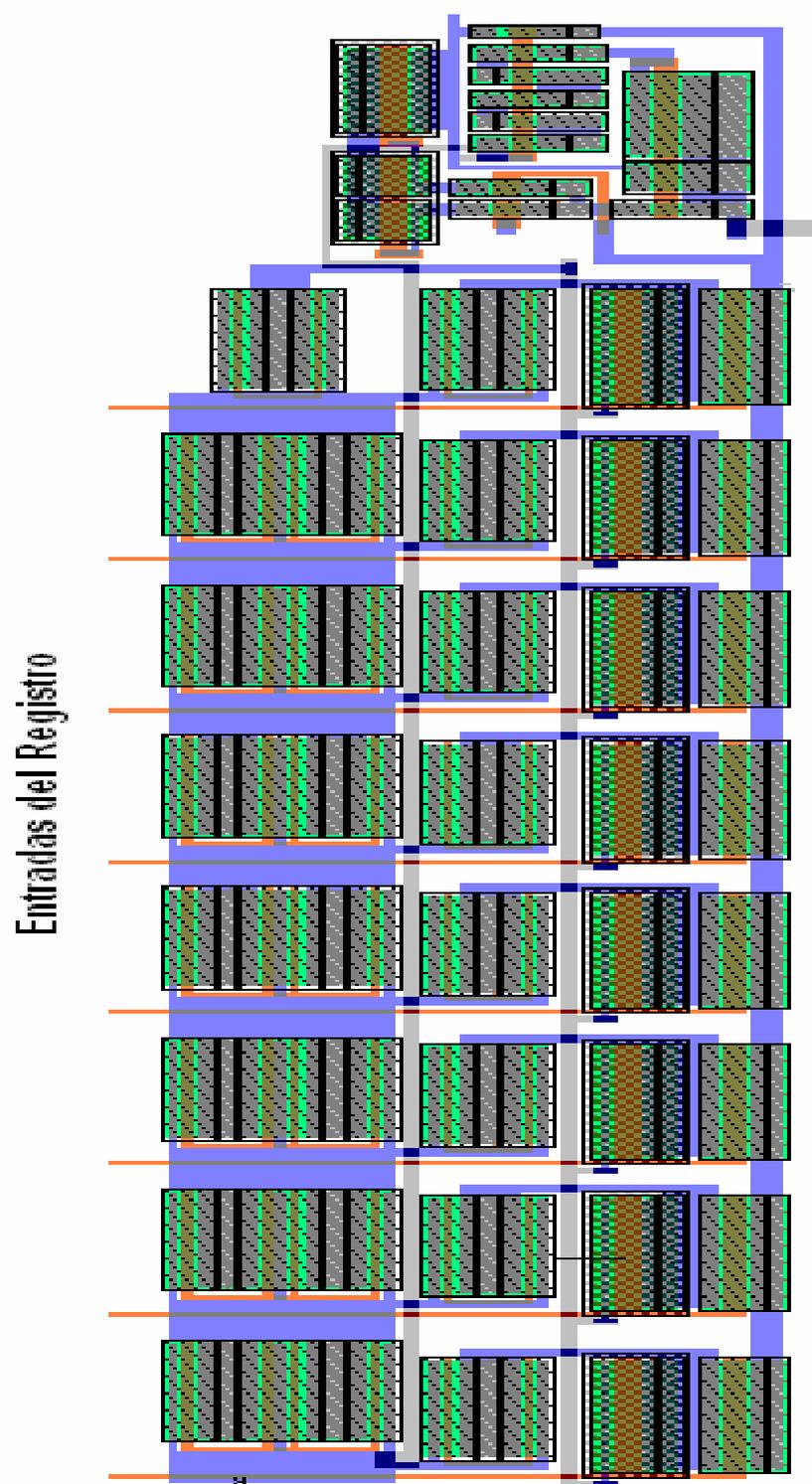


Figura 5.36: Layout del convertidor D/A.

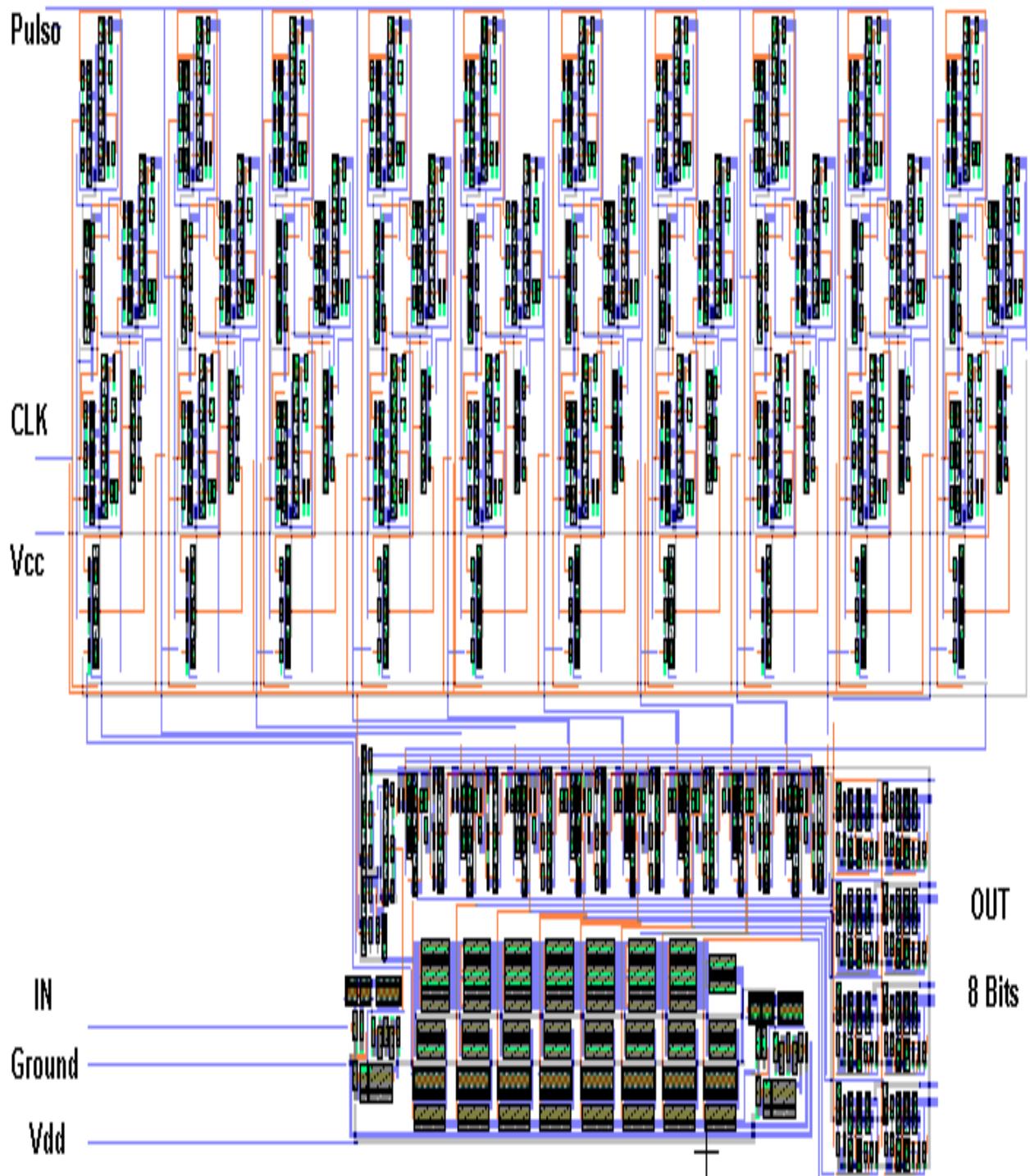


Figura 5.37: Layout del convertidor A/D.

Capítulo 6

Conclusiones

El transistor de efecto de campo metal óxido semiconductor (MOSFET) es un dispositivo de cuatro terminales que se utiliza para diversas aplicaciones. Es un dispositivo unipolar que depende únicamente de la conducción o bien, de electrones (canal-n) o huecos (canal-p). El transistor MOSFET se ha convertido en uno de los dispositivos más importantes en el diseño y construcción de los circuitos analógicos y digitales integrados. Es el elemento más importante de un circuito integrado, su estabilidad térmica, su bajo consumo de potencia y otras características generales lo hacen muy popular en el diseño de circuitos.

Existen dos tipos de MOSFET empobrecimiento y enriquecimiento que definen su modo básico de operación .

Se ocupa el MOSFET de tipo enriquecimiento en el diseño de cada etapa del convertidor A/D de aproximaciones sucesivas debido a sus diminutas dimensiones, alta escala de integración y mayor rapidez.

Habiéndose expuesto anteriormente, en el capítulo 3, los principales convertidores A/D existentes, aquí se concluyen los principales aspectos de los mismos y se sugieren algunos puntos para la selección más adecuada según la aplicación.

El diseño del convertidor A/D se basa en un *convertidor de aproximaciones sucesivas*, debido a las ventajas que tiene sobre los demás convertidores antes mencionados. Dichas ventajas son:

- Alta resolución.
- Tiempo de conversión muy corto.
- Buena linealidad.
- La exactitud no depende de la estabilidad del reloj.
- Además que una de sus principales aplicaciones es el diseño de interfaces entre variables físicas y la computadora.

Otra razón por la cual se eligió el *convertidor A/D de aproximaciones sucesivas*, es por que en los convertidores basados en técnicas de integración, generalmente el tiempo de conversión es largo y normalmente funcionan con una sola polaridad, pero con circuitos más complejos pueden operar en forma bipolar. Por otro lado tienen excelente linealidad, bajo costo y simplicidad, buen rechazo a señales alternas y al ruido en general, pero sus aplicaciones van principalmente dirigidas a multímetros digitales y en general donde no se requiera mucha rapidez de conversión.

El convertidor flash no se eligió dado a la complejidad de los circuitos de conversión de código y al elevado número de comparadores que requiere este tipo de convertidor, comúnmente no se emplean para mas de 6 bits por lo cual puede decirse que son convertidores de baja resolución. Por otra parte no son muy útiles si el rango del voltaje de entrada es del orden de microvolts ya que esto hace muy insegura la operación de los comparadores. Por la constitución de estos convertidores se puede resumir que: la exactitud de la conversión depende de la estabilidad de la fuente de referencia y la estabilidad de los comparadores, todo lo cual presenta generalmente muchos problemas; por lo tanto, estos convertidores son útiles en donde se requiere alta rapidez de conversión, pero con poca exactitud sobre todo a largo plazo que es donde mas se manifiesta la inestabilidad de los componentes. [5]

Respecto a la simulación del capítulo 4, se ocuparon los programas de simulación de circuitos:

- Multisim 7
- Multisim 9
- Tina Pro V6
- WinSpice

En Multisim se obtuvieron las respuestas del amplificador operacional (Figuras 4.4 y 4.6), el registro de corrimiento (Figura 4.16), el convertidor digital a analógico y el convertidor analógico a digital de aproximaciones sucesivas, a nivel esquemático.

En el simulador Tina Pro V6 se obtuvieron las respuestas de cada etapa del convertidor analógico a digital diseñado con compuertas y con tecnología CMOS.

En WinSpice se simularon todos los MOSFETs utilizados en cada una de las etapas del convertidor A/D.

Los resultado de dichas simulaciones fueron satisfactorias por lo que se asegura que la construcción del convertidor es plenamente factible para la aplicación que se le requiere, que es la fabricación de un MEMS que integre un microsensar de gas, una etapa de amplificación y el convertidor analógico a digital.

Para el diseño del layout del CAD de aproximaciones sucesivas, se utilizó el programa L-Edit de TANNER-EDA V8. El layout se realizo con transistores NMOS y PMOS de enriquecimiento.

En la etapa digital del CAD, se diseñaron transistores PMOS de $W = 5.4 \text{ }\mu\text{m}$ y $L = 1.2 \text{ }\mu\text{m}$ y, NMOS de $W = 1.8 \text{ }\mu\text{m}$ y $L = 1.2 \text{ }\mu\text{m}$.

Para poder desarrollar los flip-flops tipo D y RS necesarios, mostrados en las figuras 5.26 y 5.24, hubo la necesidad de diseñar 11 compuertas lógicas (Figuras 5.14-5.23).

Para diseñar el programador del CAD, primero se diseño el registro de corrimiento (Figura 5.25), utilizando 10 flip-flops tipo D, interconectados en serie y, después se le añadió la etapa de control (Figura 5.28); el programador cuenta con 10 salidas, de las cuales 8 están conectadas a 8 entradas del registro (Figura 5.27), la novena salida esta conectada a la entrada enable de la salida en paralelo de los datos del CAD (Figura 5.31) y, la última salida es la señal utilizada para poner a cero todos los flip-flops del registro, para iniciar una nueva conversión

El registro, se diseño utilizando 8 flip-flops tipo RS, donde sus salidas están conectadas tanto, a las salidas en paralelo como, a las entradas del CDA.

Después se diseño el CDA (Figura 5.36), el cual consta de un opamp, dicho opamp contiene transistores con W de 10, 20, 30 y $60\mu\text{m}$, 8 switches y 16 resistencias conformados con transistores MOS.

Por último, se diseño el comparador, éste utiliza un opamp similar al utilizado en el CDA, el cual tiene dos entradas, una recibe la señal proporcionada por el microsensor de gases y la otra esta conectada a la salida del CDA, su salida esta conectada a la entrada del programador.

El diseño completo ocupa un área de $1,480 \times 2,690 \text{ mm}$.

Este diseño, por ser tan extenso, se tuvo que realizar en varias etapas, como se mencionó anteriormente, después se fueron conjuntando, hasta lograr el layout completo.

Bibliografía

- [1] J.R. Cogdell. *Fundamentos de Electrónica*. Prentice Hall, 2000.
- [2] Kenneth C. Smith and Adel S. Sedra. *Microelectronic Circuits*.
- [3] Robert L. Boylestad. *Electrónica: Teoría de Circuitos*. Prentice Hall, 1997.
- [4] Howard M. Berlin and Frank C. Getz, Jr. *Fundamentals of operational amplifiers and Linear integrated*. Merrill Publishing Company, 1990.
- [5] Robert F. Coughlin and Frederick F. Driscoll. *Amplificadores Operacionales y Circuitos Integrados Lineales*. Prentice Hall, 1999.
- [6] Ronald J. Tocci. *Digital Systems, Principles and applications, 5th. edition*. Prentice Hall, 1997.
- [7] Sergi Franco. *Design with Operational Amplifiers and Analog Integrated Circuits*. McGraw-Hill, International editions, 1988.
- [8] David F. Hoeschele Jr. *Analog to Digital/Digital to Analog Conversion Techniques*. J. Wiley, 1983.
- [9] F.C. Fitchen. *Circuitos Integrados y Sistemas*. Reverté, 1975.
- [10] Paul R. Gray and Robert G. Mayer. *Análisis y Diseño de Circuitos Integrados Analógicos*. Prentice Hall, 1995.
- [11] Malmstadt and Enke. *Digital Electronic for Scientists*. Benjamin, 1984.
- [12] M. Morris Mano. *Diseño Digital*. Prentice Hall, 2003.
- [13] Charles L. Phillips and JR H. Troyñangle. *Digital Control System Analysis and Design*. Prentice Hall, 1984.
- [14] Carlos Santana Morales. *Instrumentación Digital*. Limusa, 1989.
- [15] Stephen D. Senturia. *MicroSystem Desing*. Kluwer Academic Publishers, 2000.
- [16] Allen and Holberg. *CMOS Analog Circuit Design*.
- [17] John P. Uyemura. *CMOS Logic Circuit Design*. Kluwer Academia Publishers, 1999.

-
- [18] John F. Wakerly. *Digital Design Principles and Practices*. Prentice Hall, 2000.
- [19] R. Saleh and A. Yang. *Simulation and Modeling*. IEEE Circuits and Devices, 1992.
- [20] José Luis González Vidal. *Aplicación de Estructuras Micro-Electro-Mecánicas (MEM's) con Tecnología CMOS, para Sensores de Parámetros Físicos*. Tesis de doctorado, CINVESTAV-IPN, 2006.
- [21] H. Guckel. *Surface Micromachined Physical Sensors*. Sensors and Materials, 1993.
- [22] H. Guckel. Micromechanisms. *Philosophical Transactions of the Royal Society: Physical Sciences and Engineering*, pages 355–366, 1995.
- [23] Michael Huff. *MEMS Fabrication*. Sensor Review, 2002.
- [24] Sangwoo Lee, Sangjun Park and Dong-il (Dan) Cho. *The Surface/Bulk Micromachining (SBM) Process: A New Method for Fabricating Released MEMS in Single Crystal Silicon*. Journal of Microelectromechanical Systems, 1999.
- [25] Kurt E. Petersen. *Dynamic Micromechanics on Silicon: Techniques and Devices*. IEEE Transactions on Electron Devices, 1978.
- [26] Kurt E. Petersen. *Silicon as a Mechanical Material*. IEEE Transactions on Electron Devices, 1982.
- [27] J. P. Pimbley and M Ghezzi. *Self Aligned Ion Implant Masking for CMOS VLSI Technology*. IEEE Electron Devices Letters, 1982.
- [28] A. Azzam Yasseen, Christian A. Zorman, and Mehran Mehregany. *Surface Micromachining of Polycrystalline SiC Films Using Microfabricated Molds of SiO and Polysilicon*. Journal of Microelectromechanical Systems, 1999.
- [29] Ernest Bassous. *Fabrication of Novel Three dimensional Microstructures by the Anisotropic etching of (100) and (110) Silicon*. IEEE Transactions on Electron Devices, 1978.
- [30] Kenneth E. Bean. *Anisotropic etching of Silicon*. IEEE Transactions on Electron Devices, 1978.
-