



# **UNIVERSIDAD AUTÓNOMA DEL ESTADO DE HIDALGO**

---

**INSTITUTO DE CIENCIAS BÁSICAS E INGENIERÍA**

**ING. EN ELECTRÓNICA Y TELECOMUNICACIONES**

**SISTEMA CALIFICADOR DE EXÁMENES**

**MONOGRAFÍA**

**QUE PARA OBTENER EL TÍTULO DE INGENIERO EN  
ELECTRÓNICA Y TELECOMUNICACIONES**

**PRESENTA:  
RUBÉN ESCORCIA RÍOS**

**ASESOR:  
M. EN C. ELÍAS VARELA PAZ**

**PACHUCA DE SOTO, HGO. DICIEMBRE DE 2008.**

## **Agradecimientos.**

*A mis padres por su apoyo incansable, por el cariño  
y la paciencia que me han impulsado a  
cumplir con una meta más.*

*Al M. en C. Elías Varela Paz por el gran apoyo  
y tiempo dedicado para concluir este trabajo.*

# Sistema calificador de exámenes

---

## Resumen

Este proyecto consiste en el diseño y construcción de un sistema computarizado de calificación de exámenes, elaborados en formatos comunes y corrientes, contestados por los alumnos mediante marcas en recuadros hechas a lápiz.

Con este trabajo se pretende ofrecer un método para aligerar el trabajo que representa la generación, calificación e impresión de exámenes; mediante la automatización computacional. Sus principales características residen en el ámbito económico, independencia tecnológica y simplicidad, esto debido a que está pensado para ser integrado, utilizando en una primera fase elementos puramente electrónicos, en lo que será la etapa de creación de hardware y posteriormente, en una segunda y tercer fase de este trabajo (etapa de software), usando un microcontrolador PIC o cualquier computadora personal, incluso de muy baja capacidad (como las PC Intel 8088), dando de esta forma un carácter de aprovechamiento de equipo en apoyo a las economías tercermundistas como la de nuestro país. Las hojas empleadas para introducir las respuestas se basan en la tecnología de lector óptico (Tipo CENEVAL), pero con la particularidad de que se emplean hojas comunes con un formato de fácil acceso y diseño.

Además, se ha intentado establecer una estructura abierta en el sentido de que el programa tenga posibilidades de evolucionar tanto en sus bancos de datos como en su estructura, para lo cual se entregarían al adquiriente del equipo, no solamente los programas ejecutables y toda la información necesaria para su construcción, sino también el programa fuente.

Este proyecto tiene una alta complejidad y por lo tanto se ha seccionado en tres trabajos de tesis: Uno para resolver la parte electrónica y de ensamblaje mecánico, otra para la parte de interfaz de usuario y finalmente, una para el sistema de solución, registro e información oficial de los resultados de examen para cada alumno.

## Sistema calificador de exámenes

---

En la sección referida de interfaz de usuario, se pretende ofrecer un servicio amigable para que el profesor sea capaz de introducir sus reactivos de examen en forma ágil y cómoda, aun sin tener conocimientos de programación; además, será posible escoger aleatoriamente los reactivos de su banco de reactivos (problemario) para configurar los exámenes personalizados para ser aplicados a su grupo de alumnos. Como se ve, estos y otros detalles de la interfaz parecen sencillos pero resultan sumamente complejos y se requiere de por lo menos otro pasante para ello.

De igual manera podríamos decir de las otras capas del trabajo de programación, que debe participar un buen número de especialidades para dar respuesta a la solución de los diferentes reactivos que contendrán temas de física, matemáticas, electrónica, o cualquier materia que se desee. Pero la parte mas ingeniosa podría ser la capacidad que deberá tener este sistema para permitir al usuario, la incorporación de fórmulas de solución dentro de su acervo matemático para atender a alguna nueva disciplina.

# Sistema calificador de exámenes

---

## ÍNDICE GENERAL

### CAPÍTULO I. INTRODUCCIÓN

1.1 Descripción general.	7
1.2 Objetivos.	9
1.3 Justificación.	9
1.4 Alcance del trabajo.	12
1.5 Hipótesis.	12

### CAPÍTULO II. MARCO TEÓRICO

2.1 El fototransistor.	14
2.1.1 El fototransistor PT331.	15
2.2 El multiplexor.	18
2.2.1 Multiplexor/Demultiplexor con 16 canales análogos HEF4067BP.	19
2.3 Microcontroladores.	22
2.3.1 Microcontrolador PIC 16F877A	24
2.3.1.1 Diagrama a bloques del PIC 16F877A	26
2.3.1.2 Descripción de la CPU.	27
2.3.1.3 Registro de la CPU.	27
2.3.1.4 Organización de la memoria del PIC.	29
2.3.1.5 Memoria de datos.	29
2.3.1.6 Bancos de memoria.	29
2.3.1.7 Archivos de registro.	30
2.4 Arreglo Darlington de transistores.	32
2.4.1 Arreglo Darlington de transistores ULN2803A.	33
2.5 Motores a pasos.	35
2.6 Pantalla LCD.	36
2.6.1 Pantalla LCD LM4433.	37

# Sistema calificador de exámenes

---

CAPÍTULO III PROBLEMÁTICA.	
3.1 Descripción del problema.	38
CAPÍTULO IV ESTADO DEL ARTE.	
4.1 Sistemas de lectura óptica para exámenes en papel impreso.	43
CAPÍTULO V SOLUCIÓN PROPUESTA.	
5.1 Identificación de necesidades y características.	47
5.2 Diseño del sistema óptico.	50
5.3 Movilidad del lector.	52
5.4 Iluminación.	53
5.5 Multiplexión.	53
5.6 Diseño de la hoja de respuestas.	55
5.7 Teclado.	56
5.8 Pantalla LCD.	56
5.9 Diseño de la etapa de control.	59
5.10 Diseño del programa de adquisición.	60
CONCLUSIONES	63
BIBLIOGRAFÍA	64
ANEXOS	65

# Sistema calificador de exámenes

---

## Índice de figuras.

### 2.- Marco teórico.

2.1	Fototransistor.	14
2.2	Características radiantes y eléctricas del fototransistor.	15
2.3	Dimensiones del fototransistor.	16
2.4	Características electro-ópticas.	17
2.5	Curvas electro-ópticas características del fototransistor.	18
2.6	Multiplexor.	19
2.7	Diagrama funcional del HEF4067B.	20
2.8	Diagrama de pines del HEF4067 B.	20
2.9	Diagrama esquemático de cada uno de los switches.	21
2.10	Tabla de verdad del HEF4067B.	21
2.11	Diagrama interno.	22
2.12	Microcontrolador PIC.	23
2.13	Diagrama de pines PIC16F877A.	25
2.14	Diagrama a bloques PIC16F877A.	26
2.15	Registro Status.	27
2.16	Tabla de instrucciones del PIC16F877A.	28
2.17	Bancos de memoria.	30
2.18	Mapa de archivo de registros.	31
2.19	Amplificador Darlington básico.	32
2.20	Diagrama de conexiones Driver ULN2803.	33
2.21	Características del ULN2803.	34
2.22	Diagrama esquemático.	34
2.23	Dimensiones y encapsulado.	35
2.24	Motores a pasos.	36
2.25	Pantalla LCD.	37
2.26	Dimensiones del display.	37
2.27	Esquema de conexiones del display.	38
2.28	Descripción de la interfaz.	38

# Sistema calificador de exámenes

---

3.- Problemática.	
3.1 Diagrama a bloques del sistema.	41
4.- Estado del arte.	
4.1 Ilustración de los formatos de hoja especiales.	43
4.2 Sistemas comerciales	44
4.3 Ilustración.	45
4.4 Otros ejemplos.	45
4.5 Tecnología ICR, OCR Y OMR.	46
5.- Solución propuesta.	
5.1 Funcionamiento del sistema óptico pretendido.	49
5.2 Modelo propuesto.	50
5.3 Sistema óptico.	51
5.4 Posición de los sensores ópticos.	51
5.5 Diagrama esquemático del ULN2803A.	52
5.6 Tabla de verdad del HEF4067BP.	54
5.7 Diagrama funcional.	55
5.8 Teclado.	56
5.9 Pantalla LCD.	57
5.10 Formato de la hoja de respuestas.	58
5.11 PIC16F877A	59
5.12 Diagrama de flujo.	61



# Sistema calificador de exámenes

---

## CAPÍTULO I. INTRODUCCIÓN.

### 1.1 DESCRIPCIÓN GENERAL

La propuesta de este trabajo es un sistema que permite a los docentes aplicar los exámenes mediante una hoja descriptiva de los detalles de las preguntas, ya sean de opción múltiple, problemas o mixto. Pero el alumno responderá en una hoja de respuestas preestablecida, obscureciendo mediante lápiz los espacios que estén de acuerdo a sus respuestas.

Estas hojas de datos o formato de hoja de respuestas serán colocadas en un artefacto lector óptico, en primer lugar la hoja con las respuestas correctas o clave del docente, el sistema leerá estas respuestas que reconocerá como validas y guardara en la memoria del sistema, posterior a esto, se solicitará el ingreso de la hoja de respuestas a evaluar y el sistema óptico leerá los datos obtenidos de igual manera, una vez leídos estos datos serán traducidos a respuestas que, después de ser comparadas con la base de datos correctos del sistema que ingresamos en primer lugar, se calculará la calificación y se le presentará al usuario para mostrarle la puntuación que el alumno merece, resultado que desde ese momento aparecerá en forma inamovible.

El sistema impactará no sólo en la rapidez y eficiencia de la calificación en sí misma, sino en la implantación de una base de datos creciente que apoyará al maestro en su labor docente y académica. Esto es debido a que el sistema contendrá un módulo de algoritmos de cálculo que permitirá actualizar la base de datos. Este diseño pretende ser de tal forma que al catedrático le sea posible, introducir nuevos reactivos, sean de opción múltiple o problemas de cálculo, además de modificar los valores que se dan como datos en los problemas. Además, todos los reactivos estarían disponibles para ulteriores exámenes, de entre los cuales se presentará al maestro una muestra aleatoria para conformar su examen, de tal manera que cada examen resulte diferente pero con el mismo nivel de dificultad. Adicionalmente en hipótesis, este sistema permitiría incorporar

## Sistema calificador de exámenes

---

elementos que le darían aún mayor brillo, como por ejemplo, la facilidad de utilizar los mismos problemas para los alumnos de un mismo grupo pero con la libertad de cambiar los datos que se dan en el enunciado. Todo esto mediante la flexibilidad otorgada al sistema por un bien estructurado y amigable programa de computadora (interfaz hombre-máquina).

Desde luego, el sistema planteado hasta aquí resulta muy complicado para circunscribirlo en un solo trabajo de tesis, así que de acuerdo a lo planteado por el asesor de este trabajo, se ha decidido resolverlo mediante por lo menos dos participaciones: un trabajo de la parte electrónica o de bajo nivel que es la que se esta presentando y otro trabajo del área de sistemas computacionales a nivel de software.

En forma resumida, las prestaciones principales que este sistema ofrecerá al usuario son:

- Diseño de exámenes con alternativas de opción múltiple y planteamiento de problemas. Esto mediante la selección aleatoria de reactivos existentes en una base de datos (problemario)
- Permitirá el crecimiento de la base de datos conforme los maestros vayan introduciendo nuevos reactivos.
- Ofrecerá la libertad de que el maestro escoja solamente resultados terminales y/o resultados parciales equivalente a lo que se conoce en el medio estudiantil como calificar procedimiento.
- Presentación de resultados e historial de calificaciones del periodo hasta el momento.

# Sistema calificador de exámenes

---

## 1.2 OBJETIVOS

Como objetivo general y de mayor importancia del trabajo es el de crear y ofrecer a la comunidad un sistema autónomo que permita el diseño, generación y aplicación de exámenes, basado en recursos muy económicos para que resulte lo más accesible posible, con el afán de disminuir la ardua labor docente que representa el calificar exámenes, todo esto mediante un sistema económico, que apoye a las débiles economías de países como el nuestro.

Otros objetivos serían:

- Brindar al profesor una ayuda eficiente y atractiva para el diseño, generación, aplicación y evaluación de exámenes.
- Reducir tiempos y esfuerzos en la calificación de exámenes, los cuales pueden ser utilizados en la preparación de clases.
- Evitar vicios en la aplicación de exámenes, por parte de los profesores y de los alumnos.
- Lograr uniformidad en los temas estudiados y evaluados en cada materia, apegándose a la programación curricular.
- Permitir exámenes departamentales que coadyuven a la eficiencia y seguimiento de avances programáticos.

## 1.3 JUSTIFICACIÓN

La labor docente representa una constante, rutinaria y paciente actividad sobre los alumnos, de parte de los profesores, empeñada en formar a estos de manera integral y eficiente, cuyo impacto se puede dilucidar mediante las evaluaciones periódicas que el maestro y los reglamentos señalen. Esta parte de la labor del maestro arrojará un diagnóstico tan fiel en la medida que las evaluaciones se

## Sistema calificador de exámenes

---

hagan con mayor frecuencia, de aquí el concepto de “evaluación continua” que algunas corrientes del pensamiento didáctico defienden tanto.

Para todos es conocido que la labor más pesada de los docentes por el momento, es el proceso de calificación de exámenes, especialmente en los países como el nuestro, en el cual no se encuentra automatizado este proceso y debe de llevarse a cabo una exhaustiva revisión de todos y cada uno de los reactivos que conforman el examen, de un total de alumnos que a veces sobrepasa la media centena.

Además, para lograr una evaluación integral, basada en un criterio justo, muchos maestros deben analizar no solamente el resultado arrojado por el procedimiento de cálculo que cada alumno determine y que suele ser diferente, sino también las decisiones que se tomaron durante tal procedimiento y los resultados intermedios que frecuentemente son minúsculos pero provocan, al final, un resultado muy distinto al correcto.

Ante un compromiso entre la necesidad de una evaluación continua, que permita mantener al maestro informado de los avances que el alumnado va logrando y la realidad de respuesta limitada de parte del maestro para esta labor, el sentido común arroja la concluyente opción de asumir un término medio de equilibrio, en que existe una mediana frecuencia de evaluación y una carga de trabajo por parte del maestro que no deja de ser agotadora.

La tarea abrumadora que se presenta al maestro con el proceso de evaluación da como resultado que él opte por dos posiciones:

- a) Respetar las disposiciones establecidas y entregarse a esa agotadora tarea aún a expensas de su tiempo libre y el deterioro de la tranquilidad de su vida tanto social, personal como familiar.
- b) Incumplir las disposiciones reglamentarias llevando a cabo una actividad de evaluación incompleta centrada en la apariencia por entrega de resultados en tiempo y forma, aunque seguramente injusta.

## Sistema calificador de exámenes

---

Estos argumentos orillan a desear un método que permita al maestro generar, calificar e imprimir sus exámenes de manera ágil y eficiente para dedicar su tiempo a las labores que le reclaman con mayor importancia: preparar e impartir sus clases.

En este trabajo se presenta una solución económica, sencilla, pero eficaz que responde a la mayoría de los casos de examen existentes en cualquier nivel de estudios: La automatización del proceso de calificación de exámenes mediante lectores ópticos.

Por otro lado, la exigencia de construir un sistema económico, que puedan utilizar las comunidades más marginadas de nuestro territorio nacional, nos obliga a excluir herramientas tan modernas como Internet. Esto porque, si bien es cierto que esta red ofrece una multitud de posibilidades y llega a una enorme cantidad de individuos en el mundo, también es cierto que el acceso a ella por todas las escuelas públicas es, hoy por hoy, un sueño; especialmente en las regiones rurales y semi-urbanas del tercer mundo. Aunado a esto, podemos extender la aplicación de este argumento hacia las escuelas particulares que juegan un papel importante en la solución de la educación en México.

Así que, parece ser una opción más realista el basarse en equipos de fácil consecución como equipos de escaneo anticuadas que se encuentran arrumbadas en calidad de desecho. Con esto también estaríamos siendo congruentes con la realidad económica que también presenta nuestro país.

El alumno realizará sus cálculos en hojas aparte, de la manera tradicional, y cuando obtenga el resultado lo plasmará en la hoja de respuestas. Las hojas de respuesta serán de un formato sencillo y pueden ser de papel común, estos formatos se podrán obtener a través de un modelo establecido y se podrán reproducir libremente de acuerdo a las necesidades de la institución educativa que utilice es sistema o del mismo docente, este formato deberá ser llenado a lápiz por el alumno, en los espacios dispuestos para ello.

# Sistema calificador de exámenes

---

## 1.4 ALCANCE DEL TRABAJO

Aunque las características de este proyecto tienen limitaciones de tipo económico, sus alcances son suficientemente amplios como para competir funcionalmente con otros de su tipo, es decir, será capaz de calificar exámenes con opciones a escoger por el maestro, esto lo realizará de forma rápida y el maestro obtendrá instantáneamente la calificación de cada examen en una pantalla del tipo LCD y así acelerará el proceso de evaluación del alumno.

Como los demás proyectos de su tipo (a saber), el proyecto adolece de ciertas limitaciones propias de un sistema con escasa inteligencia para poder responder a funciones complejas, como la calificación de exámenes en donde predominan funciones de reconocimiento de imágenes o formas, como es el caso de identificación de fórmulas aritméticas.

Por otro lado, a diferencia de los demás, la estructura que se le pretende dar, permitirá abordar la evaluación del procedimiento dentro de la solución de problemas típicos de materias como Física, Matemáticas o Ingeniería. En otras palabras, el docente determinará si calificará procedimiento o solo tomará en cuenta el resultado final de cada problema y esto lo establecerá entre las opciones del examen diseñado.

## 1.5 HIPÓTESIS

El acceso de los maestros a este sistema, permitirá una evaluación continua de los alumnos, esto quiere decir que en la dinámica del curso se implementará n exámenes semanales o con la frecuencia que el docente lo requiera y así lograr una evaluación más eficaz.

Tomando en cuenta la flexibilidad y economía del sistema, será posible que cada plantel educativo cuente con los sistemas necesarios de acuerdo a su plantilla académica y población estudiantil para facilitar y acelerar la evaluación continua ya mencionada.

## Sistema calificador de exámenes

---

En hipótesis, también está la posibilidad de que en una segunda parte de esta tesis, sea posible la conectividad con la PC y de esta forma sea posible la creación de bases de datos que permitan al catedrático introducir nuevos reactivos, sean de opción múltiple o problemas de cálculo, además de modificar los valores que se dan como datos en los problemas, todos estos reactivos estarían disponibles para ulteriores exámenes, de entre los cuales se presentará al maestro una muestra aleatoria para conformar su examen, de tal manera que cada examen resulte diferente pero con el mismo nivel de dificultad.

En este sentido, hay que aclarar que la elaboración de todas las funciones antes mencionadas reclama un trabajo de programación de buen nivel y se espera contar en un futuro inmediato con la colaboración de un tesista dedicado a esta tarea.

## CAPÍTULO II. MARCO TEÓRICO.

### 2.1 EL FOTOTRANSISTOR

Se llama fototransistor a un transistor sensible a la luz, normalmente a los infrarrojos. La luz incide sobre la región de base, generando portadores en ella. Esta carga de base lleva el transistor al estado de conducción. El fototransistor es más sensible que el fotodiodo por el efecto de ganancia propio del transistor.

En el mercado se encuentran fototransistores tanto con conexión de base como sin ella y tanto en cápsulas plásticas como metálicas provistas de una lente (Fig. 2.1).

Se han utilizado en lectores de cinta y tarjetas perforadas, lápices ópticos, etc. Para comunicaciones con fibra óptica se prefiere usar detectores con fotodiodos p-i-n. También se pueden utilizar en la detección de objetos cercanos cuando forman parte de un sensor de proximidad.

Se utilizan ampliamente encapsulados conjuntamente con un LED, formando interruptores ópticos (*opto-switch*), que detectan la interrupción del haz de luz por un objeto. Existen en dos versiones: de transmisión y de reflexión.



**Figura 2.1 Fototransistor.**



## Sistema calificador de exámenes

### 2.1.1 Fototransistor PT331

Con características estables. Su encapsulado es de plástico. Se aplica principalmente en: sistemas de control automático, control remoto, alarmas, fotodetectores, detectores de humo, usos industriales, entre otros.

Las características principales de este dispositivo se muestran en las siguientes tablas y figuras.

Máximos rangos absolutos:

Voltaje de sostenimiento de colector a emisor 30 V

Voltaje de ruptura colector emisor 5 V

Corriente de colector 25 mA

Rango de temperatura de operación -40°C~85°C

Rango de temperatura de almacenamiento -40°C~85°C

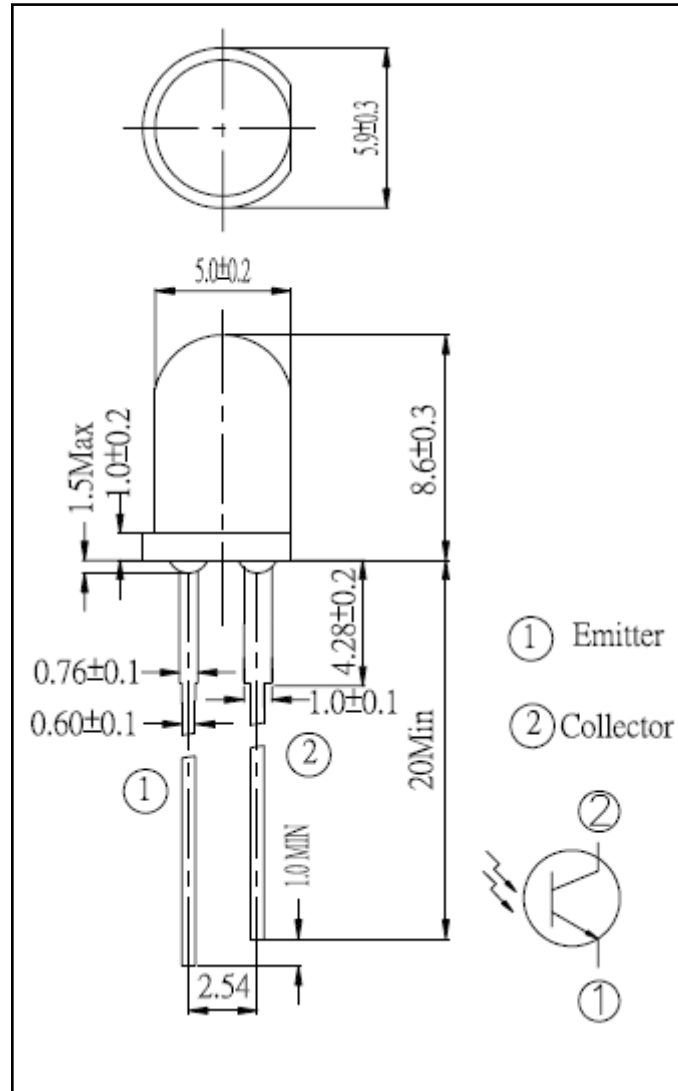
Temperatura de soldeo 260°C

Humedad relativa a 85°C 85%

Potencia de disipación a (o abajo) de 25°C 100mW

Características radiantes y eléctricas						
Parámetro	Símbolo	Mín.	Tip	Máx	Unidad	Condiciones
Voltaje de sostenimiento de colector a emisor	VCE (SUS)		1.3	1.7	V	IC = 100 $\mu$ A H = 0
Voltaje de ruptura de emisor a colector	BVECO			10	$\mu$ A	IC = 100 $\mu$ A H = 0
Voltaje de saturación de colector a emisor	VCE (SAT)	6	10		mW	IC = 0.5 mA H = 20 mW/cm
Corriente en la oscuridad	ID		940		nm	VCE= 15 V H = 0
Corriente del foto, fuente de tungsteno	IL	1.0	20		mA	VCE= 5 V H = 20 mW/cm
Tiempo de elevación	TR		5		$\mu$ S	VCC = 30 V IL = 800 $\mu$ A
Tiempo de caída	TF		5		$\mu$ S	RL = 1 KOHM

Figura 2.2 Características radiantes y eléctricas del fototransistor.



1. Todas las dimensiones son en milímetros
2. El rango de tolerancia en las dimensiones es de  $\pm 0.25$ mm

**Figura 2.3 Dimensiones del fototransistor.**

**Absolute Maximum Ratings (Ta=25°C)**

Parameter	Symbol	Rating	Units
Collector-Emitter Voltage	V <sub>CEO</sub>	30	V
Emitter-Collector-Voltage	V <sub>ECO</sub>	5	V
Collector Current	I <sub>C</sub>	20	mA
Operating Temperature	T <sub>opr</sub>	-25 ~ +85°C	°C
Storage Temperature	T <sub>stg</sub>	-40 ~ +85°C	°C
Lead Soldering Temperature	T <sub>sol</sub>	260	°C
Power Dissipation at (or below) 25°C Free Air Temperature	P <sub>c</sub>	75	mW

**Notes:** \*1:Soldering time ≤ 5 seconds.

**Electro-Optical Characteristics (Ta=25°C)**

Parameter	Symbol	Condition	Min.	Typ.	Max.	Units
Collector – Emitter Breakdown Voltage	BV <sub>CEO</sub>	I <sub>C</sub> =100 μA Ee=0mW/cm <sup>2</sup>	30	---	---	V
Emitter-Collector Breakdown Voltage	BV <sub>ECO</sub>	I <sub>E</sub> =100 μA Ee=0mW/cm <sup>2</sup>	5	---	---	V
Collector-Emitter Saturation Voltage	V <sub>CE(sat)</sub>	I <sub>C</sub> =2mA Ee=1mW/cm <sup>2</sup>	---	---	0.4	V
Rise Time	t <sub>r</sub>	V <sub>CE</sub> =5V I <sub>C</sub> =mA	---	15	---	μ S
Fall Time	t <sub>f</sub>	RL=1000Ω	---	15	---	
Collector Dark Current	I <sub>CEO</sub>	Ee=0mW/cm <sup>2</sup> V <sub>CE</sub> =20V	---	---	100	nA
On State Collector Current	I <sub>C(on)</sub>	Ee=1mW/cm <sup>2</sup> V <sub>CE</sub> =5V	0.7	2.5	---	mA
Wavelength of Peak Sensitivity	λ <sub>p</sub>	---	---	940	---	nm
Rang of Spectral Bandwidth	λ <sub>0.5</sub>	---	---	400-1100	---	nm

**Figura 2.4 Características electro-ópticas.**

# Sistema calificador de exámenes

Fig.1 Collector Power Dissipation vs. Ambient Temperature

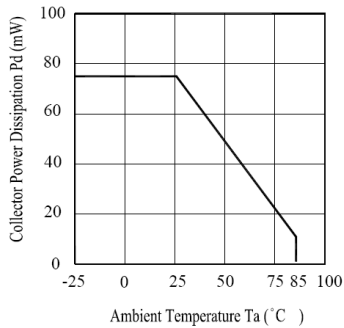


Fig.2 Spectral Sensitivity

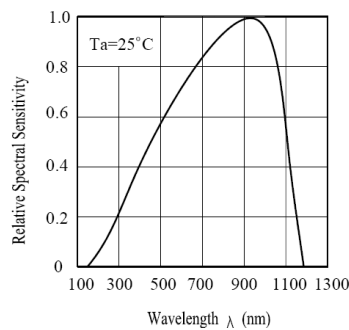


Fig.3 Relative Collector Current vs. Ambient Temperature

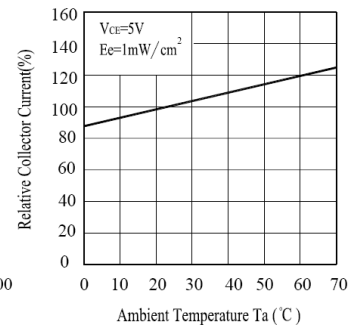
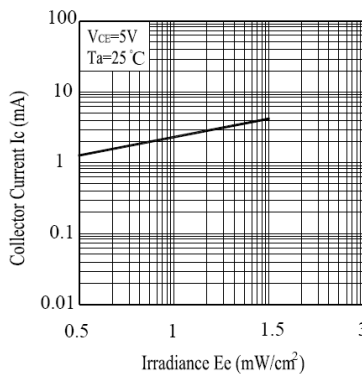


Fig.4 Collector Current vs. Irradiance



## Typical Electro-Optical Characteristics Curves

Fig.5 Collector Dark Current vs. Ambient Temperature

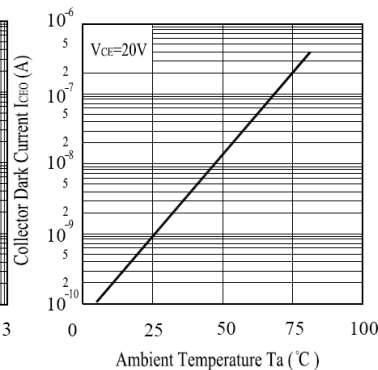


Fig.6 Collector Current vs. Collector-Emitter Voltage

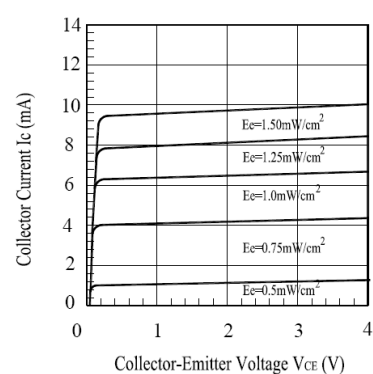


Figura 2.5 Curvas electro-ópticas características del fototransistor.

## 2.2 MULTIPLEXOR

En electrónica digital, un multiplexor, es un circuito usado para el control de un flujo de información que equivale a un conmutador. En su forma más básica se compone de dos entradas de datos (A y B), una salida de datos y una entrada de control (Fig. 2.6). Cuando la entrada de control se pone a 0 lógico, la señal de datos A es conectada a la salida; cuando la entrada de control se pone a 1 lógico, la señal de datos B es la que se conecta a la salida...

El multiplexor es una aplicación particular de los decodificadores, tal que existe una entrada de habilitación por cada puerta AND y al final se hace un OR entre todas las salidas de las puertas AND.

## Sistema calificador de exámenes

---

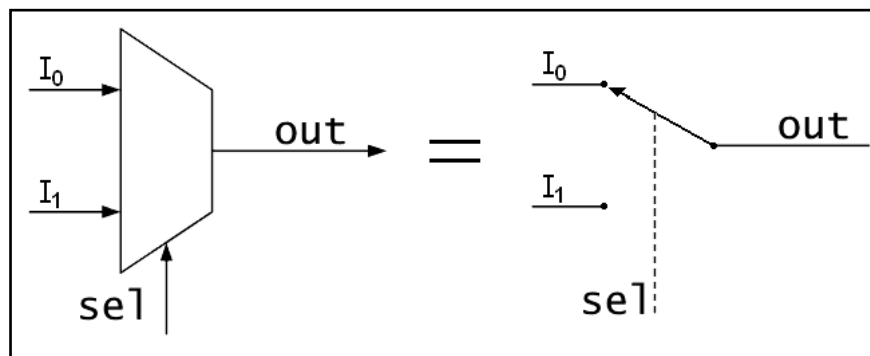
La función de un multiplexor da lugar a diversas aplicaciones:

Selector de entradas.

Serializador: Convierte datos desde el formato paralelo al formato serie.

Transmisión multiplexada: Utilizando las mismas líneas de conexión, se transmiten diferentes datos de distinta procedencia.

Realización de funciones lógicas: Utilizando inversores y conectando a 0 ó 1 las entradas según interese, se consigue diseñar funciones complejas, de un modo más compacto que con las tradicionales puertas lógicas.



**Figura 2.6 Multiplexor.**

### 2.2.1 Multiplexor/Demultiplexor con 16 canales analógicos HEF4067BP

El HEF4067B es un multiplexor/demultiplexor de 16 canales analógicos con cuatro entradas de dirección (A0 a A3), con una entrada ( $\bar{E}$ ) de habilitación en baja (low), dieciséis entradas/salidas independientes (Y0 a Y15) y una entrada/salida (Z) (Fig.2.7).

El dispositivo contiene dieciséis interruptores analógicos bidireccionales, cada uno conectado a una entrada/salida independiente (Y0 a Y15) y el otro lado conectado al común de entrada/salida (Z).

Cuando  $\bar{E}$  está en estado bajo (0 volts) una de las 16 entradas/salidas es seleccionada por A0...A3 (baja impedancia, estado activo). Todas las entradas/salidas no seleccionadas restantes estarán inactivas. Cuando  $\bar{E}$  este en

## Sistema calificador de exámenes

estado alto (5 volts) todas las 16 entradas/salidas estarán inactivas, independientemente de A0...A3, como lo muestra la tabla de verdad de la figura 2.10.

Las entradas/salidas (Y0...Y15 y Z) pueden variar entre VDD como un límite positivo y VSS como límite negativo. La diferencia entre VDD y VSS no debe exceder los 15 volts.

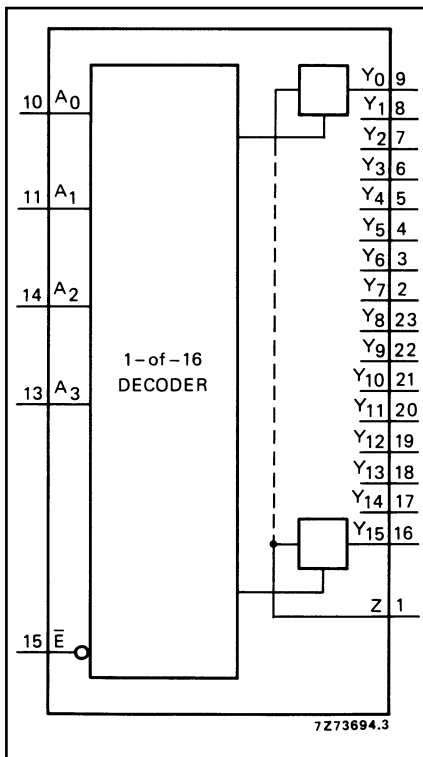


Figura 2.7 Diagrama funcional.

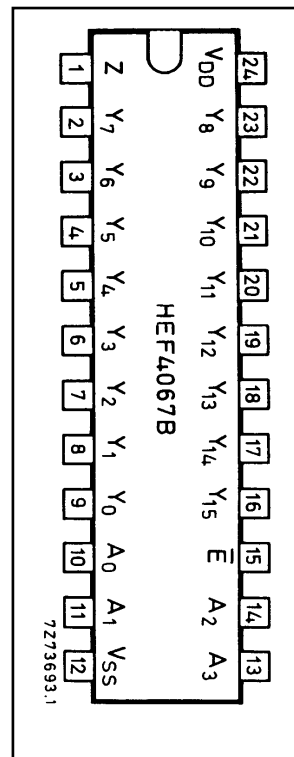


Figura 2.8 Diagrama de pines.

## Sistema calificador de exámenes

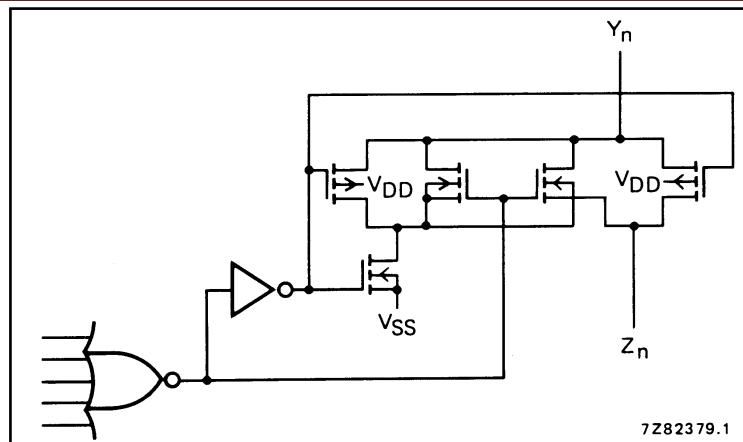


Figura 2.9 Diagrama esquemático de cada uno de los switches.

FUNCTION TABLE

INPUTS					CHANNEL
$\bar{E}$	$A_3$	$A_2$	$A_1$	$A_0$	ON
L	L	L	L	L	$Y_0 - Z$
L	L	L	L	H	$Y_1 - Z$
L	L	L	H	L	$Y_2 - Z$
L	L	L	H	H	$Y_3 - Z$
L	L	H	L	L	$Y_4 - Z$
L	L	H	L	H	$Y_5 - Z$
L	L	H	H	L	$Y_6 - Z$
L	L	H	H	H	$Y_7 - Z$
L	H	L	L	L	$Y_8 - Z$
L	H	L	L	H	$Y_9 - Z$
L	H	L	H	L	$Y_{10} - Z$
L	H	L	H	H	$Y_{11} - Z$
L	H	H	L	L	$Y_{12} - Z$
L	H	H	L	H	$Y_{13} - Z$
L	H	H	H	L	$Y_{14} - Z$
L	H	H	H	H	$Y_{15} - Z$
H	X	X	X	X	none

Nota:

H= High state (mayor voltaje positivo)

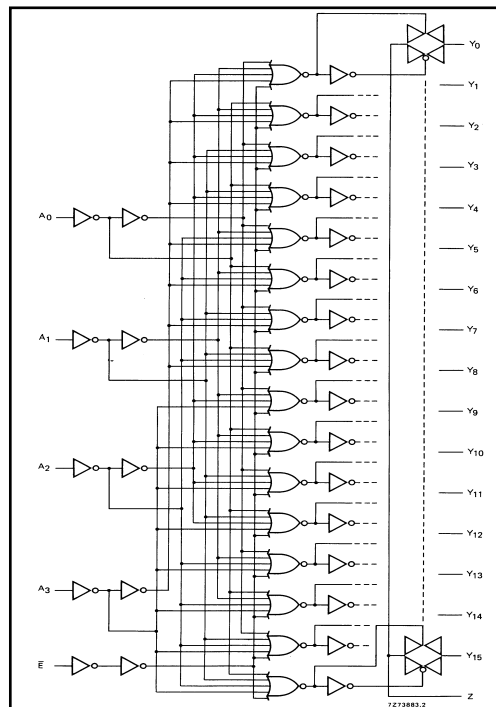
L= Low state (menor voltaje positivo)

X= Estado de no importa

Figura 2.10 Tabla de verdad HEF4067BP.

## Sistema calificador de exámenes

---



**Figura 2.11 Diagrama interno HEF4067BP.**

### 2.3 MICROCONTROLADORES PIC

Los "PIC" son una familia de microcontroladores tipo RISC fabricados por Microchip Technology Inc. y derivados del PIC1650, originalmente desarrollado por la división de microelectrónica de General Instruments.

El nombre actual no es un acrónimo. En realidad, el nombre completo es PICmicro, aunque generalmente se utiliza como Peripheral Interface Controller (Controlador de Interfaz Periférico).

El PIC original se diseñó para ser usado con la nueva UCP de 16 bits CP16000. Siendo en general una buena UCP, esta tenía malas prestaciones de E/S, y el PIC de 8 bits se desarrolló en 1975 para mejorar el rendimiento del sistema quitando peso de E/S a la UCP. El PIC utilizaba microcódigo simple almacenado en ROM



## Sistema calificador de exámenes

---

para realizar estas tareas; y aunque el término no se usaba por aquel entonces, se trata de un diseño RISC que ejecuta una instrucción cada 4 ciclos del oscilador.

En 1985, dicha división de microelectrónica de General Instruments se convirtió en una filial y el nuevo propietario canceló casi todos los desarrollos, que para esas fechas la mayoría estaban obsoletos. El PIC, sin embargo, se mejoró con EPROM para conseguir un controlador de canal programable. Hoy en día multitud de PICs vienen con varios periféricos incluidos (módulos de comunicación serie, UARTs, núcleos de control de motores, etc.) y con memoria de programa desde 512 a 32.000 palabras (una palabra corresponde a una instrucción en ensamblador, y puede ser 12, 14 o 16 bits, dependiendo de la familia específica de PICmicro).

El PIC usa un juego de instrucciones tipo RISC, cuyo número puede variar desde 35 para PICs de gama baja a 70 para los de gama alta. Las instrucciones se clasifican entre las que realizan operaciones entre el acumulador y una constante, entre el acumulador y una posición de memoria, instrucciones de condicionamiento y de salto/retorno, implementación de interrupciones y una para pasar a modo de bajo consumo llamada sleep.

Microchip proporciona un entorno de desarrollo freeware llamado MPLAB que incluye un simulador software y un ensamblador. Otras empresas desarrollan compiladores C y BASIC. Microchip también vende compiladores para los PICs de gama alta ("C18" para la serie F18 y "C30" para los dsPICs) y se puede descargar una edición para estudiantes del C18 que inhabilita algunas opciones después de un tiempo de evaluación.



**Figura 2.12 Microcontrolador PIC.**

## Sistema calificador de exámenes

---

### 2.3.1 Microcontrolador PIC16F877A

El microcontrolador PIC16F877A de Microchip pertenece a una gran familia de microcontroladores de 8 bits (bus de datos) que tienen las siguientes características generales que los distinguen de otras familias:

- Arquitectura Harvard
- Tecnología RISC
- Tecnología CMOS

Estas características se conjugan para lograr un dispositivo altamente eficiente en el uso de la memoria de datos y programa y por lo tanto en la velocidad de ejecución.

La siguiente es una lista de las características del PIC16F877

- CPU RISC
- Sólo 35 instrucciones que aprender
- Todas las instrucciones se ejecutan en un ciclo de reloj, excepto los saltos que requieren dos
- Frecuencia de operación de 0 a 20 MHz (DC a 200 nseg de ciclo de instrucción).
- Hasta 8k x 14 bits de memoria Flash de programa.
- Hasta 368 bytes de memoria de datos (RAM).
- Hasta 256 bytes de memoria de datos EEPROM.
- Hasta 4 fuentes de interrupción.
- Stack de hardware de 8 niveles.
- Reset de encendido (POR).
- Timer de encendido (PWRT).
- Timer de arranque del oscilador (OST)
- Sistema de vigilancia Watchdog timer.
- Protección programable de código.
- Modo SLEEP de bajo consumo de energía.
- Opciones de selección del oscilador

## Sistema calificador de exámenes

- Programación y depuración serie "In-Circuit" (ICSP) a través de dos patitas
- Lectura/escritura de la CPU a la memoria flash de programa
- Rango de voltaje de operación de 2.0 a 5.5 volts
- Alta disipación de corriente de la fuente: 25mA
- Empaquetado de 40 patitas (Fig. 2.13).
- Tecnología de la memoria incluida (EPROM, ROM, Flash)
- Voltajes de operación (desde 2.5 v. Hasta 6v)
- Frecuencia de operación (Hasta 20 MHz)
- Rangos de temperatura: Comercial, Industrial y Extendido
- Bajo consumo de potencia:
  - \* Menos de 0.6mA a 3V, 4 MHz
  - \* 20  $\mu$ A a 3V, 32 KHz
  - \* Menos de 1 $\mu$ A corriente de standby.

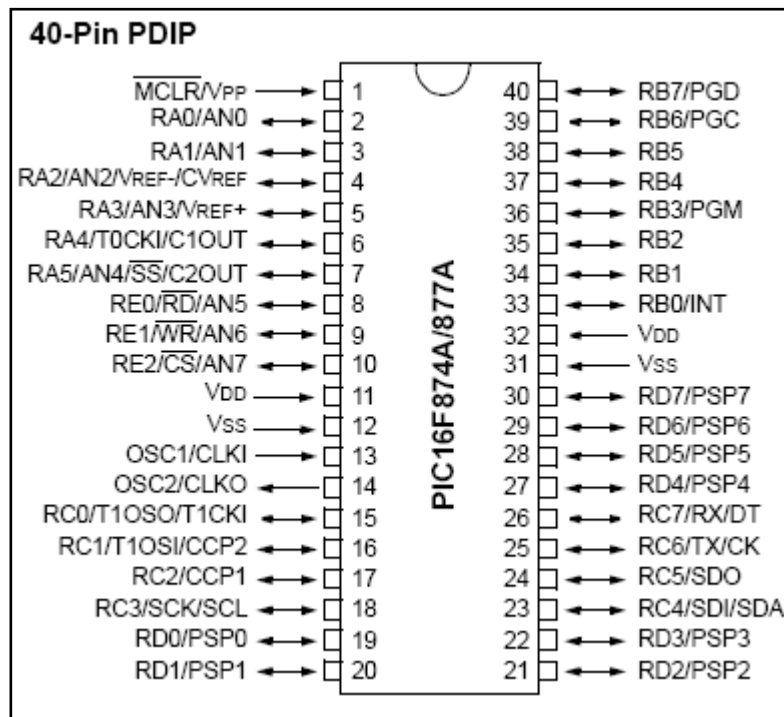


Figura 2.13 Diagrama de pines PIC 16F877A.

## Sistema calificador de exámenes

### 2.3.1.1 Diagrama de Bloques del PIC16F877

En la siguiente figura se muestra a manera de bloques la organización interna del PIC16F877, Se muestra también junto a este diagrama su diagrama de pines para tener una visión conjunta del interior y exterior del Chip.

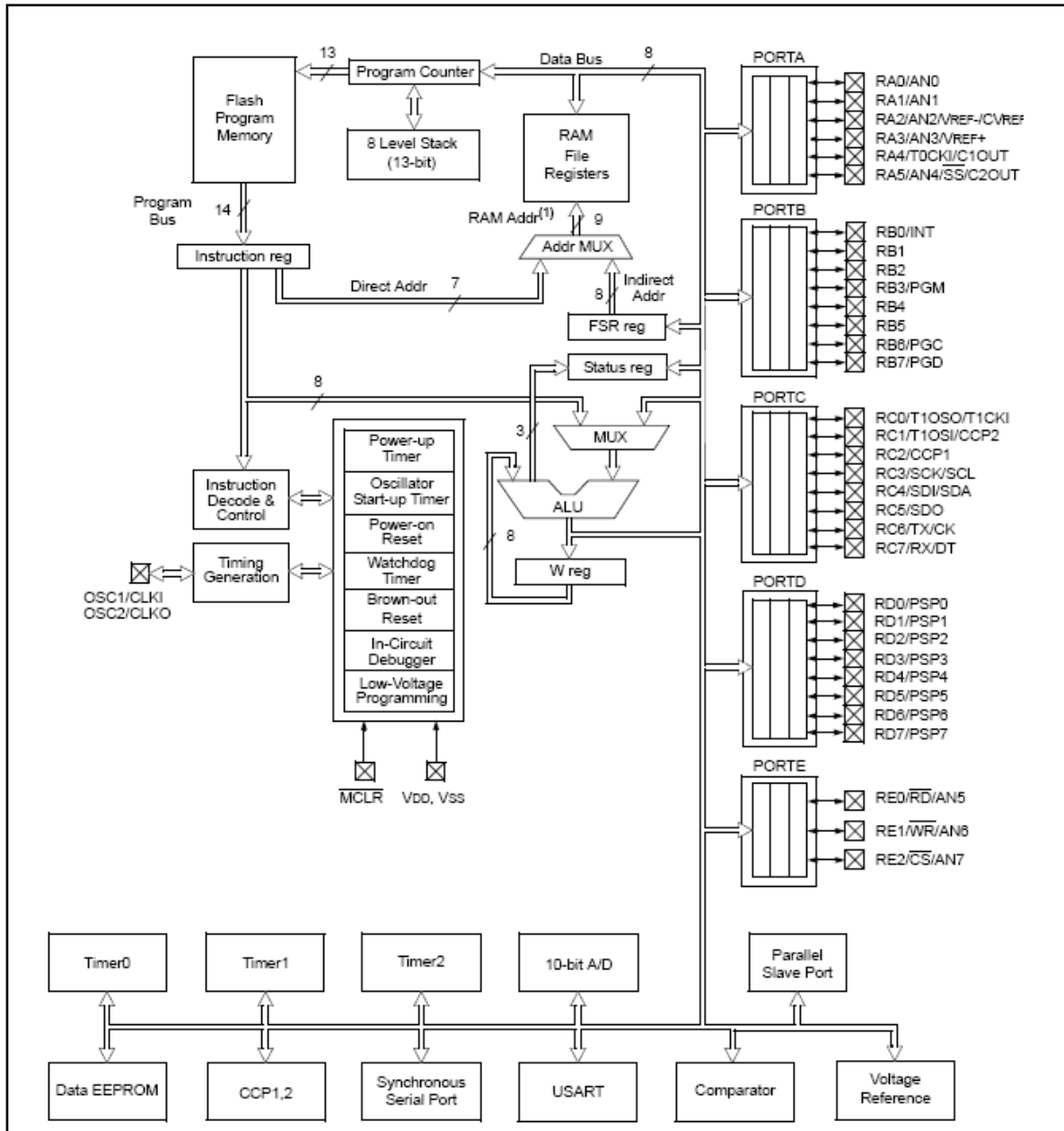


Figura 2.14 Diagrama a bloques PIC16F877A.

## Sistema calificador de exámenes

### 2.3.1.2 Descripción de la CPU.

La CPU es la responsable de la interpretación y ejecución de la información (instrucciones) guardada en la memoria de programa.

Muchas de estas instrucciones operan sobre la memoria de datos.

Para operar sobre la memoria de datos además, si se van a realizar operaciones lógicas o aritméticas, requieren usar la Unidad de Lógica y Aritmética (ALU). La ALU controla los bits de estado (Registro STATUS), los bits de este registro se alteran dependiendo del resultado de algunas instrucciones.

### 2.3.1.3 Registros de la CPU.

Registro PC.- Registro de 13 bits que siempre apunta a la siguiente instrucción a ejecutarse. En la siguiente sección se dan mayores detalles en el manejo de este registro.

Registro de Instrucción.- Registro de 14 bits. Todas las instrucciones se colocan en el para ser decodificadas por la CPU antes de ejecutarlas.

Registro W.- Registro de 8 bits que guarda resultados temporales de las operaciones realizadas por la ALU

Registro STATUS.- Registro de 8 bits, cada uno de sus bits (denominados Banderas) es un indicador de estado de la CPU o del resultado de la última operación como se indica en la siguiente figura:

R/W-0	R/W-0	R/W-0	R-1	R-1	R/W-x	R/W-x	R/W-x
IRP	RP1	RP0	TO'	PD'	Z	DC	C
Bit 7	6	5	4	3	2	1	Bit 0

R= Bit legible W= Bit Escribible U= No implementado (se lee como 0)  
-n= Valor después del Reset de encendido  
Z.- Este bit se *pone* (=1) para indicar que el resultado de la última operación fue cero, de lo contrario se *limpia* (=0)  
C.- Bit de "acarreo/préstamo" de la última operación aritmética (en el caso de resta, se guarda el préstamo invertido)  
CD.- "Acarreo/Préstamo" proveniente del cuarto bit menos significativo.  
Funciona igual que el bit C, pero para operaciones de 4 bits.

**Figura 2.15 Registro status.**

## Sistema calificador de exámenes

En la siguiente tabla se resumen las 35 instrucciones (Fig. 2.16) que reconoce la CPU de los PIC de medio rango, tiempo de ejecución, código de máquina y afectación de banderas:

Mnemónico	Descripción	Ciclos	Código de Máquina	Banderas afectadas
<b>Operaciones con el archivo de registros orientadas a bytes</b>				
ADDWF f,d	Suma f + W	1	00 0111 dfff ffff	C,DC,Z
ANDWF f,d	W AND f	1	00 0101 dfff ffff	Z
CLRF f	Limpia f	1	00 0001 1fff ffff	Z
CLRW	Limpia W	1	00 0001 0xxx xxxx	Z
COMF f,d	Complementa los bits de f	1	00 1001 dfff ffff	Z
DECF f,d	Decrementa f en 1	1	00 0011 dfff ffff	Z
DECFSZ f,d	Decrementa f, escapa si 0	1(2)	00 1011 dfff ffff	
INCF f,d	Incrementa f en 1	1	00 1010 dfff ffff	Z
INCFSZ f,d	Incrementa f, escapa si 0	1(2)	00 1111 dfff ffff	
IORWF f,d	W OR f	1	00 0100 dfff ffff	Z
MOVF f,d	Copia el contenido de f	1	00 1000 dfff ffff	Z
MOVWF f	Copia contenido de W en f	1	00 0000 1fff ffff	
NOP	No operación	1	00 0000 0xx0 0000	
RLF f,d	Rota f a la izquierda	1	00 1101 dfff ffff	C
RRF f,d	Rota f a la derecha	1	00 1100 dfff ffff	C
SUBWF f,d	Resta f – W	1	00 0010 dfff ffff	C,DC,Z
SWAPF f,d	Intercambia nibbles de f	1	00 1110 dfff ffff	
XORWF f,d	W EXOR f	1	00 0110 dfff ffff	Z
<b>Operaciones con el archivo de registros orientadas a bits</b>				
BCF f,b	Limpia bit b en f	1	01 00bb bfff ffff	
BSF f,b	Pone bit b en f	1	01 01bb bfff ffff	
BTFSC f,b	Prueba bit b en f, escapa si 0	1(2)	01 10bb bfff ffff	
BTFSS f,b	Prueba bit b en f, escapa si 1	1(2)	01 11bb bfff ffff	
<b>Operaciones con literales y de control</b>				
ADDLW k	Suma literal k + W	1	11 111x kkkk kkkk	C,DC,Z
ANDLW k	k AND W	1	11 1001 kkkk kkkk	Z
CALL k	Llamado a subrutina	2	10 0kkk kkkk kkkk	
CLRWDT	Limpia timer del watchdog	1	00 0000 0110 0100	TO',PD'
GOTO k	Salto a la dirección k	2	10 1kkk kkkk kkkk	
IORLW k	k OR W	1	11 0000 kkkk kkkk	Z
MOVLW k	Copia literal a W	1	11 00xx kkkk kkkk	
RETFIE	Retorna de interrupción	2	00 0000 0000 1001	
RETLW k	Retorna con literal k en W	2	11 01xx kkkk kkkk	
RETURN	Retorna de subrutina	2	00 0000 0000 1000	
SLEEP	Activa Modo standby	1	00 0000 0110 0011	TO'PD'
SUBLW k	Resta k - W	1	11 110x kkkk kkkk	C,CD,Z
XORLW k	k EXOR W	1	11 1010 kkkk kkkk	Z

**Figura 2.16 Tabla de instrucciones del PIC 16F877A**

## Sistema calificador de exámenes

---

### 2.3.1.4 Organización de la memoria del PIC

Los PIC tienen dos tipos de memoria: Memoria de Datos y Memoria de programa, cada bloque con su propio bus: Bus de datos y Bus de programa; por lo cual cada bloque puede ser accesado durante un mismo ciclo de oscilación.

La Memoria de datos a su vez se divide en:

- Memoria RAM de propósito general
- Archivo de Registros (Special Function Registres (SFR))

### 2.6.1.- La Memoria de Programa

Los PIC de rango medio poseen un registro Contador del Programa (PC) de 13 bits, capaz de direccionar un espacio de 8K x 14, como todas las instrucciones son de 14 bits, esto significa un bloque de 8k instrucciones. El bloque total de 8K x 14 de memoria de programa está subdividido en 4 páginas de 2K x 14.

### 2.3.1.5 La Memoria de Datos

La memoria de datos consta de dos áreas mezcladas y destinadas a funciones distintas:

- Registros de Propósito Especial (SFR)
- Registro de Propósito General (GPR)

Los SFR son localidades asociadas específicamente a los diferentes periféricos y funciones de configuración del PIC y tienen un nombre específico asociado con su función. Mientras que los GPR son memoria RAM de uso general.

### 2.3.1.6 Bancos de memoria

Toda la memoria de datos está organizada en 4 *bancos* numerados 0, 1, 2 y 3. Para seleccionar un banco se debe hacer uso de los bits del registro STATUS<7:5> denominados IRP, RP1 y RP0 (Fig. 2.17).

Hay dos maneras de acceder a la memoria de datos:

Direccionamiento directo e indirecto. La selección de bancos se basa en la siguiente tabla

## Sistema calificador de exámenes

---

Direccionamiento Indirecto (IRP)	RP1:RP0	Banco
0	0 0	0
	0 1	1
1	1 0	2
	1 1	3

**Figura 2.17 Bancos de memoria.**

Cada banco consta de 128 bytes (de 00h a 7Fh). En las posiciones más bajas de cada banco se encuentran los SFR, y arriba de éstos se encuentran los GPR. Toda la memoria de datos está implementada en RAM estática.

**Direccionamiento Directo.** Para acceder una posición de memoria mediante direccionamiento directo, la CPU simplemente usa la dirección indicada en los 7 bits menos significativos del código de operación y la selección de banco de los bits RP1:RP0.

**Direccionamiento indirecto.** Este modo de direccionamiento permite acceder una localidad de memoria de datos usando una dirección de memoria *variable* a diferencia del direccionamiento directo, en que la dirección es fija. Esto puede ser útil para el manejo de tablas de datos.

### 2.3.1.7 El Archivo de Registros

Aunque el archivo de registros en RAM puede variar de un PIC a otro, la familia del PIC16F87x coincide casi en su totalidad. En la siguiente figura se muestra a detalle el mapa de este archivo de registros y su organización en los cuatro bancos que ya se describieron.



# Sistema calificador de exámenes

File Address	File Address	File Address	File Address
Indirect addr. <sup>(*)</sup> 00h	Indirect addr. <sup>(*)</sup> 80h	Indirect addr. <sup>(*)</sup> 100h	Indirect addr. <sup>(*)</sup> 180h
TMR0 01h	OPTION_REG 81h	TMR0 101h	OPTION_REG 181h
PCL 02h	PCL 82h	PCL 102h	PCL 182h
STATUS 03h	STATUS 83h	STATUS 103h	STATUS 183h
FSR 04h	FSR 84h	FSR 104h	FSR 184h
PORTA 05h	TRISA 85h	105h	185h
PORTB 06h	TRISB 86h	PORTB 106h	TRISB 186h
PORTC 07h	TRISC 87h	107h	187h
PORTD <sup>(1)</sup> 08h	TRISD <sup>(1)</sup> 88h	108h	188h
PORTE <sup>(1)</sup> 09h	TRISE <sup>(1)</sup> 89h	109h	189h
PCLATH 0Ah	PCLATH 8Ah	PCLATH 10Ah	PCLATH 18Ah
INTCON 0Bh	INTCON 8Bh	INTCON 10Bh	INTCON 18Bh
PIR1 0Ch	PIE1 8Ch	EEDATA 10Ch	EECON1 18Ch
PIR2 0Dh	PIE2 8Dh	EEADR 10Dh	EECON2 18Dh
TMR1L 0Eh	PCON 8Eh	EEDATH 10Eh	Reserved <sup>(2)</sup> 18Eh
TMR1H 0Fh	8Fh	EEADRH 10Fh	Reserved <sup>(2)</sup> 18Fh
T1CON 10h	90h	110h	190h
TMR2 11h	SSPCON2 91h	111h	191h
T2CON 12h	PR2 92h	112h	192h
SSPBUF 13h	SSPADD 93h	113h	193h
SSPCON 14h	SSPSTAT 94h	114h	194h
CCPR1L 15h	95h	115h	195h
CCPR1H 16h	96h	116h	196h
CCP1CON 17h	97h	General Purpose Register 16 Bytes 117h	General Purpose Register 16 Bytes 197h
RCSTA 18h	TXSTA 98h	118h	198h
TXREG 19h	SPBRG 99h	119h	199h
RCREG 1Ah	9Ah	11Ah	19Ah
CCPR2L 1Bh	9Bh	11Bh	19Bh
CCPR2H 1Ch	9Ch	11Ch	19Ch
CCP2CON 1Dh	9Dh	11Dh	19Dh
ADRESH 1Eh	ADRESL 9Eh	11Eh	19Eh
ADCON0 1Fh	ADCON1 9Fh	11Fh	19Fh
20h	A0h	120h	1A0h
General Purpose Register 96 Bytes	General Purpose Register 80 Bytes	General Purpose Register 80 Bytes	General Purpose Register 80 Bytes
7Fh	EFh	16Fh	1EFh
Bank 0	accesses 70h-7Fh	accesses 70h-7Fh	accesses 70h - 7Fh
	F0h	170h	1F0h
	FFh	17Fh	1FFh
Bank 1	Bank 2	Bank 3	

Unimplemented data memory locations, read as '0'.  
 \* Not a physical register.

Figura 2.18 Mapa de archivo de registros.

### 2.4 ARREGLO DARLINGTON DE TRANSISTORES

El amplificador Darlington (frecuentemente llamado amplificador compuesto) es una conexión muy popular de dos transistores de unión bipolar para funcionar como un solo transistor “superbeta” (Fig.2.21), la conexión Darlington se muestra en la figura 8.1. La principal característica de la conexión Darlington es que el transistor compuesto actúa como una sola unidad con una ganancia de corriente que es el producto de las ganancias de corriente de dos transistores por separado. Si la conexión se hace utilizando dos transistores individuales con ganancias de corriente de  $\beta_1$  y  $\beta_2$  la conexión Darlington proporciona una ganancia de corriente de:

$$\beta_D = \beta_1 \beta_2$$

Una conexión de transistor Darlington proporciona un transistor con una ganancia de corriente de varios miles.

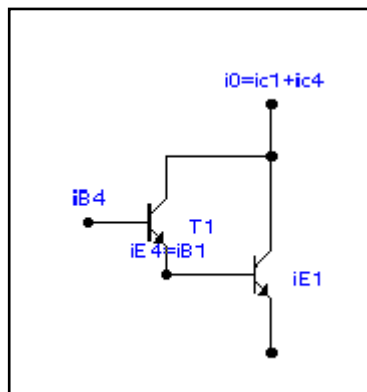


Figura 2.21 Amplificador Darlington Básico.

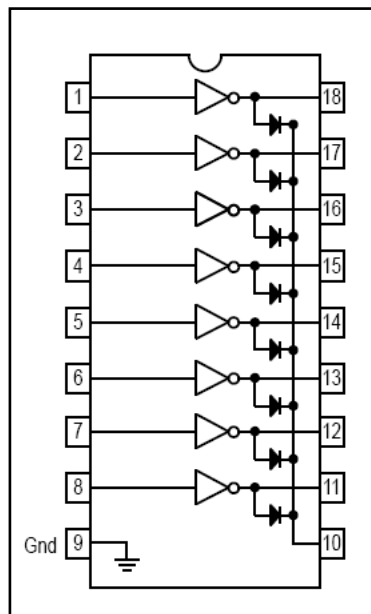
## Sistema calificador de exámenes

---

### 2.4.1 Arreglo Darlington de transistores ULN2803A

Los ocho transistores NPN conectados en arreglo Darlington (Fig. 2.22) son ideales para una interfaz entre la lógica de bajo nivel de circuitos digitales (como TTL, CMOS o OGP / NMOS) y el actual superior / requisitos de voltaje de las lámparas, relés, impresoras, martillos u otras cargas similares para una amplia gama de equipo industrial y aplicaciones de consumo. Todos los dispositivos con la característica de colector abierto y libre de productos de sujeción de rueda de diodos de supresión transitoria (Fig. 2.23, 2.25).

El ULN2803 está diseñado para ser compatible con el estándar de las familias TTL, mientras que el ULN2804 está optimizado para 6 a 15 voltios de alto nivel o CMOS OGP.



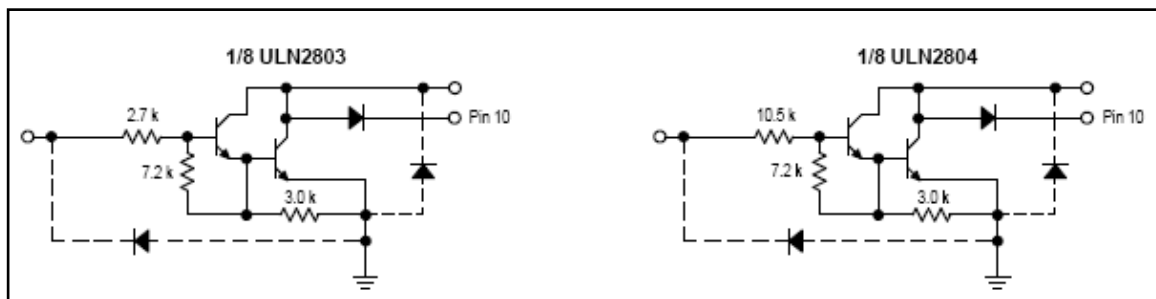
**Figura 2.22 Diagrama de conexiones.**

## Sistema calificador de exámenes

---

Rating	Symbol	Value	Unit
Output Voltage	VO	50	V
Input Voltage (Except ULN2801)	VI	30	V
Collector Current – Continuous	IC	500	mA
Base Current – Continuous	IB	25	mA
Operating Ambient Temperature Range	TA	0 to +70	°C
Storage Temperature Range	Tstg	- 55 to +150	°C
Junction Temperature	TJ	125	°C

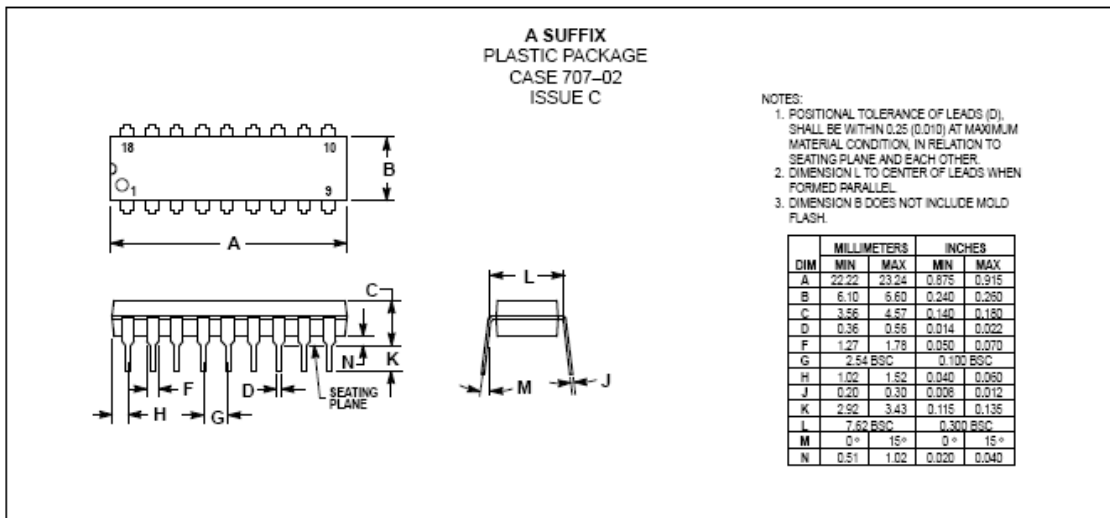
**Figura 2.23 Características ULN2803.**



**Figura 2.24 Diagrama esquemático.**

# Sistema calificador de exámenes

## OUTLINE DIMENSIONS



**Figura 2.25 Dimensiones y encapsulado ULN2803**

## 2.5 MOTORES A PASOS

El motor de paso a paso es un dispositivo electromecánico que convierte una serie de impulsos eléctricos en desplazamientos angulares discretos, lo que significa que es capaz de avanzar una serie de grados (paso) dependiendo de sus entradas de control. El motor paso a paso se comporta de la misma manera que un convertidor digital-analógico y puede ser gobernado por impulsos procedentes de sistemas lógicos.

Este motor presenta las ventajas de tener alta precisión y repetitividad en cuanto al posicionamiento. Entre sus principales aplicaciones destacan como motor de frecuencia variable, motor de corriente continua sin escobillas, servomotores y motores controlados digitalmente.

La variación de la dirección del campo magnético creado en el estator producirá movimiento de seguimiento por parte del rotor de imán permanente, el cual intentará alinearse con campo magnético inducido por las bobinas que excitan los electroimanes.

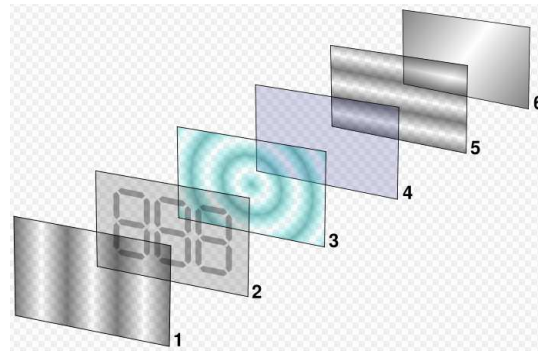


**Figura 2.26 Motores a pasos.**

### **2.6 PANTALLA LCD**

Una pantalla de cristal líquido o LCD (acrónimo del inglés Liquid crystal display) es una pantalla delgada y plana formada por un número de píxeles en color o monocromos colocados delante de una fuente de luz o reflectora. A menudo se utiliza en dispositivos electrónicos de pilas, ya que utiliza cantidades muy pequeñas de energía eléctrica.

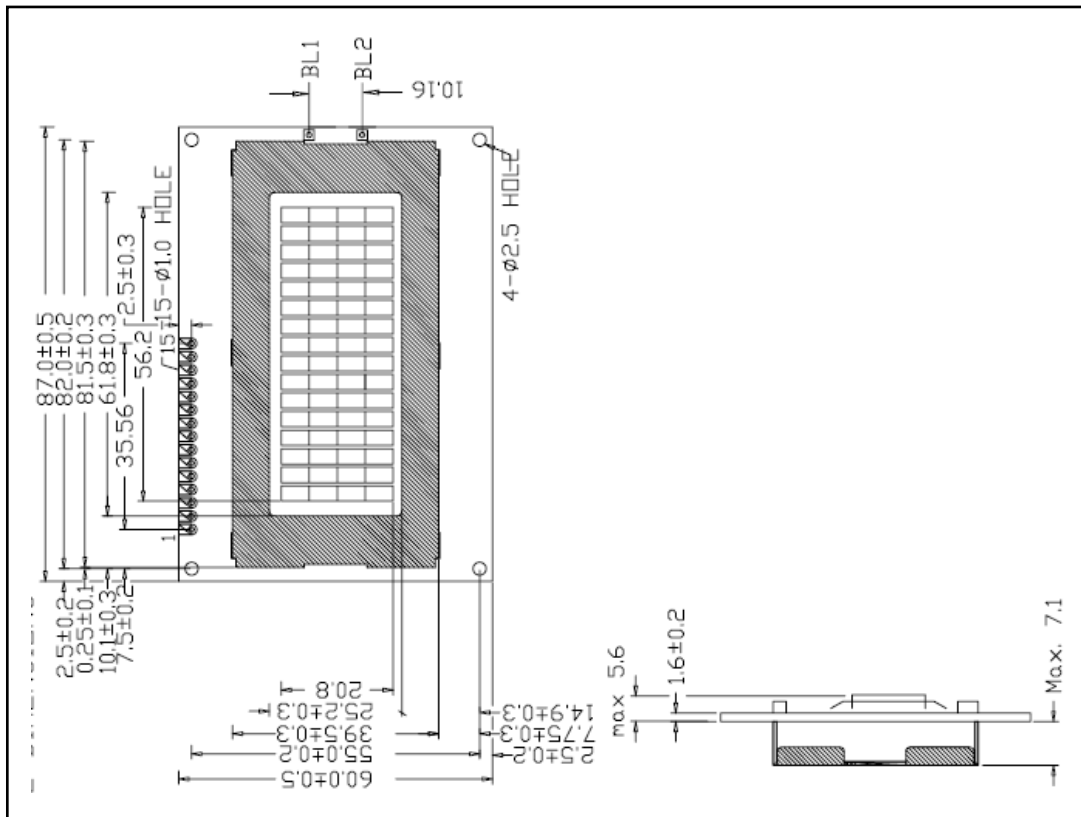
Cada píxel de un LCD típicamente consiste de una capa de moléculas alineadas entre dos electrodos transparentes, y dos filtros de polarización, los ejes de transmisión de cada uno están (en la mayoría de los casos) perpendiculares entre sí. Sin cristal líquido entre el filtro polarizante, la luz que pasa por el primer filtro sería bloqueada por el segundo (cruzando) polarizador (Fig. 2.27).



**Figura 2.27 Pantalla LCD.**

## 2.6.1 Pantalla LCD LM4433

El modulo de la pantalla consiste en un display de cristal líquido, un controlador (driver CMOS), circuito impreso, marco o base de metal e iluminación posterior a base de leds (diodo emisor de luz) (Fig. 2.28 y 2.29).



**Figura 2.28 Dimensiones del display.**

## Sistema calificador de exámenes

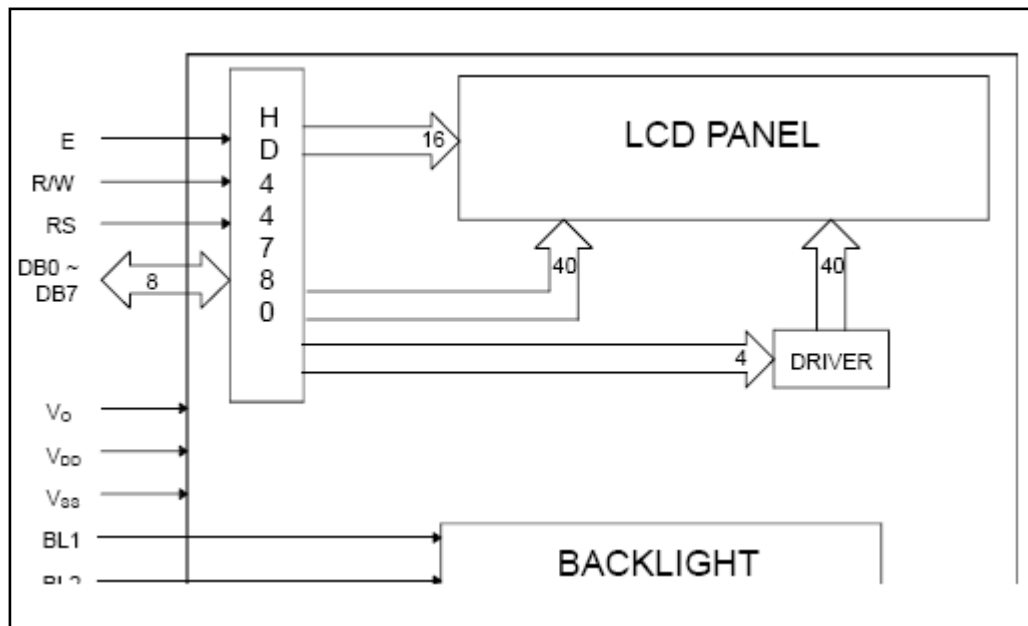


Figura 2.29 Esquema de conexiones del display.

Pin No.	Symbol	I/O	Function
1	Vss, BL2	-	Ground (0V), VLED-
2	VDD	-	Logic Supply Voltage (+5V)
3	Vo	-	LC Drive voltage for contrast adjustment
4	RS	I	Register Select 0: Instruction Register 1: Data Register
5	R/W	I	Read / Write 0: Data Write (Module←MPU) 1: Data Read (Module→MPU)
6	E	I	Enable Signal Active High (H→L)
7	DB0	I/O	Bi-directional data bus line 0
8	DB1	I/O	Bi-directional data bus line 1
9	DB2	I/O	Bi-directional data bus line 2
10	DB3	I/O	Bi-directional data bus line 3
11	DB4	I/O	Bi-directional data bus line 4
12	DB5	I/O	Bi-directional data bus line 5
13	DB6	I/O	Bi-directional data bus line 6
14	DB7	I/O	Bi-directional data bus line 7
15	BL1	-	Supply voltage for backlight (+5V), VLED+
BL1	VLED+	-	Anode (+); LED backlight input voltage
BL2	VLED-	-	Cathode (-); LED backlight input voltage

Figura 2.30 Descripción de la interfaz.



## CAPÍTULO III. PROBLEMÁTICA

### 3.1 DESCRIPCIÓN DEL PROBLEMA

Como hemos mencionado anteriormente, este proyecto pretende ofrecer un sistema que permita desarrollar las labores relacionadas con la calificación de exámenes por medios computacionales. Esto es, la lectura del examen, comparación de resultados, cálculo de calificación con base en el número de aciertos del examen y la presentación de los mismos por conducto de un display en nuestro dispositivo y posteriormente a través de una interfaz hombre máquina. También se mencionó que las funciones del presente proyecto son tan ambiciosas que no podrán ser cubiertas por un sólo trabajo de tesis, dejando para un segundo trabajo la parte más compleja del procesamiento de datos, y que llamaremos “Bloque Complejo”. Este bloque de software permitirá al maestro cumplir con tareas complicadas que en hipótesis tenemos identificadas y que parecen viables para incorporarse a esta parte del sistema y son las siguientes:

- Permitir al maestro introducir nuevos reactivos para acrecentar la base de datos. Estos reactivos estarán disponibles para la posteridad.
- De este conglomerado de reactivos podrá tomarse una muestra aleatoria para conformar un examen de un número de preguntas determinado por el mismo maestro.
- Permitir al maestro el tipo de pregunta (reactivo) que desee incluir en su diseño de examen, pudiendo ser de preguntas de opción múltiple o problemas.

## Sistema calificador de exámenes

---

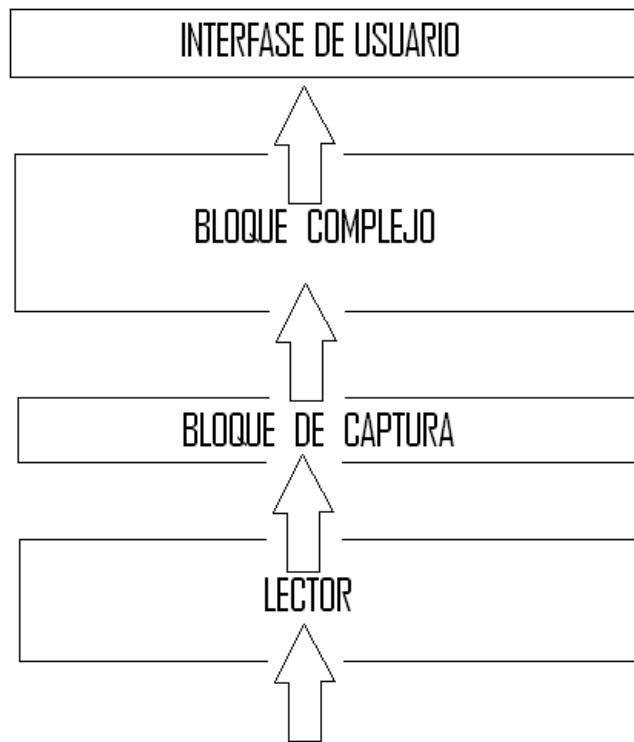
- El sistema deberá incluir algoritmos de cálculo a disposición del maestro para permitirle determinar los resultados correctos de sus reactivos, y almacenarlos como datos válidos en cada pregunta.
- El sistema tendrá entonces los valores de referencia que serán usados para decidir si los resultados leídos del exterior (procedentes de la hoja de examen) son correctos.
- Permitir al maestro calificar y visualizar el resultado de un grupo de exámenes determinado.
- Permitir la impresión de los resultados.
- Permitir configurar el examen adecuadamente en casos en que el maestro decida calificar el procedimiento además de los resultados finales de cada problema.

El siguiente esquema ilustra los bloques funcionales de que consta nuestra propuesta

En este esquema se ilustran los bloques que constituyen al sistema calificador basado en optosensores. Nótese que el primer bloque funcional del sistema es el lector, que se encarga de producir las señales binarias a partir de las hojas de examen e introducirlas al microcontrolador. Este bloque está elaborado con tecnología electrónica.

## Sistema calificador de exámenes

---



**Figura 3.1 Diagrama a bloques del sistema**

Después se encuentra el bloque de captura que se encarga de tomar los datos procedentes del lector y apilarlos en un espacio de memoria dentro del microcontrolador predefinido. Este bloque, está elaborado exclusivamente de software a bajo nivel.

Los dos bloques superiores del esquema se han pensado dejar pendientes debido a que se basan en las otras para su construcción y prueba, pero esto no significa que el trabajo de la primera etapa del proyecto sea inútil, por el contrario: esta etapa por sí misma, aunque simple, será capaz de llevar a cabo lo más importante de las funciones del proyecto, esto es, calificar y entregar calificaciones.

Para esto se necesita, en principio, una forma de obtener datos binarios a partir de la simbología escrita por los alumnos en el formato establecido. En otras palabras, se requiere que la información plasmada por los alumnos en su hoja de

## Sistema calificador de exámenes

---

respuesta, sea transformada a una forma que la computadora pueda reconocer y manejar. Esta importante función la realizará un módulo que llamaremos lector. Además, es necesario programar el microcontrolador para que permita tomar la información del lector y colocarla en un espacio de su memoria interna para realizar con ella las funciones más complejas de cálculos y decisiones requeridas para responder a las diversas solicitudes del maestro, como el cálculo de calificación, impresión de resultados, etc.

## CAPÍTULO IV. ESTADO DEL ARTE

### 4.1 SISTEMAS DE LECTURA ÓPTICA PARA EXÁMENES EN PAPEL IMPRESO.

Actualmente existe una diversidad de lectores ópticos usados para aplicaciones semejantes a la de este problema. La más común es el empleo de arreglos matriciales de fotodiodos o fototransistores lineales para capturar variaciones de intensidad luminosa provenientes del papel. Estos dispositivos son suficientemente sensibles para producir un pulso eléctrico en el instante en que aparece un punto negro en el papel frente de él, además, cada sensor es de un tamaño tan pequeño que pueden manejarse puntos negros cuyo diámetro es del orden del milímetro.

Al deslizar el papel frente a los arreglos sensoriales, estos captan las variaciones de luz de cada punto y lo convierten en pulsos eléctricos independientes. Esta matriz entonces, produce una matriz de pulsos factibles de ser leídos por la computadora a manera de palabras de datos binarios.



**Figura 4.1 Ilustración de los formatos de hojas en sistemas comerciales**

## Sistema calificador de exámenes

---

Los sistemas comerciales de lectura de puntos están contruidos con partes fabricadas ex profeso para estas funciones, así, las matrices de optolectores y circuitos impresos asociados son muy pequeños, así como los circuitos electrónicos ocupados para las diferentes funciones de amplificación, adaptación de señales y acoplamiento a la computadora están elaborados mediante pastillas electrónicas integradas elaboradas desde fábrica a gran escala. Asimismo, el software relacionado con los manejos computacionales de los datos capturados es muy complejo, caracterizándose por ser funcionales pero dando sobre todo un énfasis en la presentación.



**Figura 4.2 Sistemas comerciales.**

Además, estos sistemas disponen de un mecanismo de alimentación de hojas complicado, que permite la colocación de paquetes voluminosos de exámenes en su charola de entrada y esperar que el sistema tome una por una para terminar cómodamente con todo el conjunto de exámenes. Adicionalmente, tienen algunas funciones misceláneas como contador de hojas y tablero de mensajes para avisar al usuario el atascamiento de papel, fin de tarea, entre otras.

Todo esto con un costo que ronda los \$2000 USD.

## Sistema calificador de exámenes

---



**Figura 4.3 Ilustración**

Otras opciones en el mercado son las que se basan en nuevas tecnologías de software capaces de reconocer imágenes y caracteres predefinidos.



**Figura 4.4 Otros ejemplos.**

Este software permite que a través de un scanner se pueda reconocer letras manuscritas o imágenes y traducirlas a sistema ASCII para que la computadora sea capaz de leerlas y de realizar las operaciones necesarias para la evaluación de formularios y exámenes.

## Sistema calificador de exámenes

---

Algunas de estas tecnologías son ICR (Reconocimiento de caracteres inteligente), OCR (Reconocimiento de caracteres ópticos) y OMR (Lectura de marcas ópticas). Figura 4.5.



**Figura 4.5 Tecnología ICR, OCR y OMR.**

Remark Office OMR es uno de los sistemas en el mercado que usa tecnología OMR y funciona de la siguiente manera.

Remark Office OMR puede leer de sus fichas las áreas con marcas, así como información de códigos de barras. Los campos diligenciados a mano con máquina de escribir no pueden ser leídos por el software, pero pueden ser capturados como campos de imagen para que posteriormente un operador digite la información allí escrita o solamente para su visualización. El manejo de excepciones facilita la localización, corrección o verificación de cualquier ficha marcada erróneamente.

Exportación de datos

Una vez que sus formas se han escaneado y procesado, el software puede guardar los datos en cerca de 30 formatos distintos, que pueden ser utilizados virtualmente en cualquier paquete de análisis como SPSS, dBase, Access, Excel o Lotus 1-2-3. Remark Office OMR puede incluso guardar sus datos en formato HTML para la publicación en Internet o una Intranet. También puede guardar sus



## Sistema calificador de exámenes

---

datos en el formato de Remark Office OMR y tomar ventaja de las herramientas analíticas propias del software.

ICR, OCR y OMR son todos métodos orientados a disminuir la cantidad de entradas de datos manual en ambientes de procesamiento de formularios. ICR y OCR son dispositivos de reconocimiento usados con imágenes. OMR es una tecnología de captura de datos que no requiere un dispositivo de reconocimiento, es utilizada cuando se requiere un alto grado de precisión.

### ICR – Reconocimiento de Caracteres Inteligente

La tecnología ICR proporciona a los sistemas de reproducción por escáner y sistemas de imágenes la habilidad de convertir caracteres en letra manuscrita (no cursiva) en caracteres capaces de ser interpretados o reconocidos por una computadora. Así, las imágenes de caracteres en letra manuscrita son extraídas de un mapa de bits de la imagen reproducida por el escáner. Existen diversos dispositivos de reconocimiento ICR en el mercado.

### OCR – Reconocimiento de Caracteres Ópticos

La tecnología OCR proporciona a los sistemas de reproducción por escáner y sistemas de imágenes la habilidad de convertir imágenes de caracteres en letra de máquina, en caracteres capaces de ser interpretados o reconocidos por una computadora. Así, las imágenes de caracteres en letra de máquina son extraídas de un mapa de bits de la imagen reproducida por el escáner.

### OMR – Lectura de Marcas Ópticas

La tecnología OMR detecta la ausencia o presencia de una marca, pero no la forma de la marca. El software interpreta la imagen del escáner y la traduce en la imagen deseada ASCII. Los formularios son reproducidos por escáner a través de un escáner OMR. Los formularios contienen pequeños círculos, llamados “burbujas”, que son completados por la persona encargada de llenar el formulario.

## Sistema calificador de exámenes

---

La tecnología OMR no es capaz de reconocer caracteres en letra manuscrita o a máquina; las imágenes de los formularios tampoco son reproducidas por el escáner.

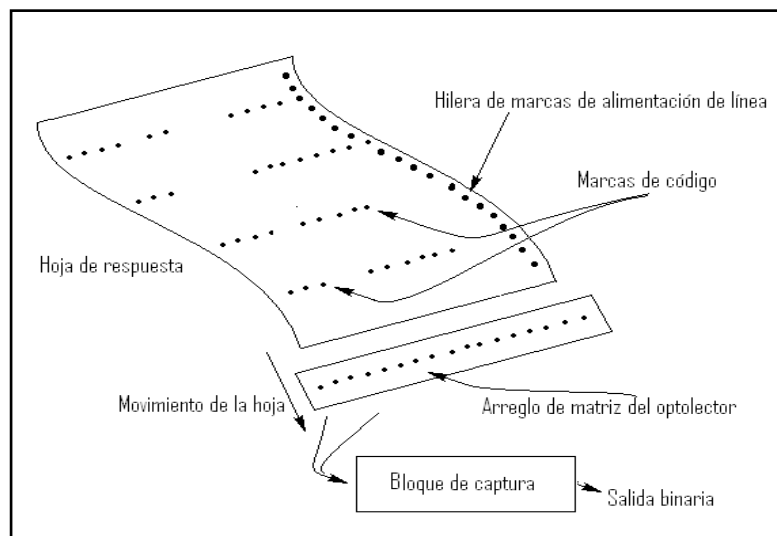
Un escáner de reproducción de imágenes es capaz de procesar entre 1.200 y 7.500 formularios por hora. Sin embargo, no es la velocidad de reproducción del escáner la que determina la productividad de una aplicación. Otros factores influyen en esta variable, tales como la cantidad de caracteres por página, el número de distintos tipos de documentos y el grado de legibilidad de la letra manuscrita. Un escáner de reproducción de imágenes es significativamente más costoso que un escáner OMR. A medida que el volumen de reproducción por escáner aumenta, se requiere una red de terminales y servidores para procesar dicha actividad. Una aplicación esta rara vez limitada por la velocidad de reproducción del escáner, puede estar en cambio, limitada por el poder de procesamiento de la red.

Un escáner OMR es capaz de mantener un nivel de procesamiento de 2.000 a 10.000 formularios por hora. Esta actividad puede ser controlada y procesada por una sola terminal, que a su vez es capaz de manipular cualquier volumen que el escáner genere. Incrementar la capacidad de procesamiento simplemente requiere mejorar el tipo de escáner. Los software ICR y OCR no pueden ser utilizados con un escáner OMR.

## CAPÍTULO V. SOLUCIÓN PROPUESTA.

### 5.1 IDENTIFICACIÓN DE NECESIDADES Y CARACTERÍSTICAS.

Por lo anteriormente expuesto, los sistemas comerciales, permiten un uso cómodo, presentable y eficiente pero conllevan así mismo una dependencia económica y tecnológica indiscutible porque se acompañan de un diseño respaldado por una marca comercial establecida, aspectos que difícilmente se podrá alcanzar con métodos improvisados como los de esta propuesta (Fig.5.1). Nosotros pensamos que, usando tecnología propia, es posible alcanzar los niveles de eficiencia suficientes como para satisfacer las necesidades más importantes de las actividades docentes promedio. Esto es, empleando dispositivos que puedan conseguirse en forma fácil en cualquier tienda especializada en electrónica y con un costo muy reducido.



**Figura 5.1 Funcionamiento general del sistema óptico pretendido.**

## Sistema calificador de exámenes

---

El diseño propuesto respeta básicamente el mismo esquema de la figura 5.1, pero se decidió darle movilidad al lector en vez de a la hoja utilizando el sistema de un escáner común reduciendo las funciones hasta el mínimo necesario para cumplir con las funciones básicas (Fig. 5.2): Capturar, evaluar y calificar los resultados que se encuentran en cada hoja de examen alimentada.



**Figura 5.2 Modelo propuesto.**

Análogamente, el programa diseñado para la etapa inicial, según se mencionó anteriormente, cumplirá con las funciones indispensables para el manejo de los datos, desde la captura, hasta la entrega de resultados al usuario a través de una interface sencilla.

Para esto y tomando en cuenta la baja sensibilidad presentada por los optosensores corrientes, se plantea adicionar una fuente de luz colocada por debajo de la hoja de examen, con el fin de asegurar la suficiente reacción de los lectores ópticos.

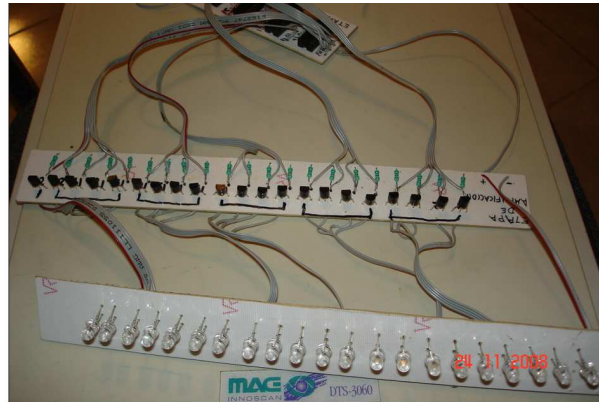
### **5.2 DISEÑO DEL SISTEMA ÓPTICO.**

Para el sistema óptico, proponemos el empleo de fototransistores independientes modelo PT331C, arreglados en forma de matriz para constituir un bloque lector, de tal forma que no represente una dificultad su consecución. Las dimensiones de los dispositivos ópticos más comunes (5mm) se adaptan casi exactamente a las

## Sistema calificador de exámenes

---

necesidades del formato diseñado para la hoja de respuestas (Fig. 5.3), de tal manera que nos es posible alinear y hacer coincidir los fototransistores en cada hilera de nuestro modelo (Fig. 5.4)



**Figura 5.3 Sistema óptico**

Como el alumno marcará con lápiz algunos espacios en nuestra hoja de respuestas, entonces la parte sombreada limitará el reflejo de luz hacia el sensor, propiciando una drástica disminución de señal eléctrica, estados en que se logrará un “cero” lógico. Este efecto lo lograremos a través de la reflexión de la luz incidente en nuestra propia hoja, de tal forma que será necesario colocar una fuente de luz intensa en el ángulo adecuado entre la hoja de respuestas y el sistema óptico de manera que la luz reflejada en los sensores sea suficiente para mantener el nivel de luz correspondiente a un “uno” lógico.



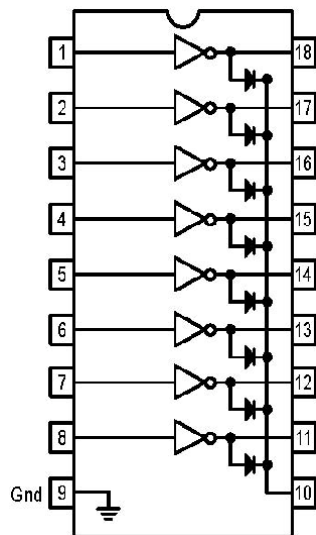
**Figura 5.4 posición de los sensores ópticos.**

### 5.3 MOVILIDAD DEL LECTOR.

Para darle movimiento a nuestro sistema óptico hemos recurrido al uso de un motor a pasos

que será controlado por el microcontrolador y nos dará la movilidad exacta y necesaria para que el sistema pueda detectar atinadamente cada una de las guías que nos presenta la hoja de respuestas, así como las opciones seleccionadas por el alumno.

Esta etapa estará ligada estrechamente con el sistema óptico, que será el que de la señal para que se detenga el motor en cada renglón. La línea de control obtenida en la etapa óptica será enviada directamente al microcontrolador y este nos dará cuatro señales que ingresaran al driver ULN2803, Fig. 5.5 (que es un arreglo Darlington de transistores) capaz de darle la movilidad necesaria a nuestro motor.



**Figura 5.5 Diagrama esquemático ULN2803A**

## Sistema calificador de exámenes

---

### **5.4 ILUMINACIÓN.**

El sistema de iluminación mencionado será propiciado mediante una lámpara tipo “Slim-Line” de 23 cm de longitud, con alimentación del balastro de 12 volts c.d. a 1 Amp. El cual eleva este voltaje hasta cerca de 1000 volts.

### **5.5 MULTIPLEXIÓN.**

La siguiente etapa será la de multiplexión de los pulsos obtenidos por el sistema óptico descrito.

Una vez establecido el nivel correcto de voltaje (5v en este caso, que es el voltaje idóneo para trabajar con un microcontrolador PIC16F877A y suficiente para excitar un circuito TTL), será diseñado el circuito multiplexor para satisfacer las necesidades del manejo lógico de todas las señales del sistema, según se explicará más adelante. De las 13 señales proporcionadas por los fototransistores solo una fluye directamente hacia el microcontrolador, la cual es una señal de guía que por motivo de velocidad no será multiplexada junto con las demás, esas 12 señales restantes ingresarán primeramente a un circuito integrado multiplexor (HEF4067BP) de 16 a 1(en este caso solo utilizaremos 12 de las 16 entradas disponibles de este circuito integrado), para el envío de las 12 señales en forma serial lo que permitirá reducir el número de puertos a utilizar, de esta forma será posible el manejo de toda la información a través de un solo microcontrolador.

## Sistema calificador de exámenes

---

INPUTS					CHANNEL
$\bar{E}$	A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>	ON
L	L	L	L	L	Y <sub>0</sub> - Z
L	L	L	L	H	Y <sub>1</sub> - Z
L	L	L	H	L	Y <sub>2</sub> - Z
L	L	L	H	H	Y <sub>3</sub> - Z
L	L	H	L	L	Y <sub>4</sub> - Z
L	L	H	L	H	Y <sub>5</sub> - Z
L	L	H	H	L	Y <sub>6</sub> - Z
L	L	H	H	H	Y <sub>7</sub> - Z
L	H	L	L	L	Y <sub>8</sub> - Z
L	H	L	L	H	Y <sub>9</sub> - Z
L	H	L	H	L	Y <sub>10</sub> - Z
L	H	L	H	H	Y <sub>11</sub> - Z
L	H	H	L	L	Y <sub>12</sub> - Z
L	H	H	L	H	Y <sub>13</sub> - Z
L	H	H	H	L	Y <sub>14</sub> - Z
L	H	H	H	H	Y <sub>15</sub> - Z
H	X	X	X	X	none

Nota:

H= High state (mayor voltaje positivo)

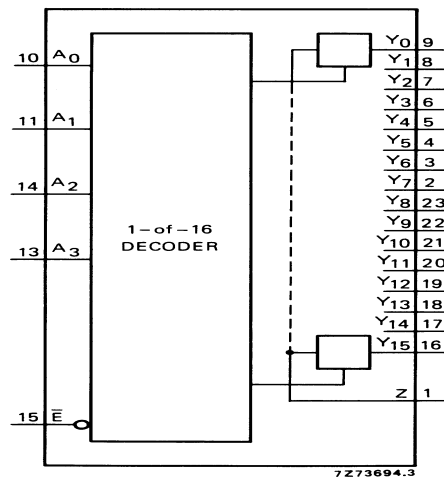
L= Low state (menor voltaje positivo)

X= Estado de no importa

**Figura 5.6 Tabla de verdad HEF4067BP**

La tabla de verdad presentada nos muestra el comportamiento de la salida del circuito Z, dependiendo los valores que tenga cada una de las entradas de control A<sub>0</sub>...A<sub>3</sub>, así como el estado de la entrada de habilitación  $\bar{E}$  que requiere un voltaje = 0 para no entrar en un estado de no importa.





**Figura 5.7 Diagrama funcional**

La figura 5.7 nos muestra el diagrama funcional del multiplexor HEF4067BP, donde Y<sub>0</sub>...Y<sub>15</sub> son las entradas del circuito (recordemos que solo utilizaremos 12 de ellas, en nuestro caso Y<sub>0</sub> a Y<sub>11</sub>), Z será nuestra salida con que trabajaremos y que ingresaremos al microcontrolador, A<sub>0</sub>...A<sub>3</sub> serán entradas de control o selección y E será la entrada de habilitación.

Una vez que nuestra información ha sido multiplexada, ingresa al microcontrolador por el puerto AN0, la señal restante proveniente de la etapa óptica o de fototransistores, que no fue multiplexada y que llamaremos línea de control ingresa directamente al microcontrolador por el puerto AN1.

### 5.6 DISEÑO DE LA HOJA DE RESPUESTAS.

El formato de respuesta establecido está diseñado con 13 columnas y 22 líneas, con un total de 286 espacios disponibles (Fig. 5.7), divididos de tal forma que tendremos disponibles en cada renglón 3 preguntas con 4 posibles respuestas. Este diseño es a partir de una hoja tamaño carta (21.59cm x 27.94cm). Como se mencionó en un principio este formato será de libre acceso permitiendo así ser incluso fotocopiado o diseñado por la institución que lo utilice, siempre que se

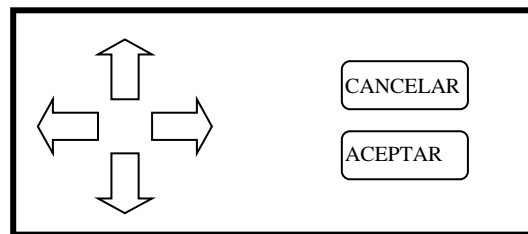
## Sistema calificador de exámenes

---

respeten las dimensiones del papel, el espacio y número de opciones, de la misma forma, el círculo o espacio inicial servirá de guía para que el lector envíe la llamada línea de control hacia el puerto AN1 del microcontrolador y este a su vez pueda leer una a una las señales de cada renglón, este círculo estará sombreado ya desde el diseño original ya que será un formato estándar y evitaría así errores por parte del alumno.

### 5.7 TECLADO.

Para que el usuario pueda manejar el sistema, dispondremos de un teclado matricial de 2x3 con lo que dispondremos de 6 botones, 4 de ellos para desplazamiento en pantalla, uno para cancelar y otro para aceptar.



**Figura 5.8 Teclado**

### 5.8 PANTALLA LCD.

Para que el usuario pueda controlar el sistema, será necesario utilizar además del teclado, una pantalla que le permita visualizar las opciones de las cuales dispondrá (Fig. 5.9).

## Sistema calificador de exámenes

El dispositivo que elegimos es un display LCD LM4433 con iluminación posterior (Fig. 5.9), este display cuenta con 4 renglones y 16 caracteres en cada uno, lo que será suficiente para desplegar nuestro menú.

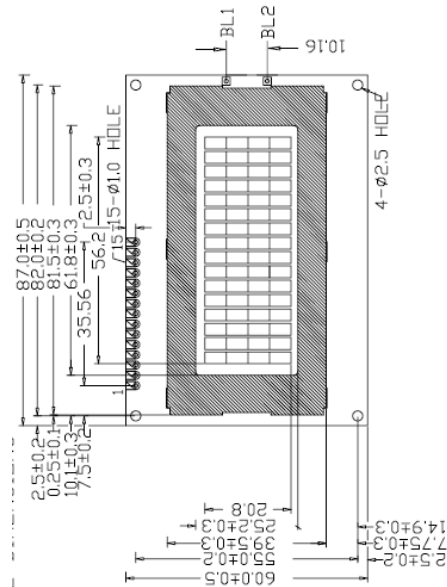


Figura 5.9 Pantalla LCD

## Sistema calificador de exámenes

● 1	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d	2	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d	3	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d
● 4	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d	5	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d	6	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d
● 7	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d	8	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d	9	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d
● 10	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d	11	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d	12	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d
● 13	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d	14	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d	15	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d
● 16	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d	17	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d	18	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d
● 19	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d	20	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d	21	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d
● 22	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d	23	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d	24	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d
● 25	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d	26	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d	27	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d
● 28	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d	29	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d	30	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d
● 31	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d	32	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d	33	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d
● 34	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d	35	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d	36	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d
● 37	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d	38	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d	39	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d
● 40	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d	41	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d	42	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d
● 43	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d	44	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d	45	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d
● 46	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d	47	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d	48	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d
● 49	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d	50	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d	51	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d
● 52	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d	53	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d	54	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d
● 55	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d	56	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d	57	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d
● 58	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d	59	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d	60	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d
● 61	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d	62	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d	63	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d
● 64	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d	65	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d	66	<input type="radio"/> a	<input type="radio"/> b	<input type="radio"/> c	<input type="radio"/> d

Figura 5.10 Formato de la hoja de respuestas.

## Sistema calificador de exámenes

### 5.9 DISEÑO DE LA ETAPA DE CONTROL.

La selección de las entradas del multiplexor es hecha por el microcontrolador enviando una señal binaria por medio de cuatro puertos RC0...RC3

La información binaria que reciba el microcontrolador del multiplexor será almacenada en su memoria interna para ser procesada posteriormente mediante un programe de bajo nivel, elaborado en lenguaje "C" que comparara los datos que ingrese el docente a través de la hoja con respuestas correctas con las hojas de respuestas a evaluar proporcionadas por los alumnos.

Los puertos RB0...RB7 serán usados como salidas para manejar nuestro display LCD y a través de los puertos RD0...RD7 controlaremos las funciones del teclado matricial que utilizaremos para manejar el sistema. Por último los puertos AN2...AN5 serán los encargados del manejo del motor a pasos empleado para el movimiento de los sensores. Figura 5.8.

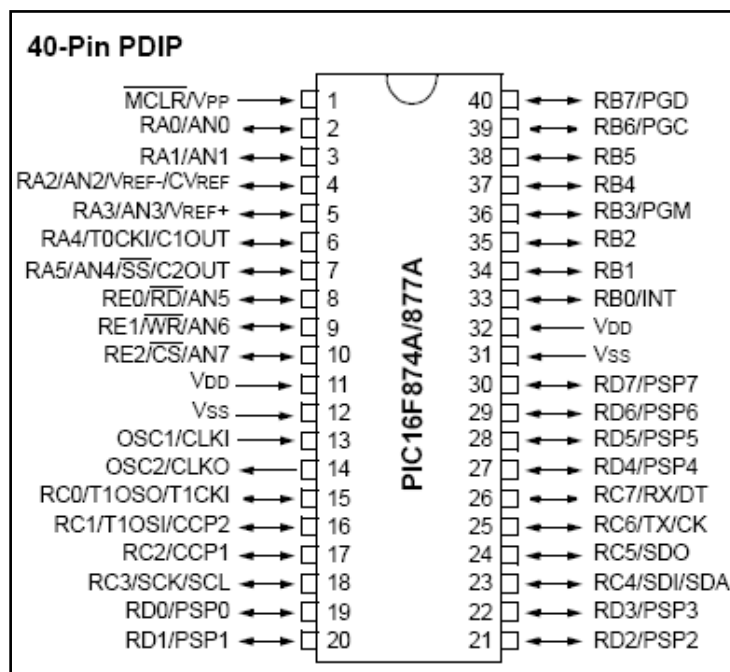
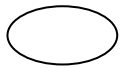


Figura 5.11 PIC16F877A

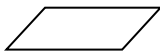
### 5.10 DISEÑO DEL PROGRAMA DE ADQUISICION

En esta etapa, será diseñado el programa que emplearemos para el control del sistema, aunque no se presenta el programa como tal, si presentamos el funcionamiento del mismo en un diagrama de flujo que permitirá al lector un mejor entendimiento.

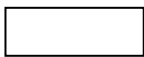
A continuación se presenta una breve explicación de cada uno de los bloques del diagrama de flujo elaborado:



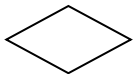
Inicio del programa



Muestra cualquier mensaje que deberá aparecer en nuestra pantalla.

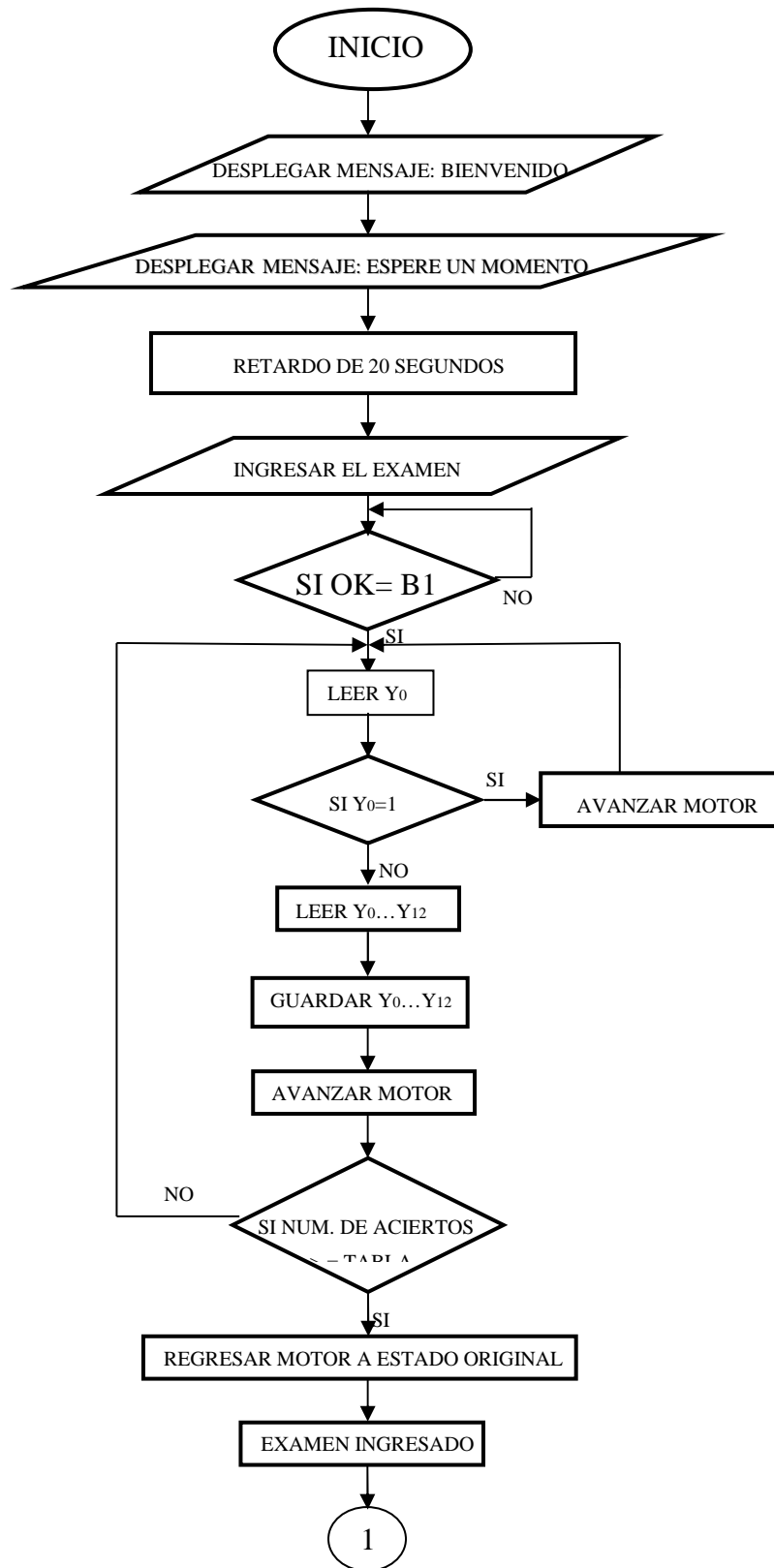


Indica que se trata de un proceso interno del microcontrolador



Indica un bloque de decisión, en este momento será necesario tomar una decisión, que según sea el caso nos guiara a seguir con el programa, o por el contrario, regresar a un punto anterior, que formara un proceso cíclico hasta que se cumplan las condiciones que nos permitan seguir al siguiente bloque del programa.

# Sistema calificador de exámenes



# Sistema calificador de exámenes

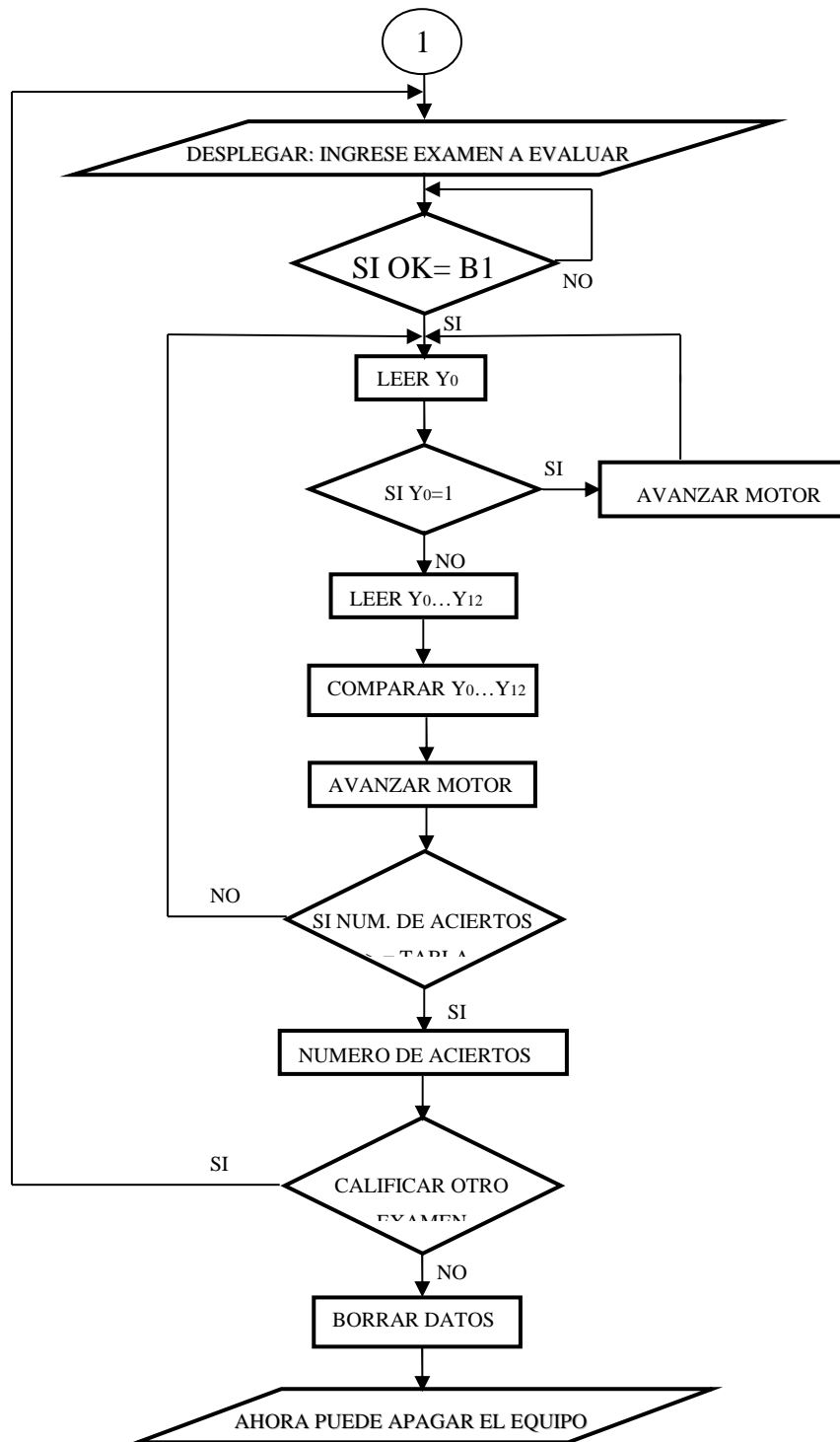


Figura 5.12 Diagrama de flujo.



### **CONCLUSIONES**

Hasta aquí, entendemos que el trabajo realizado ha sido casi totalmente enfocado a la parte electrónica o de hardware, que si bien es tan solo la primera parte, también es la más importante, que le da en si el carácter de calificador de exámenes a este proyecto, en este sentido, las pruebas arrojadas hasta el momento de esta publicación nos dan la certeza de que el funcionamiento del sistema tiene una estabilidad aceptable que no deja duda de la viabilidad del proyecto, esto nos da la pauta para seguir trabajando en este ambicioso proyecto que tiene un futuro muy promisorio.

Como ya se menciona, será a través del desarrollo de las siguientes etapas, como veremos unos resultados más concretos que permitan desahogar cualquier duda o complicación surgida en el desarrollo del trabajo. Se espera contar con el apoyo de un segundo y quizás de un tercer tesista que se avoque a la tarea de la programación del sistema ya que será una tarea sumamente laboriosa y demandante.

### BIBLIOGRAFÍA

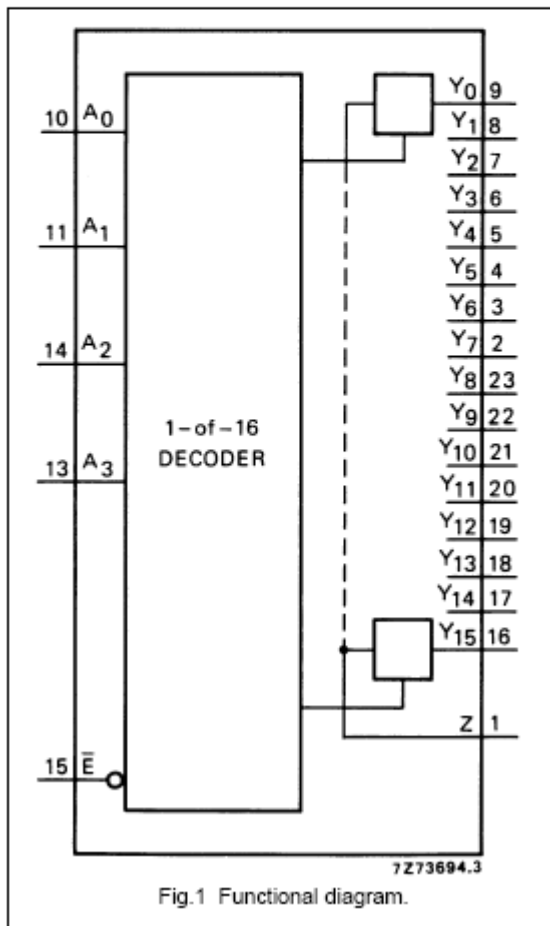
- <http://es.wikipedia.org/wiki/Fototransistor>
- <http://www.biltek.tubitak.gov.tr/gelisim/elektronik/dosyalar/41/16f877A.pdf>
- [http://www.datasheetcatalog.com/datasheets\\_pdf/U/L/N/2/ULN2803.shtml](http://www.datasheetcatalog.com/datasheets_pdf/U/L/N/2/ULN2803.shtml)
- [http://www.datasheetcatalog.com/datasheets\\_pdf/H/E/F/4/HEF4067BP.shtm](http://www.datasheetcatalog.com/datasheets_pdf/H/E/F/4/HEF4067BP.shtm)
- COUCH II., LEON W., Sistemas de comunicaciones digitales y analógicos, 5ª. Ed. PRENTICE HALL, México, 1998.
- Hayt, William; Kemmerly, Jack & Durbin, Steven, Engineering Circuit Analysis, EDITORIAL McGraw-Hill
- Mamad H. Rashid Electrónica De Potencia, Pearson Educación ISBN: 9702605326. ISBN-13: 9789702605324 (07/2004).
- <http://www.unicrom.com/tutoriales.asp>
- <http://espanol.scantron.com/software/examsystem.htm>
- JOSÉ MARÍA ANGULO USATEGUI, IGNACIO ANGULO MARTÍNEZ, BEGOÑA GARCÍA ZAPIRAÍN, JAVIER VICENTE SÁEZ, Microcontroladores avanzados pic. controladores digitales de señales. arquitectura, programación y aplicaciones ISBN: 9788497323857

## 16-channel analogue multiplexer/demultiplexer

HEF4067B  
MSI

### DESCRIPTION

The HEF4067B is a 16-channel analogue multiplexer/demultiplexer with four address inputs ( $A_0$  to  $A_3$ ), an active LOW enable input ( $\bar{E}$ ), sixteen independent inputs/outputs ( $Y_0$  to  $Y_{15}$ ) and a common input/output ( $Z$ ).



The device contains sixteen bidirectional analogue switches, each with one side connected to an independent input/output ( $Y_0$  to  $Y_{15}$ ) and the other side connected to the common input/output ( $Z$ ).

With  $\bar{E}$  LOW, one of the sixteen switches is selected (low impedance ON-state) by  $A_0$  to  $A_3$ . All unselected switches are in the high impedance OFF-state. With  $\bar{E}$  HIGH all switches are in the high impedance OFF-state, independent of  $A_0$  to  $A_3$ .

The analogue inputs/outputs ( $Y_0$  to  $Y_{15}$  and  $Z$ ) can swing between  $V_{DD}$  as a positive limit and  $V_{SS}$  as a negative limit.  $V_{DD}$  to  $V_{SS}$  may not exceed 15 V.

### FAMILY DATA, $I_{DD}$ LIMITS category MSI

See Family Specifications

HEF4067BP(N): 24-lead DIL; plastic  
(SOT101-1)

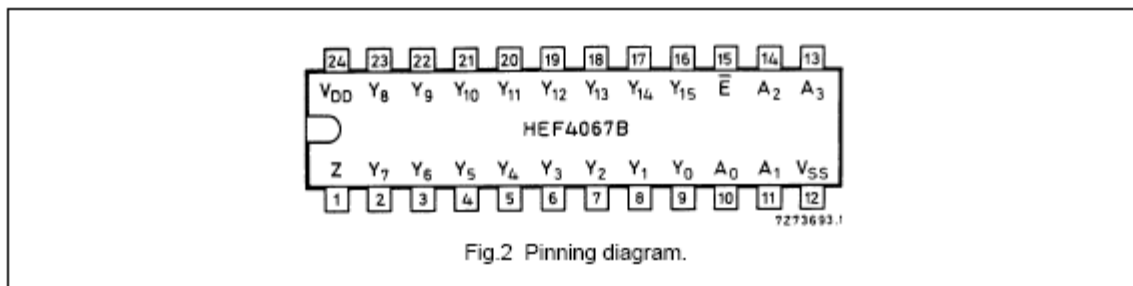
HEF4067BD(F): 24-lead DIL; ceramic (cerdip)  
(SOT94)

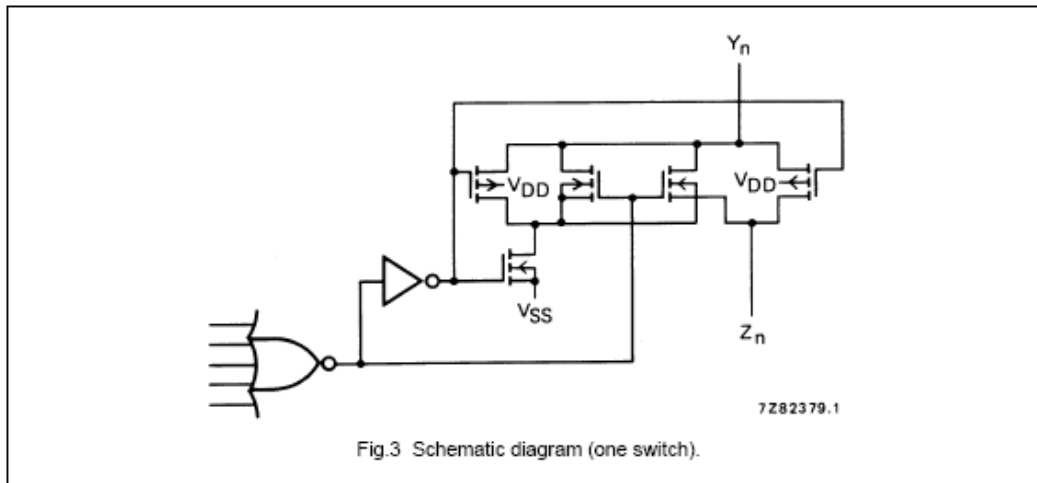
HEF4067BT(D): 24-lead SO; plastic  
(SOT137-1)

( ): Package Designator North America

### PINNING

$Y_0$  to  $Y_{15}$  independent inputs/outputs  
 $A_0$  to  $A_3$  address inputs  
 $\bar{E}$  enable input (active LOW)  
 $Z$  common input/output



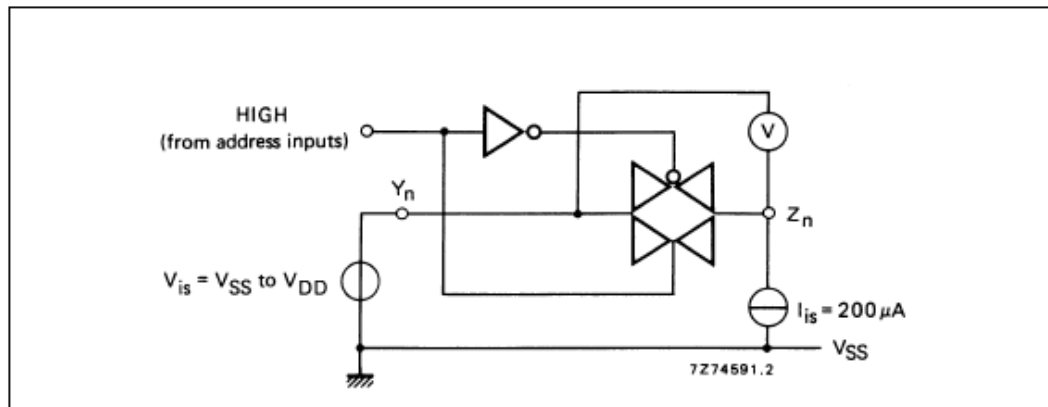


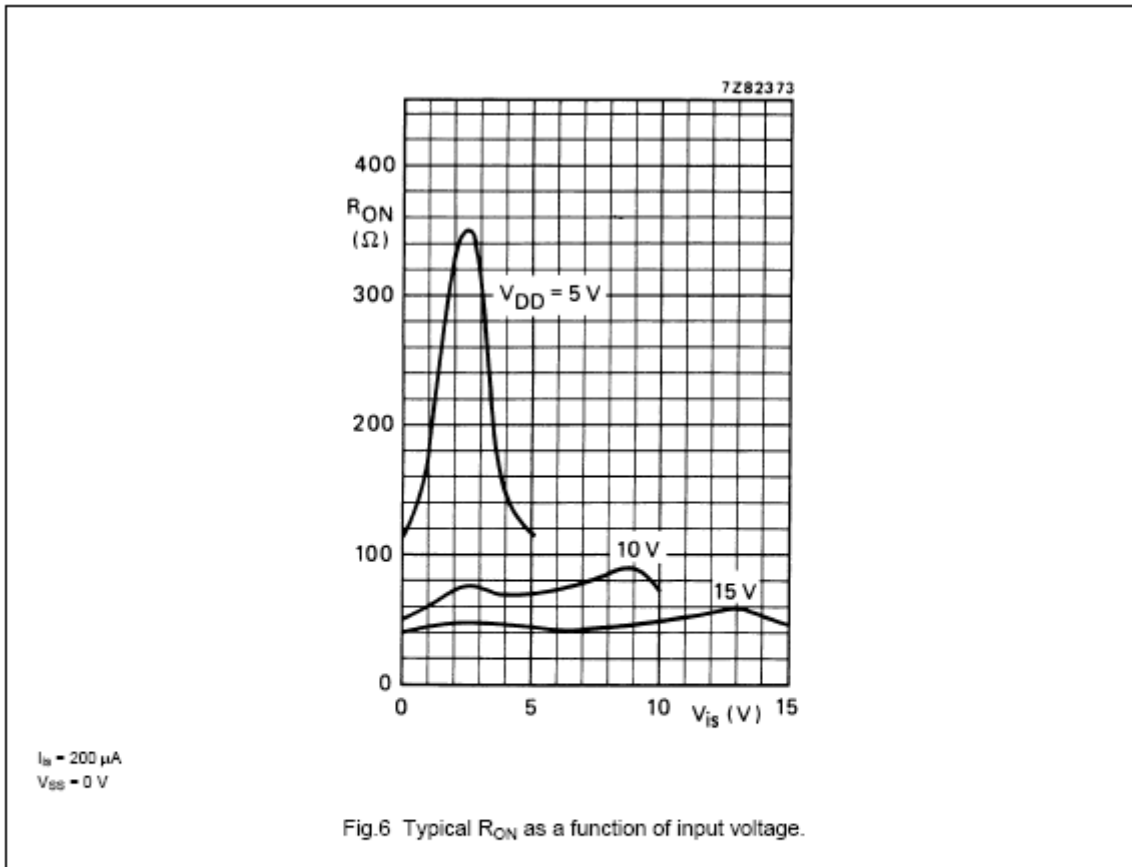
# Sistema calificador de exámenes

## DC CHARACTERISTICS

$T_{amb} = 25\text{ }^{\circ}\text{C}$

	$V_{DD}$ V	SYMBOL	TYP.	MAX.		CONDITIONS
ON resistance	5	$R_{ON}$	350	2500	$\Omega$	$V_{is} = V_{SS}$ to $V_{DD}$ see Fig.5
	10		80	245	$\Omega$	
	15		60	175	$\Omega$	
ON resistance	5	$R_{ON}$	115	340	$\Omega$	$V_{is} = V_{SS}$ see Fig.5
	10		50	160	$\Omega$	
	15		40	115	$\Omega$	
ON resistance	5	$R_{ON}$	120	365	$\Omega$	$V_{is} = V_{DD}$ see Fig.5
	10		65	200	$\Omega$	
	15		50	155	$\Omega$	
' $\Delta$ ' ON resistance between any two channels	5	$\Delta R_{ON}$	25	-	$\Omega$	$V_{is} = V_{SS}$ to $V_{DD}$ see Fig.5
	10		10	-	$\Omega$	
	15		5	-	$\Omega$	
OFF-state leakage current, all channels OFF	5	$I_{OZZ}$	-	-	nA	$\bar{E}$ at $V_{DD}$
	10		-	-	nA	
	15		-	1000	nA	
OFF-state leakage current, any channel	5	$I_{OZY}$	-	-	nA	$\bar{E}$ at $V_{SS}$
	10		-	-	nA	
	15		-	200	nA	





## NOTE

To avoid drawing  $V_{DD}$  current out of terminal Z, when switch current flows into terminals Y, the voltage drop across the bidirectional switch must not exceed 0,4 V. If the switch current flows into terminal Z, no  $V_{DD}$  current will flow out of terminals Y, in this case there is no limit for the voltage drop across the switch, but the voltages at Y and Z may not exceed  $V_{DD}$  or  $V_{SS}$ .

## Sistema calificador de exámenes

### AC CHARACTERISTICS

$V_{SS} = 0$  V;  $T_{amb} = 25$  °C; input transition times  $\leq 20$  ns

	$V_{DD}$ V	SYMBOL	TYP.	MAX.	
Distortion, sine-wave response	5		0,25	%	note 6
	10		0,04	%	
	15		0,04	%	
Crosstalk between any two channels	5		–	MHz	note 7
	10		1	MHz	
	15		–	MHz	
Crosstalk; enable or address input to output	5		–	mV	note 8
	10		50	mV	
	15		–	mV	
OFF-state feed-through	5		–	MHz	note 9
	10		1	MHz	
	15		–	MHz	
ON-state frequency response	5		13	MHz	note 10
	10		40	MHz	
	15		70	MHz	

#### Notes

- $V_{is}$  is the input voltage at a Y or Z terminal, whichever is assigned as input.
- $V_{os}$  is the output voltage at a Y or Z terminal, whichever is assigned as output.
- $R_L = 10$  k $\Omega$  to  $V_{SS}$ ;  $C_L = 50$  pF to  $V_{SS}$ ;  $\bar{E} = V_{SS}$ ;  $V_{is} = V_{DD}$  (square-wave); see Fig.7.
- $R_L = 10$  k $\Omega$ ;  $C_L = 50$  pF to  $V_{SS}$ ;  $\bar{E} = V_{SS}$ ;  $A_n = V_{DD}$  (square-wave);  $V_{is} = V_{DD}$  and  $R_L$  to  $V_{SS}$  for  $t_{pLH}$ ;  $V_{is} = V_{SS}$  and  $R_L$  to  $V_{DD}$  for  $t_{pHL}$ ; see Fig.7.
- $R_L = 10$  k $\Omega$ ;  $C_L = 50$  pF to  $V_{SS}$ ;  $\bar{E} = V_{DD}$  (square-wave);  
 $V_{is} = V_{DD}$  and  $R_L$  to  $V_{SS}$  for  $t_{pHZ}$  and  $t_{pZH}$ ;  
 $V_{is} = V_{SS}$  and  $R_L$  to  $V_{DD}$  for  $t_{pLZ}$  and  $t_{pZL}$ ; see Fig.7.
- $R_L = 10$  k $\Omega$ ;  $C_L = 15$  pF; channel ON;  $V_{is} = \frac{1}{2} V_{DD(p-p)}$  (sine-wave, symmetrical about  $\frac{1}{2} V_{DD}$ );  
 $f_{is} = 1$  kHz; see Fig.8.
- $R_L = 1$  k $\Omega$ ;  $V_{is} = \frac{1}{2} V_{DD(p-p)}$  (sine-wave, symmetrical about  $\frac{1}{2} V_{DD}$ );

$$20 \log \frac{V_{os}}{V_{is}} = -50 \text{ dB; see Fig.9.}$$

- $R_L = 10$  k $\Omega$  to  $V_{SS}$ ;  $C_L = 15$  pF to  $V_{SS}$ ;  $\bar{E}$  or  $A_n = V_{DD}$  (square-wave); crosstalk is  $|V_{os}|$  (peak value); see Fig.7.
- $R_L = 1$  k $\Omega$ ;  $C_L = 5$  pF; channel OFF;  $V_{is} = \frac{1}{2} V_{DD(p-p)}$  (sine-wave, symmetrical about  $\frac{1}{2} V_{DD}$ );

# Sistema calificador de exámenes

## 2.- Descripción General del PIC16F877

### 2.1.- La Familia del PIC16F877

El microcontrolador PIC16F877 de Microchip pertenece a una gran familia de microcontroladores de 8 bits (bus de datos) que tienen las siguientes características generales que los distinguen de otras familias:

-Arquitectura Harvard

Tipo de memoria	Rango de voltaje	
-Tecnología CMOS	Estándar	Extendido
-Estas características se conjugan para lograr un dispositivo altamente eficiente en el uso de la memoria de datos y programa y por lo tanto en la velocidad de ejecución.	PIC16CXXX	PIC16LCXXX
-Microchip ha dividido sus microcontroladores en tres grandes subfamilias de acuerdo al número de bits de su bus de instrucciones:	PIC16CRXXX	PIC16LORXXX
<b>EPROM</b> <b>ROM</b> <b>Flash</b>	PIC16FXXX	PIC16LFXXX

Subfamilia	Bits del bus de instrucciones	nomenclatura
Base - Line	12	PIC12XXX y PIC14XXX
Mid – Range	14	PIC16XXX
High - End	16	PIC17XXX y PIC18XXX

#### Variantes principales

Los microcontroladores que produce Microchip cubren una amplio rango de dispositivos cuyas características pueden variar como sigue:

-Empaquetado (desde 8 patitas hasta 68 patitas) -Tecnología de la memoria incluida (EPROM, ROM, Flash) - Voltajes de operación (desde 2.5 v. Hasta 6v) -Frecuencia de operación (Hasta 20 Mhz)

#### Empaquetados

Aunque cada empaquetado tiene variantes, especilmente en lo relativo a las dimensiones del espesor del paquete, en general se pueden econtrar paquetes tipo PDIP (Plastic Dual In Line Package), PLCC (Plastic Leaded Chip Carrier) y QFP (Quad Flat Package), los cuales se muestran en las figuras siguientes

#### Nomenclatura

Además de lo mostrado en la tabla anterior, en el nombre específico del microcontrolador pueden aparecer algunas siglas como se muestra en la siguiente tabla:

En la siguiente tabla se especifican los rangos de voltaje estándar y extendido manejados por los dispositivos

#### Oscilador

Los PIC de rango medio permiten hasta 8 diferentes modos para el oscilador. El usuario puede seleccionar alguno de estos 8 modos programando 3 bits de configuración del dispositivo denominados: FOSC2, FOSC1 y FOSC0. En algunos de estos modos el usuario puede indicar que se genere o no una salida del oscilador



## Sistema calificador de exámenes

Los PIC de rango medio permiten hasta 8 diferentes modos para el oscilador. El usuario puede seleccionar alguno de estos 8 modos programando 3 bits de configuración del dispositivo denominados: FOSC2, FOSC1 y FOSC0. En algunos de estos modos el usuario puede indicar que se genere o no una salida del oscilador

Rango de voltaje	EPROM		ROM		Flash	
Estándar	<b>C</b>	4.5 a 6v	<b>CR</b>	4.5 a 6v	<b>F</b>	4.5 a 6v
Extendido	<b>LC</b>	2.5 a 6v	<b>LC R</b>	2.5 a 6v	<b>L F</b>	2 a 6v

Modo	Frecuencia típica	Capacitores recomendados	
		C1	C2
LP	32 khz 200 khz	68 a 100 pf 15 a 30 pf	68 a 100 pf 15 a 30 pf
XT	100 khz 2 Mhz 4 Mhz	68 a 150 pf 15 a 30 pf	150 a 200 pf 15 a 30 pf
HS	8 Mhz 10 Mhz 20 Mhz	15 a 30 pf 15 a 30 pf	15 a 30 pf 15 a 30 pf

(CLKOUT) a través de una patita de Entada Salida. Los modos de operación se muestran en la siguiente lista:  
 LP Baja frecuencia (y bajo consumo de potencia)  
 XT Alta Resonador Cerámico externos (Media frecuencia)  
 HS Alta velocidad (y alta potencia) Cristal/resonador  
 RC Resistencia / capacitor externos (mismo que EXTRC con CLKOUT)  
 EXTRC Resistencia / capacitor externos  
 EXTRC Resistencia / Capacitor externos con CLKOUT  
 INTRC Resistencia / Capacitor internos para 4 MHz  
 INTRC Resistencia / Capacitor internos para 4 MHz con

CLKOUT

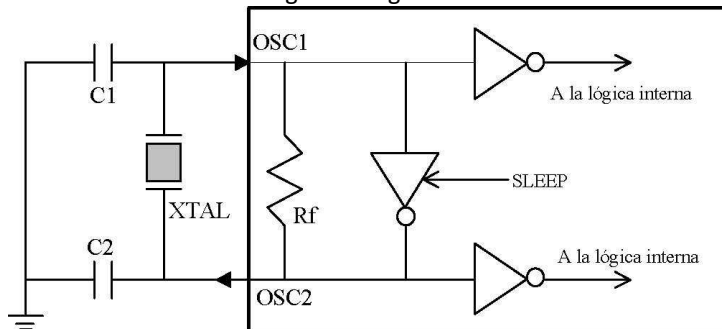
Los tres modos LP, XT y HS usan un cristal o resonador externo, la diferencia sin embargo es la ganancia de los drivers internos, lo cual se ve reflejado en el rango de frecuencia admitido y la potencia consumida. En la siguiente tabla se muestran los rangos de frecuencia así como los capacitores recomendados para un oscilador en base a cristal.

**Cristal externo:** En los tres modos mostrados en la tabla anterior se puede usar un cristal o resonador cerámico externo. En la siguiente figura se muestra la conexión de un cristal a las patitas OSC1 y OS2 del PIC.

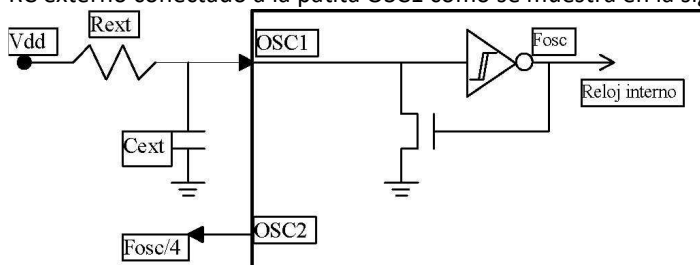
## Sistema calificador de exámenes

Los tres modos LP, XT y HS usan un cristal o resonador externo, la diferencia sin embargo es la ganancia de los drivers internos, lo cual se ve reflejado en el rango de frecuencia admitido y la potencia consumida. En la siguiente tabla se muestran los rangos de frecuencia así como los capacitores recomendados para un oscilador en base a cristal.

**Cristal externo:** En los tres modos mostrados en la tabla anterior se puede usar un cristal o resonador cerámico externo. En la siguiente figura se muestra la conexión de un cristal a las patitas OSC1 y OSC2 del PIC.



**Circuito RC externo:** En los modos RC y EXTRC el PIC puede generar su señal oscilatoria basado en un arreglo RC externo conectado a la patita OSC1 como se muestra en la siguiente figura:



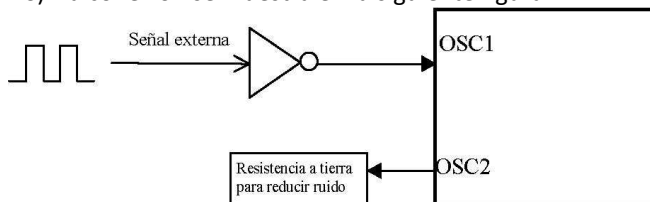
Rext  
Fosc/4

Este modo sólo se recomienda cuando la aplicación no requiera una gran precisión en la medición de tiempos.

**Rangos.**-La frecuencia de oscilación depende no sólo de los valores de Rext y Cext, sino también del voltaje de la fuente Vdd. Los rangos admisibles para resistencia y capacitor son:

**Rext:** de 3 a 100 Kohms **Cext:** mayor de 20 pf

**Oscilador externo.**- También es posible conectar una señal de reloj generada mediante un oscilador externo a la patita OSC1 del PIC. Para ello el PIC deberá estar en uno de los tres modos que admiten cristal (LP, XT o HS). La conexión se muestra en la siguiente figura:



**Oscilador interno de 4Mhz.**- En el modo INTRC el PIC usa un arreglo RC interno que genera una frecuencia de 4 Mhz con un rango de error calibrable de 1.5%. Para calibrar el error de oscilación se usan los bits CAL3, CAL2, CAL1 Y CAL0 del registro OSCCAL.

**Calibración del oscilador interno.**- El fabricante ha colocado un valor de calibración para estos bits en la última dirección de la memoria de programa. Este dato ha sido guardado en la forma de una instrucción RETLW XX. Si no se quiere perder este valor al borrar el PIC (en versiones EPROM con ventana) primero se deberá leer y copiar. Es una buena idea escribirlo en el empaquetado antes de borrar la memoria).

# Sistema calificador de exámenes

---

## 2.2.- Características generales del PIC16F877

La siguiente es una lista de las características que comparte el PIC16F877 con los dispositivos más cercanos de su familia:

- CPU RISC
- Sólo 35 instrucciones que aprender
- Todas las instrucciones se ejecutan en un ciclo de reloj, excepto los saltos que requieren dos
- Frecuencia de operación de 0 a 20 MHz (DC a 200 nseg de ciclo de instrucción)
- Hasta 8k x 14 bits de memoria Flash de programa
- Hasta 368 bytes de memoria de datos (RAM)
- Hasta 256 bytes de memoria de datos EEPROM
- Hasta 4 fuentes de interrupción
- Stack de hardware de 8 niveles
- Reset de encendido (POR)
- Timer de encendido (PWRT)
- Timer de arranque del oscilador (OST)
- Sistema de vigilancia Watchdog timer.
- Protección programable de código
- Modo SEP de bajo consumo de energía
- Opciones de selección del oscilador
- Programación y depuración serie "In-Circuit" (ICSP) a través de dos patitas
- Lectura/escritura de la CPU a la memoria flash de programa
- Rango de voltaje de operación de 2.0 a 5.5 volts
- Alta disipación de corriente de la fuente: 25mA
- Rangos de temperatura: Comercial, Industrial y Extendido -Bajo consumo de potencia:
  - o Menos de 0.6mA a 3V, 4 Mhz
  - o 20  $\mu$ A a 3V, 32 Khz
  - o menos de 1 $\mu$ A corriente de standby.

### Formato General de las Instrucciones.

## Sistema calificador de exámenes

Cada instrucción en lenguaje de máquina (binario) del PIC contiene un código de operación (*opcode*) el cual puede ser de 3 a 4 o 6 bits, dependiendo del tipo de instrucción.

Mnemónico	Descripción	Ciclos	Código de Máquina	Banderas afectadas
<b>Operaciones con el archivo de registros orientadas a bytes</b>				
ADDWF f,d	Suma f + W	1	00 0111 dfff ffff	C,DC,Z
ANDWF f,d	W AND f	1	00 0101 dfff ffff	Z
CLRF f	Limpia f	1	00 0001 1fff ffff	Z
CLRW	Limpia W	1	00 0001 0xxx xxxx	Z
COMF f,d	Complementa los bits de f	1	00 1001 dfff ffff	Z
DECF f,d	Decrementa f en 1	1	00 0011 dfff ffff	Z
DECFSZ f,d	Decrementa f, escapa si 0	1(2)	00 1011 dfff ffff	
INCF f,d	Incrementa f en 1	1	00 1010 dfff ffff	Z
INCFSZ f,d	Incrementa f, escapa si 0	1(2)	00 1111 dfff ffff	
IORWF f,d	W OR f	1	00 0100 dfff ffff	Z
MOVF f,d	Copia el contenido de f	1	00 1000 dfff ffff	Z
MOVWF f	Copia contenido de W en f	1	00 0000 1fff ffff	
NOP	No operación	1	00 0000 0xx0 0000	
RLF f,d	Rota f a la izquierda	1	00 1101 dfff ffff	C
RRF f,d	Rota f a la derecha	1	00 1100 dfff ffff	C
SUBWF f,d	Resta f – W	1	00 0010 dfff ffff	C,DC,Z
SWAPF f,d	Intercambia nibbles de f	1	00 1110 dfff ffff	
XORWF f,d	W EXOR f	1	00 0110 dfff ffff	Z
<b>Operaciones con el archivo de registros orientadas a bits</b>				
BCF f,b	Limpia bit b en f	1	01 00bb bfff ffff	
BSF f,b	Pone bit b en f	1	01 01bb bfff ffff	
BTFSC f,b	Prueba bit b en f, escapa si 0	1(2)	01 10bb bfff ffff	
BTFSS f,b	Prueba bit b en f, escapa si 1	1(2)	01 11bb bfff ffff	
<b>Operaciones con literales y de control</b>				
ADDLW k	Suma literal k + W	1	11 111x kkkk kkkk	C,DC,Z
ANDLW k	k AND W	1	11 1001 kkkk kkkk	Z
CALL k	Llamado a subrutina	2	10 0kkk kkkk kkkk	
CLRWDT	Limpia timer del watchdog	1	00 0000 0110 0100	TO',PD'
GOTO k	Salto a la dirección k	2	10 1kkk kkkk kkkk	
IORLW k	k OR W	1	11 0000 kkkk kkkk	Z
MOVLW k	Copia literal a W	1	11 00xx kkkk kkkk	
RETFIE	Retorna de interrupción	2	00 0000 0000 1001	
RETLW k	Retorna con literal k en W	2	11 01xx kkkk kkkk	
RETURN	Retorna de subrutina	2	00 0000 0000 1000	
SI FFP	Activa Modo standby	1	00 0000 0110 0011	TO'PD'

# Sistema calificador de exámenes

---

A continuación se describe el formato para cada tipo de instrucción de los PIC de rango medio:

## **Operaciones con el archivo de registros orientadas a bytes**

13 876 0

El bit **d** especifica el destino del resultado de la operación: d = 0: destino W d = 1: destino f f = dirección de 7 bits del archivo de registros.

## **Operaciones con el archivo de registros orientadas a bits**

13 109 76 0

b : Especificación en tres bits del bit sobre el que se va a operar f = dirección de 7 bits del archivo de registros.

## **Operaciones con literales y de control**

Formato general:

13 87 0

k : Literal = Valor de un operando de 8 bits Formato para CALL y GOTO:

13 1110 0

k : Literal = Valor de un operando de 8 bits

## **2.6.- Organización de la memoria del PIC**

Los PIC tienen dos tipos de memoria: Memoria de Datos y Memoria de programa, cada bloque con su propio bus: Bus de datos y Bus de programa; por lo cual cada bloque puede ser accesado durante un mismo ciclo de oscilación.

La Memoria de datos a su vez se divide en

-Memoria RAM de propósito general

-Archivo de Registros (Special Function Registers (SFR))

### **2.6.1.- La Memoria de Programa**

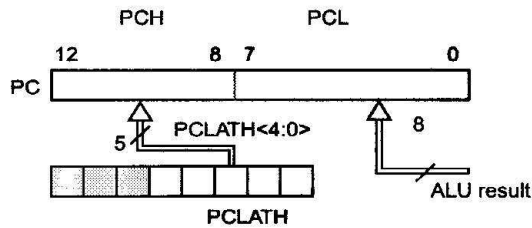
Los PIC de rango medio poseen un registro Contador del Programa (PC) de 13 bits, capaz de direccionar un espacio de 8K x 14, como todas las instrucciones son de 14 bits, esto significa un bloque de 8k instrucciones.

El bloque total de 8K x 14 de memoria de programa está subdividido en 4 páginas de 2K x 14. En la siguiente figura se muestra esta organización.

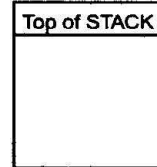
El byte de orden bajo es llamado el registro PCL, mientras que el byte de orden alto es llamado registro PCH. Este último contiene los bits PC<12:8> y **no se puede leer o escribir directamente** Todas las actualizaciones al registro PCH deben ser hechas a través del registro PCLATH. En la siguiente figura se ilustran las cuatro situaciones y las maneras correspondientes en que el PC puede ser actualizado.

# Sistema calificador de exámenes

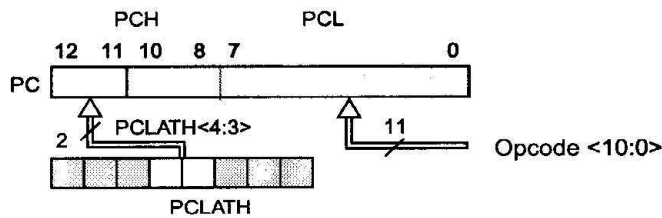
## Situation 1 - Instruction with PCL as destination



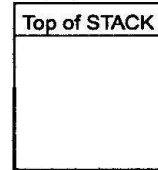
STACK (13-bits x 8)



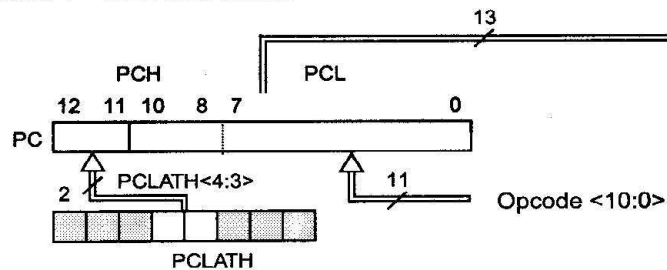
## Situation 2 - GOTO Instruction



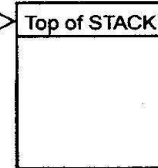
STACK (13-bits x 8)



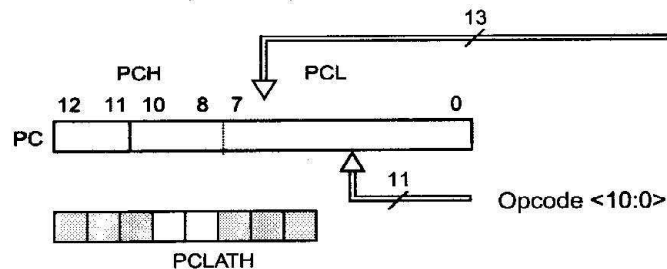
## Situation 3 - CALL Instruction



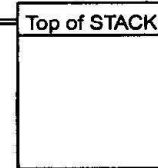
STACK (13-bits x 8)



## Situation 4 - RETURN, RETFIE, or RETLW Instruction



STACK (13-bits x 8)



☒ **Nota:** PCLATH nunca es actualizado con el contenido de PCH

### Paginación

Para saltar entre una página y otra, los bits más significativos del PC deberán ser modificados. Debido a que las instrucciones GOTO y CALL sólo pueden direccionar un bloque de 2K (pues usan una dirección de 11 bits) deben existir otros dos bits que acompletan los 13 bits del PC para moverse sobre los 8K de memoria de programa.

Estos dos bits extra se encuentran en un SFR denominado PCLATH (Program Counter Latch High) en sus bits PCLATH<4:3>. Por esto antes de un GOTO o un CALL el usuario deberá asegurarse que estos bits apunten a la página deseada.

Si las instrucciones se ejecutan secuencialmente el PC cruza libremente los límites de página sin necesidad de que el usuario escriba en el PCLATH

# Sistema calificador de exámenes

---

## Memoria de Stack

La memoria de stack es una area de memoria completamente separada de la memoria de datos y la memoria de programa. El stack consta de 8 niveles de 13 bits cada uno. Esta memoria es usada por la CPU para almacenar las direcciones de retorno de subrutinas. El apuntador de stack no es ni legible ni escribible. Cuando se ejecuta una instrucción CALL o es reconocida una interrupción el PC es guardado en el stack y el apuntador de stack es incrementado en 1 para apuntar a la siguiente posición vacía. A la inversa, cuando se ejecuta una instrucción RETURN, RETLW o RETFIE el contenido de la posición actual del stack es colocado en el PC.

☒ **Nota 1:** PCLATH no se modifica en ninguna de estas operaciones

☒ **Nota 2:** Cuando el apuntador de stack ya está en la posición 8 y se ejecuta otro CALL se reinicia a la posición 1 sobrescribiendo en dicha posición. No existe ningún indicador que avise de esta situación. Así que el usuario deberá llevar el control para que esto no ocurra.

## 2.6.2.- La Memoria de Datos

La memoria de datos consta de dos áreas mezcladas y destinadas a funciones distintas:

Registros de Propósito Especial (SFR)

Registro de Propósito General (GPR)

Los SFR son localidades asociadas específicamente a los diferentes periféricos y funciones de configuración del PIC y tienen un nombre específico asociado con su función. Mientras que los GPR son memoria RAM de uso general.

### Bancos de memoria

Toda la memoria de datos está organizada en 4 **bancos** numerados 0, 1, 2 y 3. Para seleccionar un banco se debe hacer uso de los bits del registro STATUS<7:5> denominados IRP, RP1 y RP0.

Hay dos maneras de acceder a la memoria de datos: **Direccionamiento directo e indirecto**. La selección de bancos se basa en la siguiente tabla

Cada banco consta de 128 bytes (de 00h a 7Fh). En las posiciones más bajas de cada banco se encuentran los SFR, y arriba de éstos se encuentran los GPR. Toda la memoria de datos está implementada en Ram estática.

Direccionamiento o Indirecto (IRP)	RP1:RP0	Banco
0	0 0	0
	0 1	1
1	1 0	2
	1 1	3

## Technical Data Sheet

### 5mm Phototransistor T-1 3/4

---

#### Features

- Fast response time
- High photo sensitivity
- Pb free

#### Descriptions

- PT331C is a high speed and high sensitive silicon NPN epitaxial planar phototransistor in a standard 5 $\Phi$  package. Due to its water clear epoxy the device is sensitive to visible and near infrared radiation.

#### PT331C



#### Applications

- Infrared applied system
- Floppy disk drive
- Optoelectronic switch

#### Device Selection Guide

LED Part No.	Chip	Lens Color
	Material	
PT	Silicon	Water Clear



**Electro-Optical Characteristics (Ta=25°C)**

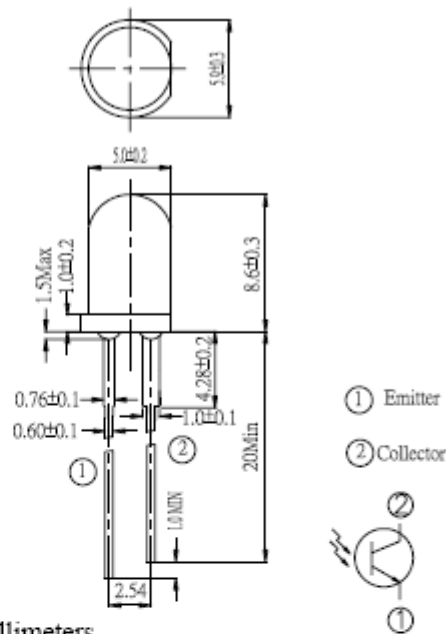
Parameter	Symbol	Condition	Min.	Typ.	Max.	Units
Collector – Emitter Breakdown Voltage	$BV_{CEO}$	$I_C=100\ \mu A$ $E_e=0mW/cm^2$	30	---	---	V
Emitter-Collector Breakdown Voltage	$BV_{ECO}$	$I_E=100\ \mu A$ $E_e=0mW/cm^2$	5	---	---	V
Collector-Emitter Saturation Voltage	$V_{CE(sat)}$	$I_C=2mA$ $E_e=1mW/cm^2$	---	---	0.4	V
Rise Time	$t_r$	$V_{CE}=5V$ $I_C=mA$	---	15	---	$\mu S$
Fall Time	$t_f$	$RL=1000\ \Omega$	---	15	---	
Collector Dark Current	$I_{CEO}$	$E_e=0mW/cm^2$ $V_{CE}=20V$	---	---	100	nA
On State Collector Current	$I_{C(on)}$	$E_e=1mW/cm^2$ $V_{CE}=5V$	0.7	2.5	---	mA
Wavelength of Peak Sensitivity	$\lambda_p$	---	---	940	---	nm
Rang of Spectral Bandwidth	$\lambda_{0.5}$	---	---	400-1100	---	nm

**Rankings**

Parameter	Symbol	Min	Max	Unit	Test Condition
G	$I_{C(on)}$	0.70	1.90	<b>mA</b>	$V_{CE}=5V$ $E_e=1mW/cm^2$
H		1.14	2.60		
J		1.77	3.61		
K		2.67	5.07		
L		4.18	7.07		

# Sistema calificador de exámenes

## Package Dimensions



- Notes: 1. All dimensions are in millimeters  
 2. Tolerances unless dimensions  $\pm 0.25 \text{ mm}$

## Absolute Maximum Ratings ( $T_a = 25^\circ \text{C}$ )

Parameter	Symbol	Rating	Units
Collector-Emitter Voltage	$V_{CE0}$	30	V
Emitter-Collector-Voltage	$V_{ECO}$	5	V
Collector Current	$I_C$	20	mA
Operating Temperature	$T_{opr}$	$-25 \sim +85^\circ \text{C}$	$^\circ \text{C}$
Storage Temperature	$T_{stg}$	$-40 \sim +85^\circ \text{C}$	$^\circ \text{C}$
Lead Soldering Temperature	$T_{sol}$	260	$^\circ \text{C}$
Power Dissipation at (or below) 25 $^\circ \text{C}$ Free Air Temperature	$P_c$	75	mW



## Octal High Voltage, High Current Darlington Transistor Arrays

The eight NPN Darlington connected transistors in this family of arrays are ideally suited for interfacing between low logic level digital circuitry (such as TTL, CMOS or PMOS/NMOS) and the higher current/voltage requirements of lamps, relays, printer hammers or other similar loads for a broad range of computer, industrial, and consumer applications. All devices feature open-collector outputs and free wheeling clamp diodes for transient suppression.

The ULN2803 is designed to be compatible with standard TTL families while the ULN2804 is optimized for 6 to 15 volt high level CMOS or PMOS.

**MAXIMUM RATINGS** ( $T_A = 25^\circ\text{C}$  and rating apply to any one device in the package, unless otherwise noted.)

Rating	Symbol	Value	Unit
Output Voltage	$V_O$	50	V
Input Voltage (Except ULN2801)	$V_I$	30	V
Collector Current – Continuous	$I_C$	500	mA
Base Current – Continuous	$I_B$	25	mA
Operating Ambient Temperature Range	$T_A$	0 to +70	$^\circ\text{C}$
Storage Temperature Range	$T_{stg}$	-55 to +150	$^\circ\text{C}$
Junction Temperature	$T_J$	125	$^\circ\text{C}$

$R_{\theta JA} = 55^\circ\text{C/W}$   
Do not exceed maximum current limit per driver.

### ORDERING INFORMATION

Device	Characteristics		
	Input Compatibility	$V_{CE}(\text{Max})/I_C(\text{Max})$	Operating Temperature Range
ULN2803A	TTL, 5.0 V CMOS	50 V/500 mA	$T_A = 0$ to +70 $^\circ\text{C}$
ULN2804A	6 to 15 V CMOS, PMOS		

Order this document by ULN2803/D

## ULN2803 ULN2804

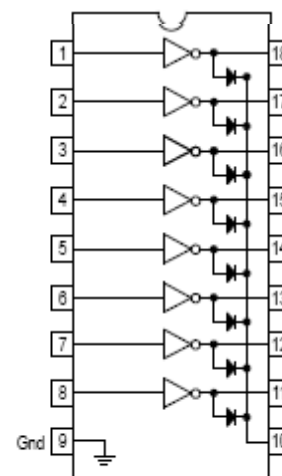
### OCTAL PERIPHERAL DRIVER ARRAYS

SEMICONDUCTOR  
TECHNICAL DATA



A SUFFIX  
PLASTIC PACKAGE  
CASE 707

### PIN CONNECTIONS



# Sistema calificador de exámenes

## ULN2803 ULN2804

ELECTRICAL CHARACTERISTICS ( $T_A = 25^\circ\text{C}$ , unless otherwise noted)

Characteristic	Symbol	Min	Typ	Max	Unit
Output Leakage Current (Figure 1) ( $V_O = 50\text{ V}$ , $T_A = +70^\circ\text{C}$ ) ( $V_O = 50\text{ V}$ , $T_A = +25^\circ\text{C}$ ) ( $V_O = 50\text{ V}$ , $T_A = +70^\circ\text{C}$ , $V_I = 6.0\text{ V}$ ) ( $V_O = 50\text{ V}$ , $T_A = +70^\circ\text{C}$ , $V_I = 1.0\text{ V}$ )	$I_{CEX}$	–	–	100 50 500 500	$\mu\text{A}$
Collector–Emitter Saturation Voltage (Figure 2) ( $I_C = 350\text{ mA}$ , $I_B = 500\text{ }\mu\text{A}$ ) ( $I_C = 200\text{ mA}$ , $I_B = 350\text{ }\mu\text{A}$ ) ( $I_C = 100\text{ mA}$ , $I_B = 250\text{ }\mu\text{A}$ )	$V_{CE(sat)}$	–	1.1 0.95 0.85	1.6 1.3 1.1	V
Input Current – On Condition (Figure 4) ( $V_I = 17\text{ V}$ ) ( $V_I = 3.85\text{ V}$ ) ( $V_I = 6.0\text{ V}$ ) ( $V_I = 12\text{ V}$ )	$I_{I(on)}$	–	0.82 0.93 0.35 1.0	1.25 1.35 0.5 1.45	mA
Input Voltage – On Condition (Figure 5) ( $V_{CE} = 2.0\text{ V}$ , $I_C = 300\text{ mA}$ ) ( $V_{CE} = 2.0\text{ V}$ , $I_C = 200\text{ mA}$ ) ( $V_{CE} = 2.0\text{ V}$ , $I_C = 250\text{ mA}$ ) ( $V_{CE} = 2.0\text{ V}$ , $I_C = 300\text{ mA}$ ) ( $V_{CE} = 2.0\text{ V}$ , $I_C = 125\text{ mA}$ ) ( $V_{CE} = 2.0\text{ V}$ , $I_C = 200\text{ mA}$ ) ( $V_{CE} = 2.0\text{ V}$ , $I_C = 275\text{ mA}$ ) ( $V_{CE} = 2.0\text{ V}$ , $I_C = 350\text{ mA}$ )	$V_{I(on)}$	–	–	13 2.4 2.7 3.0 5.0 6.0 7.0 8.0	V
Input Current – Off Condition (Figure 3) ( $I_C = 500\text{ }\mu\text{A}$ , $T_A = +70^\circ\text{C}$ )	$I_{I(off)}$	50	100	–	$\mu\text{A}$
DC Current Gain (Figure 2) ( $V_{CE} = 2.0\text{ V}$ , $I_C = 350\text{ mA}$ )	$h_{FE}$	1000	–	–	–
Input Capacitance	$C_I$	–	15	25	pF
Turn–On Delay Time (50% $E_I$ to 50% $E_O$ )	$t_{on}$	–	0.25	1.0	$\mu\text{s}$
Turn–Off Delay Time (50% $E_I$ to 50% $E_O$ )	$t_{off}$	–	0.25	1.0	$\mu\text{s}$
Clamp Diode Leakage Current (Figure 6) ( $V_R = 50\text{ V}$ )	$I_R$	–	–	50 100	$\mu\text{A}$
Clamp Diode Forward Voltage (Figure 7) ( $I_F = 350\text{ mA}$ )	$V_F$	–	1.5	2.0	V

# Sistema calificador de exámenes

## ULN2803 ULN2804

TYPICAL CHARACTERISTIC CURVES –  $T_A = 25^\circ\text{C}$ , unless otherwise noted  
Output Characteristics

Figure 8. Output Current versus Saturation Voltage

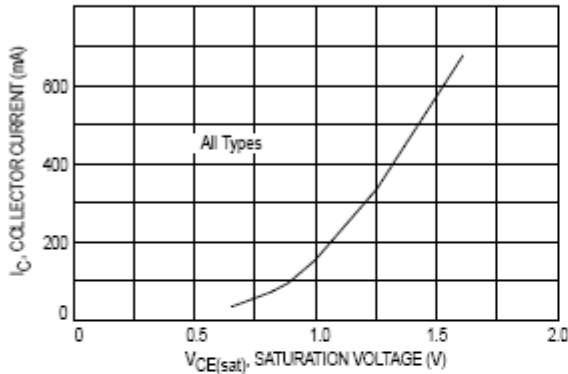
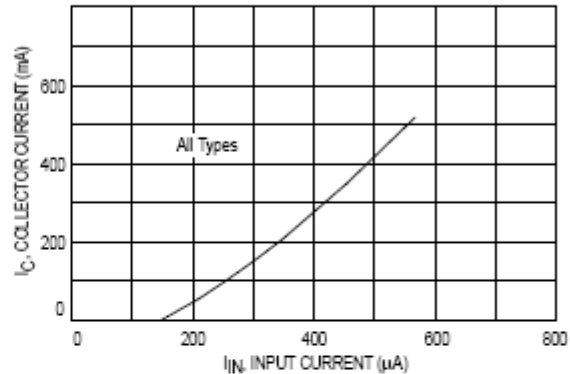


Figure 9. Output Current versus Input Current



### Input Characteristics

Figure 10. ULN2803 Input Current versus Input Voltage

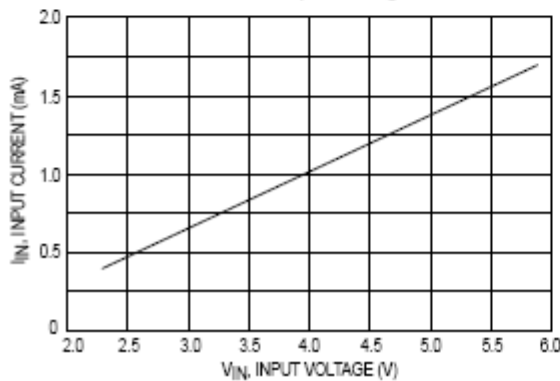
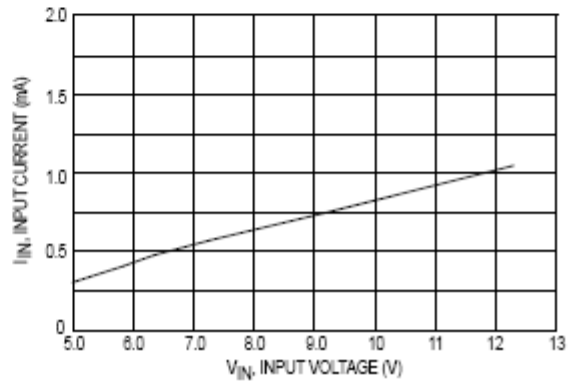
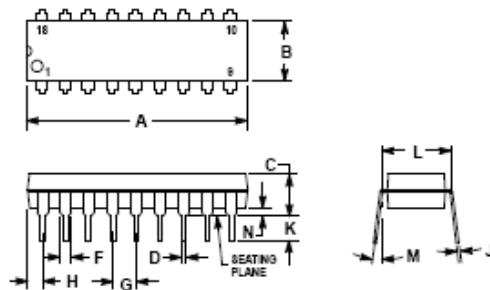


Figure 11. ULN2804 Input Current versus Input Voltage



### A SUFFIX PLASTIC PACKAGE CASE 707-02 ISSUE C



#### NOTES:

1. POSITIONAL TOLERANCE OF LEADS (D), SHALL BE WITHIN 0.25 (0.010) AT MAXIMUM MATERIAL CONDITION, IN RELATION TO SEATING PLANE AND EACH OTHER.
2. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
3. DIMENSION B DOES NOT INCLUDE MOLD FLASH.

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	22.32	23.24	0.875	0.915
B	6.10	6.60	0.240	0.260
C	3.52	4.57	0.140	0.180
D	0.38	0.55	0.014	0.022
E	1.27	1.78	0.050	0.070
G	2.94 BSC		0.100 BSC	
H	1.02	1.52	0.040	0.060
J	0.20	0.30	0.008	0.012
K	2.92	3.43	0.115	0.135
L	7.62 BSC		0.300 BSC	
M	0.1	15	0.1	15
N	0.51	1.02	0.020	0.040